

SYS-F335 数字信号处理器

数据手册

2026 年 5 月

历史版本修正记录

版本号	时间	内容描述
V1.0	2023-11	校对文档基本内容和格式调整
V1.1	2024-04	修改文档描述谬误并更新
V1.2	2024-06	更新BGA封装的参数和数据
V1.3	2024-12	更新不同档位的温度域和质量规格 更新部分文档谬误和描述
V1.4	2025-12	更新文档中的说明 更新芯片焊接相关说明
V1.5	2026-01	更新BGA引脚说明
V1.6	2026-04	新增SPI-E和MCAN说明
V1.7	2026-05	新增MCANA和MCANB说明

目录

1. 产品特征 1
2. 简介 2
2.1. 器件特性 2
2.2. 选型规则 3
2.3. 引脚分配 4
2.4. 信号说明 8
3. 功能概述 18
3.1. 功能框图 18
3.2. 内存映射 19
3.3. 简要说明 21
3.3.1. CPU 21
3.3.2. 内存总线（哈弗总线架构） 22
3.3.3. 外设总线 22
3.3.4. 实时JTAG和分析 22
3.3.5. 外部接口(XINTF) 22
3.3.6. 闪存 22
3.3.7. M0/M1 SARAM 23
3.3.8. L0-L7 SARAM 23
3.3.9. MCAN SARAM 23
3.3.10. 引导ROM 23
3.3.11. 引导加载器使用的外设引脚 24
3.3.12. 安全性 24
3.3.13. 外设中断扩展(PIE) 块 25
3.3.14. 外部中断(XINT1-XINT7，XNMI) 25
3.3.15. 振荡器和锁相环(PLL) 25
3.3.16. 看门狗 25
3.3.17. 外设时钟 25
3.3.18. 低功率模式 25
3.3.19. 外设帧0/1/2/3 (PFn) 26
3.3.20. 通用输入/输出(GPIO) 复用器 26
3.3.21. 32位CPU定时器(0/1/2) 27
3.3.22. 控制外设 27
3.3.23. 串行端口外设 27
3.4. 寄存器映射 28
3.5. 器件仿真寄存器 29
3.6. 中断 30
3.6.1. 外部中断 34
3.7. 系统控制 35
3.7.1. OSC和PLL 37
3.7.2. 看门狗 40
3.7.3. 低功耗模式控制模块 41
4. 片上外设 42
4.1. DMA 42
4.2. 32位CPU定时器0/1/2 43
4.3. 增强型PWM 模块 45
4.4. 高分辨率PWM(HRPWM) 47
4.5. 增强型CAP 模块 48
4.6. 增强型QEP 模块 50
4.7. 模数转换器(ADC) 模块 51
4.7.1. ADC未使用时的连接方式 54
4.7.2. ADC寄存器 54
4.7.3. ADC校准 55

4.8. 多通道缓冲串行端口(McBSP) 模块 55
4.9. 增强型控制器局域网(eCAN) 模块（eCAN-A和eCAN-B） 58
4.10. 具有灵活数据速率的控制器局域网(MCAN)模块(MCANA/MCANBA) 63
4.10.1. MCAN概述 63
4.10.2. MCAN和ECAN RAM复用方式 64
4.10.3. MCAN消息RAM 65
4.10.4. 系统控制中新增寄存器 66
4.11. 串行通信接口(SCI)模块(SCI-A，SCI-B，SCI-C) 71
4.12. 串行外设接口(SPI) 模块(SPI-A、SPI-E) 74
4.13. 内部集成电路(I2C) 78
4.14. GPIO MUX 80
4.15. 外部接口(XINTF) 85
5. 电气规范 87
5.1. 最大绝对额定值 87
5.2. 推荐工作条件 87
5.3. 功耗数据 88
6. 封装特性 90
6.1. LQFP176 90
6.2. BGA176 91
7. 开发支持 93
8. 差异优化 94
9. 联系方式 95

1. 产品特征

- 高性能静态CMOS技术
  - 150MHz（6.67ns周期时间）
  - 1.8V/1.9V内核，3.3V I/O设计
- 高性能32位CPU
  - IEEE-754单精度浮点单元（FPU）
  - 16 x 16和32 x32乘加(MAC)运算
  - 16 x 16双乘加(MAC)
  - 哈佛(Harvard)总线架构
  - 快速中断响应和处理
  - 统一存储器编程模型
  - 高效代码（使用C/C++ 和汇编语言）
- 6通道DMA控制器
- 16位或32位外部接口(XINTF)
  - 超过2M × 16地址范围
- 片上存储器
  - 256K × 16闪存，34K × 16 SARAM
  - 1K x 16一次性可编程(OTP)ROM
- 引导ROM(8K x 16)
  - 支持软件引导模式（通过SCI，SPI，CAN，I2C，McBSP，XINTF和并行I/O）
  - 标准数学表
- 时钟和系统控制
  - 支持动态锁相环(PLL)比率变化
  - 片上振荡器
  - 看门狗定时器模块
- GPIO0到GPIO63引脚可以连接至内核中断的8个外部中断源之一
- 外设中断扩展(PIE) 块可支持58个外设中断
- 安全设计
  - 128位安全密钥/锁
  - 保护闪存/ OTP/RAM模块防止固件逆向工程
  - 增强的安全控制机制
- 低功耗模式和省电模式
  - 支持IDLE（空闲）、STANDBY（待
  - 机）、HALT（暂停）模式
  - 可禁用独立外设时钟
- 封装选项
  - 无铅，绿色封装
  - 薄型四方扁平封装(LQFP176)
  - 球栅阵列封装(BGA176)
- 增强型控制外设
  - 18个脉宽调制(PWM) 输出接口
  - 6个支持150ps精度的高分辨率脉宽调制器(HRPWM) 输出接口
  - 6个事件捕获输入接口（eCAP）
  - 2个正交编码器接口（eQEP）
  - 8个32位定时器（6个eCAP以及2个eQEP）
  - 9个16位定时器（6个ePWM以及3个XINTCTR）
- 3个32位CPU定时器
- 串行端口外设
  - 2个控制器局域网(CAN)模块
  - 2个具有灵活数据速率的控制器局域网（CAN FD/MCAN）模块
  - 3个SCI(UART)模块
  - 2个McBSP模块（可配置为SPI）
  - 2个SPI模块
  - 1个内部集成电路(I2C)总线
- 12位模数转换器(ADC)，16个通道
  - 80ns转换率
  - 2 x 8通道输入复用器
  - 2个采样保持
  - 单一/同步转换
  - 内部或者外部参考电压
- 88个具有输入滤波功能且可单独编程的多路复用通用输入输出(GPIO)引脚
- JTAG边界扫描支持
- 高级仿真特性
  - 分析和断点功能
  - 借助硬件的实时调试
- 开发支持包括
  - ANSI C/C++编译器/汇编语言/连接器
  - CodeComposer Studio™ IDE
  - DSP/BIOS™和SYS/BIOS
  - 数字电机控制和数字电源软件
- 温度选项
  - A：-40°C至85°C，工业级
  - E：-40°C至125°C，工业增强级

2. 简介

2.1. 器件特性

表2-1　F335器件特性

特性		F335(150MHz)
指令周期		6.67ns
浮点单元		单精度
片上闪存（16位字）		256K
单周期访问RAM(SARAM)（16位字）		34K
一次性可编程(OTP)ROM（16位字）		1K
片载闪存/SARAM/OTP存储区域的代码安全		支持
引导ROM(8K x 16)		支持
16/32位外部接口（XINTF）		支持
6通道直接内存存取(DMA)		支持
PWM输出		ePWM1/2/3/4/5/6
HRPWM通道		ePWM1A/2A/3A/4A/5A/6A
32位CAPTURE输入或者辅助PWM 输出		eCAP1/2/3/4/5/6
32位正交编码器脉冲(QEP)通道（四个输入/通道）		eQEP1/2
看门狗定时器		支持
12位模数转换器(ADC)	通道的数量	16
	MSPS	12.5
	转换时间	80ns
32位CPU定时器		3
多通道缓冲串行端口(McBSP)/ SPI		2(A/B)
串行外设接口(SPI)		2 (A/E)
串行通信接口(SCI)(兼容UART)		3(A/B/C)
增强型控制器局域网络(eCAN)		2(A/B)
具有灵活数据速率的控制器局域网（CAN FD/MCAN）		2(A/B)
内部集成电路(I2C)		1
通用I/O引脚（共享）		88
外部中断		8
封装		176引脚LQFP封装 176引脚BGA封装
温度选项		A级：-40℃至85℃ E级：-40℃至125℃

2.2. 选型规则

命名规则

SYS	-	F	335	QP	A
品牌	分隔符	工艺 F：Flash C：CMOS	产品型号 335	封装 QP：LQFP176 BG：BGA176	温度和质量等级 A级（工业级）：（-40℃~85℃） E级（工业增强级）：（-40℃~125℃）

选型推荐

产品型号	封装	工作温度	封装尺寸	包装类型
SYS-F335QPA （工业级）	高可靠性塑料 （LQFP176）	-40℃~85℃	26*26 mm	托盘
SYS-F335QPE （工业增强级）	高可靠性塑料 （LQFP176）	-40℃~125℃	26*26 mm	托盘
SYS-F335BGA （工业级）	高可靠性塑料 （BGA176）	-40℃~85℃	15*15 mm	托盘
SYS-F335BGE （工业增强级）	高可靠性塑料 （BGA176）	-40℃~125℃	15*15 mm	托盘

2.3. 引脚分配

图2-1给出了176引脚薄型四方扁平封装（LQFP）引脚分配，表2-2说明了每个引脚的功能。

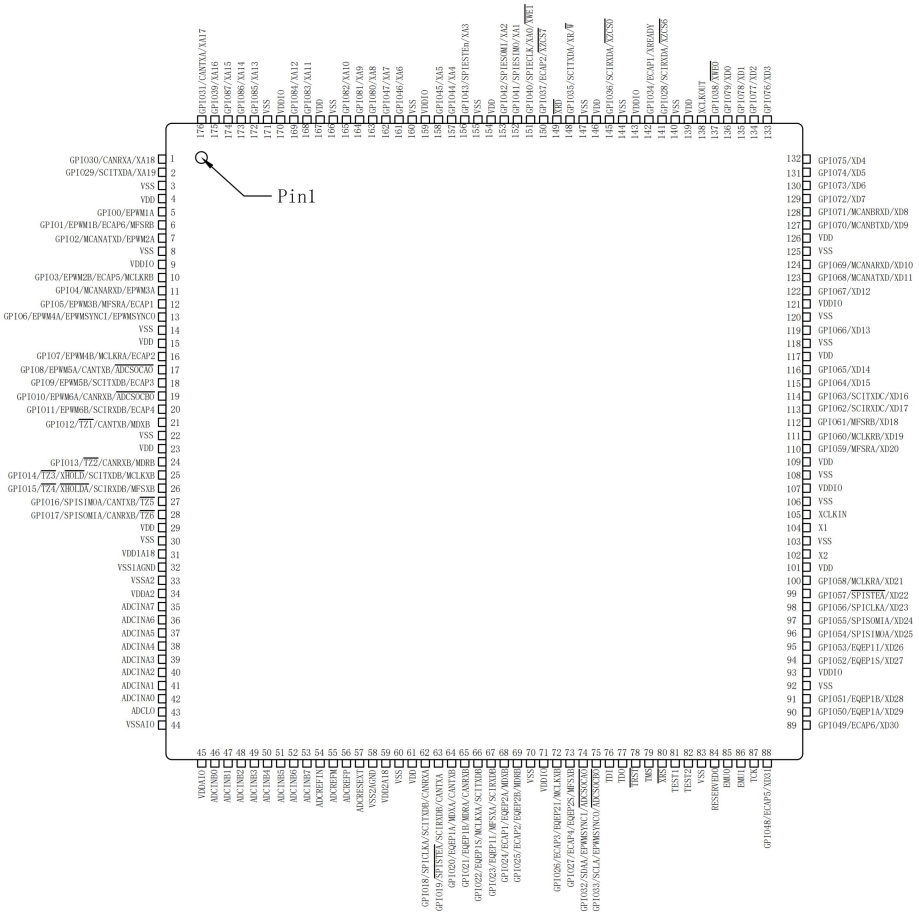


图2-1　　F335 LQFP176封装引脚顶视图

图2-2至图2-5给出了176球栅阵列封装（BGA）引脚分配，表2-2说明了每个引脚的功能。

	1	2	3	4	5	6	7
P	V_{SSA2}	$V_{SS2AGND}$	ADCINB0	ADCREFM	ADCREFP	ADCRESEXT	ADCREFIN
N	V_{SSAIO}	ADCLO	ADCINB1	ADCINB3	ADCINB5	ADCINB7	EMU0
M	ADCINA2	ADCINA1	ADCINA0	ADCINB2	ADCINB4	ADCINB6	TEST1
L	ADCINA5	ADCINA4	ADCINA3	$V_{SS1AGND}$	V_{DDAIO}	V_{DD2A18}	TEST2
K	ADCINA7	ADCINA6	V_{DD1A18}	V_{DDA2}			
J	GPIO15/ $\overline{TZ4}$/XHOLDA/ SCIRXDB/ MFSXB	GPIO16/ SPISIMOA/ CANTXB/ $\overline{TZ5}$	GPIO17/ SPISOMIA/ CANRXB/ $\overline{TZ6}$	V_{DD}		V_{SS}	V_{SS}
H	GPIO12/ $\overline{TZ1}$/ CANTXB/ MDXB	GPIO13/ $\overline{TZ2}$/ CANRXB/ MDRB	GPIO14/ $\overline{TZ3}$/XHOLD/ SCITXDB/ MCLKXB	V_{DD}		V_{SS}	V_{SS}

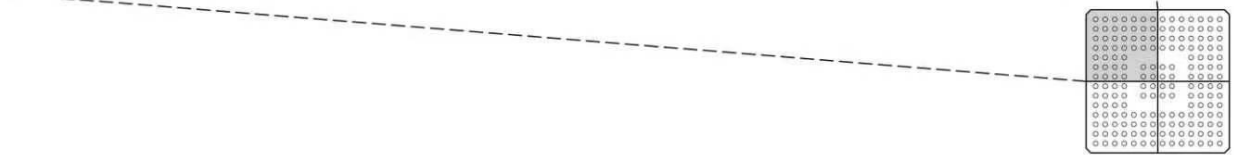
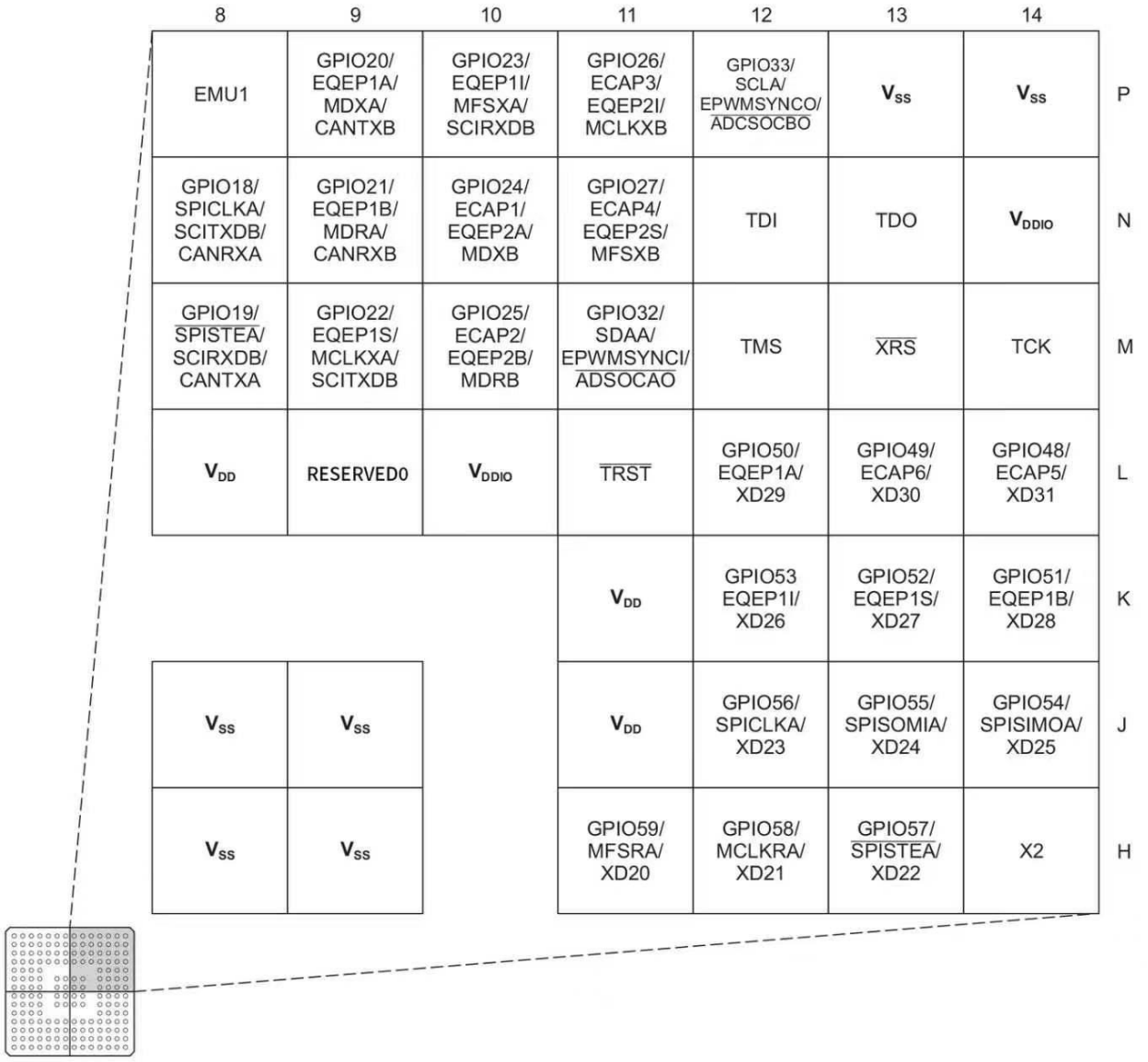


图2-2　　F335 BGA176封装引脚视图（左上象限）



8	9	10	11	12	13	14	
EMU1	GPIO20/ EQEP1A/ MDXA/ CANTXB	GPIO23/ EQEP1I/ MFSXA/ SCIRXDB	GPIO26/ ECAP3/ EQEP2I/ MCLKXB	GPIO33/ SCLA/ EPWMSYNCO/ ADCSOCBO	V_{SS}	V_{SS}	P
GPIO18/ SPICLKA/ SCITXDB/ CANRXA	GPIO21/ EQEP1B/ MDRA/ CANRXB	GPIO24/ ECAP1/ EQEP2A/ MDXB	GPIO27/ ECAP4/ EQEP2S/ MFSXB	TDI	TDO	V_{DDIO}	N
GPIO19/ SPISTEA/ SCIRXDB/ CANTXA	GPIO22/ EQEP1S/ MCLKXA/ SCITXDB	GPIO25/ ECAP2/ EQEP2B/ MDRB	GPIO32/ SDAA/ EPWMSYNCI/ ADSOCAO	TMS	XRS	TCK	M
V_{DD}	RESERVED0	V_{DDIO}	TRST	GPIO50/ EQEP1A/ XD29	GPIO49/ ECAP6/ XD30	GPIO48/ ECAP5/ XD31	L
			V_{DD}	GPIO53 EQEP1I/ XD26	GPIO52/ EQEP1S/ XD27	GPIO51/ EQEP1B/ XD28	K
V_{SS}	V_{SS}		V_{DD}	GPIO56/ SPICLKA/ XD23	GPIO55/ SPISOMIA/ XD24	GPIO54/ SPISIMOA/ XD25	J
V_{SS}	V_{SS}		GPIO59/ MFSRA/ XD20	GPIO58/ MCLKRA/ XD21	GPIO57/ SPISTEA/ XD22	X2	H

图2-3　　F335 BGA176封装引脚视图（右上象限）

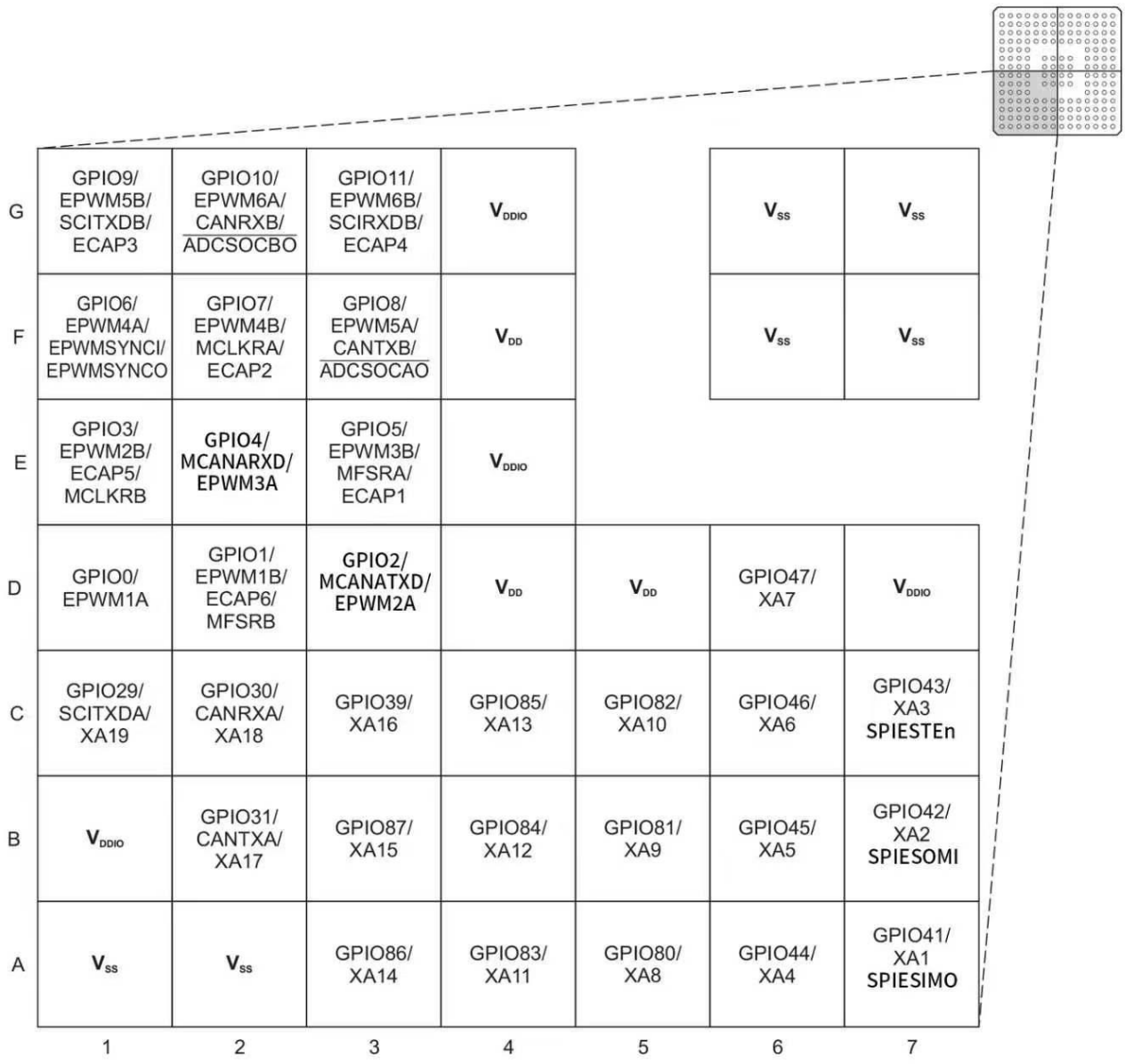


图2-4　　F335 BGA176封装引脚视图（左下象限）

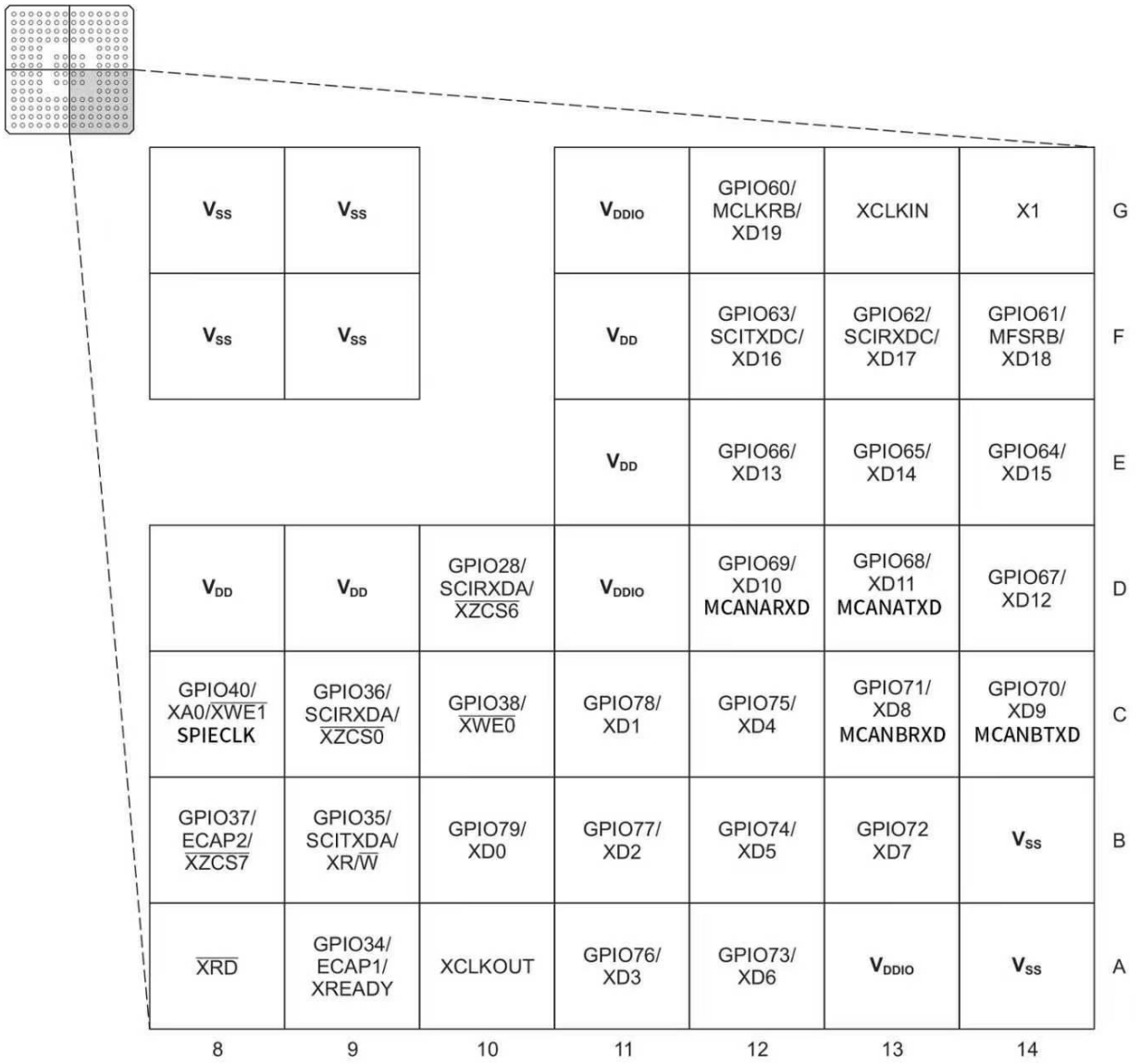


图2-5　　F335 BGA176封装引脚视图（右下象限）

2.4. 信号说明

表2-2对接口信号进行了说明。GPIO功能在复位时为缺省功能，在GPIO信号下面列出了可配置选择的外设功能信号。所有能够配置为XINTF输出功能信号的引脚驱动强度为8mA，即使引脚没有配置为XINTF功能，也具有此驱动强度；其他引脚的驱动强度为4mA（有特殊说明的除外）。所有GPIO引脚类型为I/O/Z，且有内部上拉电阻，每个引脚的内部上拉电阻可独立进行使能/禁用。这一特性只适用于GPIO引脚。GPIO0-GPIO11引脚的上拉电阻在复位时并不使能，GPIO12-GPIO87引脚上的上拉电阻器复位时使能。

表2-2　　引脚信号说明

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
JTAG			
$\overline{\text{TRST}}$	78	L11	带有内部下拉电阻挡JTAG测试复位信号。$\overline{\text{TRST}}$驱动为高电平时，扫描控制器件；如果$\overline{\text{TRST}}$未连接或者驱动至低电平，器件运行在功能模式，并且会忽略测试复位信号。$\overline{\text{TRST}}$是一个高电平有效的测试引脚，在器件正常运行期间必

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
			须保持低电平。(I，↓) 建议该引脚上连接外部下拉电阻。
TCK	87	M14	带有内部上拉电阻的JTAG测试时钟信号。(I，↑)
TMS	79	M12	带有内部上拉电阻器的JTAG测试模式选择信号（TMS），该串行控制输入信号在TCK上升沿锁存到TAP控制器中。(I，↑)
TDI	76	N12	带有内部上拉电阻的JTAG测试输入数据信号（TDI），TDI在TCK上升沿锁存到选择的寄存器（指令或者数据）中。(I，↑)
TDO	77	N13	JTAG扫描输出，测试输出数据信号（TDO），选择的寄存器（指令或者数据）内容在TCK下降沿从TDO输出。（O/Z，8mA驱动强度）
EMU0	85	N7	仿真器引脚0。当$\overline{\text{TRST}}$驱动至高电平时，这个引脚用作中断信号送往（或者来自）仿真器系统，其输入输出特性在JTAG 扫描过程中定义。EMU0用于将器件置于边界扫描模式。在EMU0引脚处于逻辑高电平状态并且EMU1引脚处于逻辑低电平状态时，$\overline{\text{TRST}}$引脚的上升沿会把器件锁存在边界扫描模式。（I/O/Z，8mA驱动强度↑) 建议该引脚连接外部上拉电阻。
EMU1	86	P8	仿真器引脚1。当$\overline{\text{TRST}}$驱动至高电平时，这个引脚用作中断信号送往（或者来自）仿真器系统，其输入输出特性在JTAG 扫描过程中定义。EMU1用于将器件置于边界扫描模式。在EMU0引脚处于逻辑高电平状态并且EMU1引脚处于逻辑低电平状态时，$\overline{\text{TRST}}$引脚的上升沿会把器件锁存在边界扫描模式。（I/O/Z，8mA驱动强度) 建议在这个引脚上连接一个外部上拉电阻。
闪存			
RESERVED0	84	L9	保留引脚，连接无要求。（I/O）
TEST1	81	M7	测试引脚，保持未连接。（I/O）
TEST2	82	L7	测试引脚，保持未连接。（I/O）
时钟			
XCLKOUT	138	A10	来自SYSCLKOUT的输出时钟，XCLKOUT的频率可以和SYSCLKOUT一样，也可以是其一半或者四分之一。
XCLKIN	105	G13	外部振荡器输入，这个引脚用于从外部3.3V 振荡器输入时钟信号。在这种时钟模式下，X1引脚必须连接地。如果使用到了晶振+内部振荡器模式，或者1.8V外部振荡器提供时钟输入到X1引脚模式，此引脚必须连接地。（I）
X1	104	G14	内部/外部振荡器输入信号，为了使用该内部振荡器，必须连接一个石英晶振或者一个陶瓷电容器在X1和X2引脚上。该引脚也可以连接外部 1.8V振荡器获取时钟，这种情况下，XCLKIN引脚必须接地。如果一个3.3V外部振荡器提供时钟输入到XCLKIN引脚，X1必须接地。（I）
X2	102	H14	内部振荡器输出，可将一个石英晶振或者一个陶瓷电容器连接在X1 和X2引脚上。如果X2未使用，必须保持在未连接状态。（O）
复位			
$\overline{\text{XRS}}$	80	M13	器件复位输入信号和看门狗复位输出信号。 器件复位时，$\overline{\text{XRS}}$导致器件终止执行，PC将指向地址0x3FFFC0。当$\overline{\text{XRS}}$置为高电平时，在PC指向的位置开始执行程序。 当看门狗复位发生时，$\overline{\text{XRS}}$引脚会被驱动至低电平。看门狗复位期间，$\overline{\text{XRS}}$引脚被驱动为低电平512个OSCCLK节拍。(I/OD，↑) $\overline{\text{XRS}}$是一个带有内部上拉电阻的开漏引脚。
ADC信号			
ADCINA7	35	K1	ADC A组通道7输入信号（I）

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
ADCINA6	36	K2	ADC A组通道6输入信号（I）
ADCINA5	37	L1	ADC A组通道5输入信号（I）
ADCINA4	38	L2	ADC A组通道4输入信号（I）
ADCINA3	39	L3	ADC A组通道3输入信号（I）
ADCINA2	40	M1	ADC A组通道2输入信号（I）
ADCINA1	41	M2	ADC A组通道1输入信号（I）
ADCINA0	42	M3	ADC A组通道0输入信号（I）
ADCINB7	53	N6	ADC B组通道7输入信号（I）
ADCINB6	52	M6	ADC B组通道6输入信号（I）
ADCINB5	51	N5	ADC B组通道5输入信号（I）
ADCINB4	50	M5	ADC B组通道4输入信号（I）
ADCINB3	49	N4	ADC B组通道3输入信号（I）
ADCINB2	48	M4	ADC B组通道2输入信号（I）
ADCINB1	47	N3	ADC B组通道1输入信号（I）
ADCINB0	46	P3	ADC B组通道0输入信号（I）
ADCLO	43	N2	ADC低电压基准信号（连接至模拟地）（I）
ADCRESEXT	57	P6	ADC外部电流偏置电阻器，通过一个22kΩ电阻器连接至模拟接地。
ADCREFIN	54	P7	ADC外部参考电压输入信号（I）
ADCREFP	56	P5	内部参考电压正端输出，需要通过一个低ESR（低于1.5Ω）的2.2μF陶瓷旁通电容连接至模拟地。
ADCREFM	55	P4	内部参考电压负端输出，需要通过一个低ESR（低于1.5Ω）的2.2μF陶瓷旁通电容连接至模拟地。
CPU和I/O电源引脚			
V_{DDA2}	34	K4	ADC模拟电源引脚
V_{SSA2}	33	P1	ADC模拟地引脚
V_{DDAIO}	45	L5	ADC模拟I/O电源引脚
V_{SSAIO}	44	N1	ADC模拟I/O地引脚
V_{DD1A18}	31	K3	ADC模拟电源引脚
$V_{SS1AGND}$	32	L4	ADC模拟地引脚
V_{DD2A18}	59	L6	ADC模拟电源引脚
$V_{SS2AGND}$	58	P2	ADC模拟地引脚
V_{DD}	4	D4	内核电源引脚
V_{DD}	15	D5	
V_{DD}	23	D8	
V_{DD}	29	D9	
V_{DD}	61	E11	
V_{DD}	101	F4	
V_{DD}	109	F11	
V_{DD}	117	H4	
V_{DD}	126	J4	
V_{DD}	139	J11	
V_{DD}	146	K11	
V_{DD}	154	L8	
V_{DD}	167		
V_{DDIO}	9	A13	数字IO电源引脚
V_{DDIO}	71	B1	
V_{DDIO}	93	D7	
V_{DDIO}	107	D11	
V_{DDIO}	121	E4	

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
V_{DDIO}	143	G4	
V_{DDIO}	159	G11	
V_{DDIO}	170	L10	
V_{DDIO}		N14	
数字地			
V_{SS}	3	A1	数字地引脚
V_{SS}	8	A2	
V_{SS}	14	A14	
V_{SS}	22	B14	
V_{SS}	30	F6	
V_{SS}	60	F7	
V_{SS}	70	F8	
V_{SS}	83	F9	
V_{SS}	92	G6	
V_{SS}	103	G7	
V_{SS}	106	G8	
V_{SS}	108	G9	
V_{SS}	118	H6	
V_{SS}	120	H7	
V_{SS}	125	H8	
V_{SS}	140	H9	
V_{SS}	144	J6	
V_{SS}	147	J7	
V_{SS}	155	J8	
V_{SS}	160	J9	
V_{SS}	166	P13	
V_{SS}	171	P14	
GPIO和外围信号			
GPIO0 EPWM1A	5	D1	通用输入/输出信号0（I/O/Z） 增强型PWM1输出信号A和HRPWM通道信号（O）
GPIO1 EPWM1B ECAP6 MFSRB	6	D2	通用输入/输出信号1（I/O/Z） 增强PWM1输出信号B（O） 增强型捕获输入/输出信号6（I /O） McBSP-B接收帧同步信号（I /O）
GPIO2 MCANATXD EPWM2A	7	D3	通用输入/输出信号2（I/O/Z） MCANA发送数据信号（O） 增强型PWM2输出信号A和HRPWM通道信号（O）
GPIO3 EPWM2B ECAP5 MCLKRB	10	E1	通用输入/输出信号3（I/O/Z） 增强PWM2输出信号B（O） 增强型捕获输入/输出信号5（I /O） McBSP-B接收时钟信号（I /O）
GPIO4 MCANARXD EPWM3A	11	E2	通用输入/输出信号4（I/O/Z） MCANA接收数据信号（I） 增强型PWM3输出信号A和HRPWM通道信号（O）
GPIO5 EPWM3B MFSRA ECAP1	12	E3	通用输入/输出信号5（I/O/Z） 增强PWM3输出信号B（O） McBSP-A接收帧同步信号（I /O） 增强型捕获输入/输出信号1（I /O）
GPIO6 EPWM4A	13	F1	通用输入/输出信号6（I/O/Z） 增强型PWM4输出信号A和HRPWM通道信号（O）

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
EPWMSYNCI EPWMSYNCO			外部ePWM同步脉冲输入信号（I） 外部ePWM同步脉冲输出信号（O）
GPIO7 EPWM4B MCLKRA ECAP2	16	F2	通用输入/输出信号7（I/O/Z） 增强PWM4输出信号B（O） McBSP-A接收时钟信号（I /O） 增强型捕获输入/输出信号2（I /O）
GPIO8 EPWM5A CANTXB $\overline{\text{ADCSOCAO}}$	17	F3	通用输入/输出信号8（I/O/Z） 增强型PWM5输出信号A和的HRPWM通道信号（O） 增强型CAN-B发送数据信号（O） ADC转换启动信号A（O）
GPIO9 EPWM5B SCITXDB ECAP3	18	G1	通用输入/输出信号9（I/O/Z） 增强PWM5输出信号B（O） SCI-B发送数据信号（I/O） 增强型捕获输入/输出信号3（I/O）
GPIO10 EPWM6A CANRXB $\overline{\text{ADCSOCBO}}$	19	G2	通用输入/输出信号10（I/O/Z） 增强型PWM6输出信号A和的HRPWM通道信号（O） 增强型CAN-B接收数据信号（O） ADC转换启动信号B（O）
GPIO11 EPWM6B SCIRXDB ECAP4	20	G3	通用输入/输出信号11（I/O/Z） 增强型PWM6输出信号B（O） SCI-B接收数据信号（I） 增强型捕获输入/输出信号4（I/O）
GPIO12 $\overline{\text{TZ1}}$ CANTXB MDXB	21	H1	通用输入/输出信号12（I/O/Z） 触发区输入1（I） 增强型CAN-B发送数据信号（O） McBSP-B发送串行数据信号（O）
GPIO13 $\overline{\text{TZ2}}$ CANRXB MDRB	24	H2	通用输入/输出信号13（I/O/Z） 触发区输入2（I） 增强型CAN-B接收数据信号（O） McBSP-B接收串行数据（O）
GPIO14 $\overline{\text{TZ3}}$/$\overline{\text{XHOLD}}$ SCITXDB MCLKXB	25	H3	通用输入/输出信号14（I/O/Z） 触发区输入信号3/外部保持请求$\overline{\text{XHOLD}}$，当有效时（低电平），请求外部接口（XINIF）释放外部总线并将所有总线和选通脉冲置于一个高阻抗状态。为阻止该事件的发生，为了防止在$\overline{\text{TZ3}}$信号变为有效时发生这种情况，通过写入XINTCNF2[HOLD]=1 来禁用此功能。如果没有这样做，XINTF总线将在$\overline{\text{TZ3}}$变为低电平时随时进入高阻抗状态。在ePWM端，$\overline{\text{TZn}}$信号在默认情况下被忽略，除非它们由代码启用。当任一当前的访问完成并且在XINTF上没有等待的访问时，XINTF将释放总线。（I） SCI-B发送数据信号（O） McBSP-B发送时钟信号（I/O）
GPIO15 $\overline{\text{TZ4}}$/$\overline{\text{XHOLDA}}$ SCIRXDB MFSXB	26	J1	通用输入/输出信号15（I/O/Z） 触发区输入4/外部保持确认。在GPADIR寄存器中，此选项的引脚功能基于所选择的方向。如果此引脚被配置为输入，则$\overline{\text{TZ4}}$功能就会被选择。如果此引脚被配置为输出，则$\overline{\text{XHOLDA}}$功能就会被选择。当XINTF已经准予一个$\overline{\text{XHOLD}}$请求时，$\overline{\text{XHOLDA}}$被驱动至有效（低电平）。所有XINTF总线和选通闸门将处于高阻抗状态。当$\overline{\text{XHOLD}}$信号被释放时，$\overline{\text{XHOLDA}}$被释放。当$\overline{\text{XHOLDA}}$为有效（低电平）时，外部器件应该只驱动外部总线。（I/O）

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
			SCI-B接收数据信号（I） McBSP-B发送帧同步信号（I/O）
GPIO16 SPISIMOA CANTXB $\overline{TZ5}$	27	J2	通用输入/输出信号16（I/O/Z） SPI从机输入主机输出信号（I/O） 增强型CAN-B发送数据信号（O） 触发区输入5（I）
GPIO17 SPISOMIA CANRXB $\overline{TZ6}$	28	J3	通用输入/输出信号17（I/O/Z） SPI-A从器件输出，主器件输入（I/O） 增强型CAN-B接收（I） 触发区输入6（I）
GPIO18 SPICLKA SCITXDB CANRXA	62	N8	通用输入/输出信号18（I/O/Z） SPI-A时钟输入/输出信号（I/O） SCI-B发送数据信号（O） 增强型CAN-A接收数据信号（I）
GPIO19 $\overline{SPISTEA}$ SCIRXDB CANTXA	63	M8	通用输入/输出信号19（I/O/Z） SPI-A从器件发送使能输入/输出信号（I/O） SCI-B接收数据信号（I） 增强型CAN-A发送数据信号（O）
GPIO20 EQEP1A MDXA CANTXB	64	P9	通用输入/输出信号20（I/O/Z） 增强型QEP1输入信号A（I） McBSP-A串行发送数据信号（O） 增强型CAN-B发送数据信号（O）
GPIO21 EQEP1B MDRA CANRXB	65	N9	通用输入/输出信号21（I/O/Z） 增强型QEP1输入信号B（I） McBSP-A串行接收数据信号 (1) 增强型CAN-B接收数据信号(1)
GPIO22 EQEP1S MCLKXA SCITXDB	66	M9	通用输入/输出信号22（I/O/Z） 增强型QEP1选通信号（I/O） McBSP-A发送时钟信号（I/O） SCI-B发送数据信号（O）
GPIO23 EQEP1I MFSXA SCIRXDB	67	P10	通用输入/输出23（I/O/Z） 增强型QEP1索引（I/O） McBSP-A发送帧同步信号（I/O） SCI-B接收数据信号（I）
GPIO24 ECAP1 EQEP2A MDXB	68	N10	通用输入/输出信号24（I/O/Z） 增强型捕获信号1(I/O） 增强型QEP2输入信号A（I） McBSP-B串行发送数据 信号（O）
GPIO25 ECAP2 EQEP2B MDRB	69	M10	通用输入/输出信号25（I/O/Z） 增强型捕获信号2(I/O） 增强型QEP2输入信号B（I） McBSP-B串行接收数据信号（I）
GPIO26 ECAP3 EQEP2I MCLKXB	72	P11	通用输入/输出信号26（I/O/Z） 增强型捕获信号3(I/O） 增强型QEP2索引信号（I/O) McBSP-B发送时钟信号（I/O）
GPIO27	73	N11	通用输入/输出信号27（I/O/Z）

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
ECAP4 EQEP2S MFSXB			增强型捕获信号4(I/O） 增强型QEP2选通脉冲（I/O) McBSP-B发送帧同步信号（I/O）
GPIO28 SCIRXDA $\overline{\text{XZCS6}}$	141	D10	通用输入/输出信号28（I/O/Z） SCI接收数据（I）外部接口 外部接口区域6片选信号（O）
GPIO29 SCITXDA XA19	2	C1	通用输入/输出信号29（I/O/Z） SCI发送数据信号（O） 外部接口地址信号 19（O）
GPIO30 CANRXA XA18	1	C2	通用输入/输出信号30（I/O/Z） 增强型CAN-A接收数据信号（I） 外部接口地址信号18（O）
GPIO31 CANTXA XA17	176	B2	通用输入/输出信号31（I/O/Z） 增强型CAN-A发送数据信号（I） 外部接口地址信号17（O）
GPIO32 SDAA EPWMSYNCI $\overline{\text{ADCSOCAO}}$	74	M11	通用输入/输出信号32（I/O/Z） I2C开漏双向数据信号(I/OD) 增强型PWM外部同步脉冲输入信号（I） ADC转换启动信号A（O）
GPIO33 SCLA EPWMSYNCO $\overline{\text{ADCSOCBO}}$	75	P12	通用输入/输出信号33（I/O/Z） I2C开漏双向时钟信号(I/OD) 增强型PWM外部同步脉冲输出信号（O） ADC转换启动信号B（O）
GPIO34 ECAP1 XREADY	142	A9	通用输入/输出信号34（I/O/Z） 增强型捕获输入/输出信号1（I/O） 外部接口就绪信号。此引脚始终连接到XINTF模块，如果应用程序使用GPIO功能，同时还使用XINTF功能，则应配置XINTF忽略该就绪信号。
GPIO35 SCITXDA XR/$\overline{\text{W}}$	148	B9	通用输入/输出信号35（I/O/Z） SCI发送数据信号（O） 外部接口为读选通脉冲，而非写选通脉冲（O）
GPIO36 SCIRXDA $\overline{\text{XZCS0}}$	145	C9	通用输入/输出信号36（I/O/Z） SCI接收数据信号（I） 外部接口区域0片选信号（O）
GPIO37 ECAP2 $\overline{\text{XZCS7}}$	150	B8	通用输入/输出信号37（I/O/Z） 增强型捕获输入/输出信号2（I/O） 外部接口区域7片选信号（O）
GPIO38 $\overline{\text{XWE0}}$	137	C10	通用输入/输出信号38（I/O/Z） 外部接口写使能信号0（O）
GPIO39 XA16	175	C3	通用输入/输出信号39（I/O/Z） 外部接口地址信号16（O）
GPIO40 SPIECLK XA0/$\overline{\text{XWE1}}$	151	C8	通用输入/输出信号40（I/O/Z） SPI-E时钟信号（I/O） 外部接口地址信号0/外部接口写入使能信号1（O）
GPIO41 SPIESIMO XA1	152	A7	通用输入/输出信号41（I/O/Z） SPI-E从器件输入，主器件输出（I/O） 外部接口地址信号1（O）
GPIO42	153	B7	通用输入/输出信号42（I/O/Z）

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
SPIESOMI XA2			SPI-E从机输出主机输入信号（I/O） 外部接口地址信号2（O）
GPIO43 SPIESTEn XA3	156	C7	通用输入/输出信号43（I/O/Z） SPI-E从器件发送使能信号（I/O） 外部接口地址信号3（O）
GPIO44 XA4	157	A6	通用输入/输出信号44（I/O/Z） 外部接口地址信号4（O）
GPIO45 XA5	158	B6	通用输入/输出45（I/O/Z） 外部接口地址信号5（O）
GPIO46 XA6	161	C6	通用输入/输出信号46（I/O/Z） 外部接口地址信号6（O）
GPIO47 XA7	162	D6	通用输入/输出信号47（I/O/Z） 外部接口地址信号7（O）
GPIO48 ECAP5 XD31	88	L14	通用输入/输出信号48（I/O/Z） 增强型捕获输入/输出信号5（I/O） 外部接口数据信号31（I/O/Z）
GPIO49 ECAP6 XD30	89	L13	通用输入/输出信号49（I/O/Z） 增强型捕获输入/输出信号6（I/O） 外部接口数据信号30（I/O/Z）
GPIO50 EQEP1A XD29	90	L12	通用输入/输出信号50（I/O/Z） 增强型QEP1输入信号A（I/O） 外部接口数据信号29（I/O/Z）
GPIO51 EQEP1B XD28	91	K14	通用输入/输出信号51（I/O/Z） 增强型QEP1输入信号B（I） 外部接口数据信号28（I/O/Z）
GPIO52 EQEP1S XD27	94	K13	通用输入/输出52（I/O/Z） 增强型QEP1选通脉冲（I/O） 外部接口数据线路27（I/O/Z）
GPIO53 EQEP1I XD26	95	K12	通用输入/输出信号53（I/O/Z） 增强型QEP1索引信号（I/O） 外部接口数据信号26（I/O/Z）
GPIO54 SPISIMOA XD25	96	J14	通用输入/输出54（I/O/Z） SPI-A从器件输入，主器件输出（I/O） 外部接口数据线路25（I/O/Z）
GPIO55 SPISOMIA XD24	97	J13	通用输入/输出信号55（I/O/Z） SPI-A从机输出主机输入信号（I/O） 外部接口数据信号24（I/O/Z）
GPIO56 SPICLKA XD23	98	J12	通用输入/输出信号56（I/O/Z） SPI-A时钟信号（I/O） 外部接口数据信号23（I/O/Z）
GPIO57 $\overline{\text{SPISTEA}}$ XD22	99	H13	通用输入/输出信号57（I/O/Z） SPI-A从器件发送使能信号（I/O） 外部接口数据信号22（I/O/Z）
GPIO58 MCLKRA XD21	100	H12	通用输入/输出信号58（I/O/Z） McBSP-A接收时钟信号（I/O） 外部接口数据信号21（I/O/Z）
GPIO59	110	H11	通用输入/输出信号59（I/O/Z）

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
MFSRA XD20			McBSP-A接收帧同步信号（I/O） 外部接口数据信号20（I/O/Z）
GPIO60 MCLKRB XD19	111	G12	通用输入/输出信号60（I/O/Z） McBSP-B接收时钟信号（I/O） 外部接口数据信号19（I/O/Z）
GPIO61 MFSRB XD18	112	F14	通用输入/输出信号61（I/O/Z） McBSP-B接收帧同步信号（I/O） 外部接口数据信号18（I/O/Z）
GPIO62 SCIRXDC XD17	113	F13	通用输入/输出信号62（I/O/Z） SCI-C接收数据信号（I/O） 外部接口数据信号17（I/O/Z）
GPIO63 SCITXDC XD16	114	F12	通用输入/输出信号63（I/O/Z） SCI-C发送数据信号（O） 外部接口数据信号16（I/O/Z）
GPIO64 XD15	115	E14	通用输入/输出信号64（I/O/Z） 外部接口数据信号15（O）
GPIO65 XD14	116	E13	通用输入/输出信号65（I/O/Z） 外部接口数据信号14（I/O/Z）
GPIO66 XD13	119	E12	通用输入/输出信号66（I/O/Z） 外部接口数据信号13（I/O/Z）
GPIO67 XD12	122	D14	通用输入/输出信号67（I/O/Z） 外部接口数据信号12（I/O/Z）
GPIO68 MCANATXD XD11	123	D13	通用输入/输出信号68（I/O/Z） MCANA发送数据信号（O） 外部接口数据信号11（I/O/Z）
GPIO69 MCANARXD XD10	124	D12	通用输入/输出信号69（I/O/Z） MCANA接收数据信号（I） 外部接口数据信号10（I/O/Z）
GPIO70 MCANBTXD XD9	127	C14	通用输入/输出信号70（I/O/Z） MCANB发送数据信号（O） 外部接口数据信号9（I/O/Z）
GPIO71 MCANARXD XD8	128	C13	通用输入/输出信号71（I/O/Z） MCANA接收数据信号（O） 外部接口数据信号8（I/O/Z）
GPIO72 XD7	129	B13	通用输入/输出信号72（I/O/Z） 外部接口数据信号7（I/O/Z）
GPIO73 XD6	130	A12	通用输入/输出信号73（I/O/Z） 外部接口数据信号6（I/O/Z）
GPIO74 XD5	131	B12	通用输入/输出信号74（I/O/Z） 外部接口数据信号5（I/O/Z）
GPIO75 XD4	132	C12	通用输入/输出信号75（I/O/Z） 外部接口数据信号4（I/O/Z）
GPIO76 XD3	133	A11	通用输入/输出信号76（I/O/Z） 外部接口数据信号3（I/O/Z）
GPIO77 XD2	134	B11	通用输入/输出信号77（I/O/Z） 外部接口数据信号2（I/O/Z）
GPIO78	135	C11	通用输入/输出信号78（I/O/Z）

名称	引脚编号		说明(1)
	LQFP 引脚编号	BGA 引脚编号	
XD1			外部接口数据信号1（I/O/Z）
GPIO79 XD0	136	B10	通用输入/输出信号79（I/O/Z） 外部接口数据信号0（I/O/Z）
GPIO80 XA8	163	A5	通用输入/输出信号80（I/O/Z） 外部接口地址和信号8（I/O/Z）
GPIO81 XA9	164	B5	通用输入/输出信号81（I/O/Z） 外部接口地址信号9（I/O/Z）
GPIO82 XA10	165	C5	通用输入/输出信号82（I/O/Z） 外部接口地址信号10（I/O/Z）
GPIO83 XA11	168	A4	通用输入/输出信号83（I/O/Z） 外部接口地址信号11（I/O/Z）
GPIO84 XA12	169	B4	通用输入/输出信号84（I/O/Z） 外部接口地址信号12（I/O/Z）
GPIO85 XA13	172	C4	通用输入/输出信号85（I/O/Z） 外部接口地址信号13（O）
GPIO86 XA14	173	A3	通用输入/输出信号86（I/O/Z） 外部接口地址信号14（O）
GPIO87 XA15	174	B3	通用输入/输出信号87（I/O/Z） 外部接口地址信号15（O）
$\overline{\text{XRD}}$	149	A8	外部接口读信号

(1) I= 输入，O= 输出，Z=高阻抗，OD=开漏，↑= 上拉，↓=下拉

3. 功能概述

3.1. 功能框图

图3-1给出了F335的结构框图。

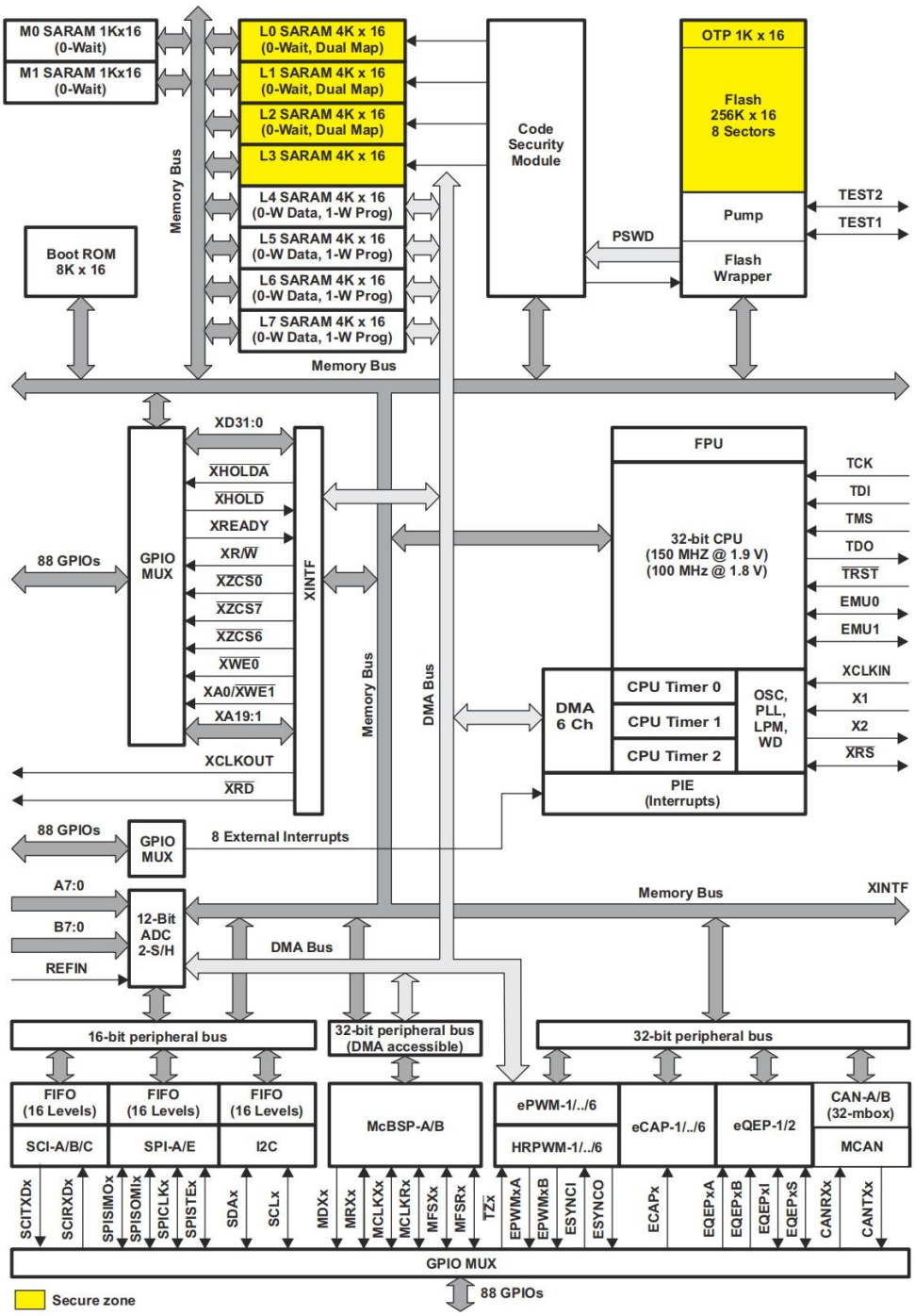


图3-1　　功能框图

3.2. 内存映射

图3-2给出了内存映射表，说明如下：

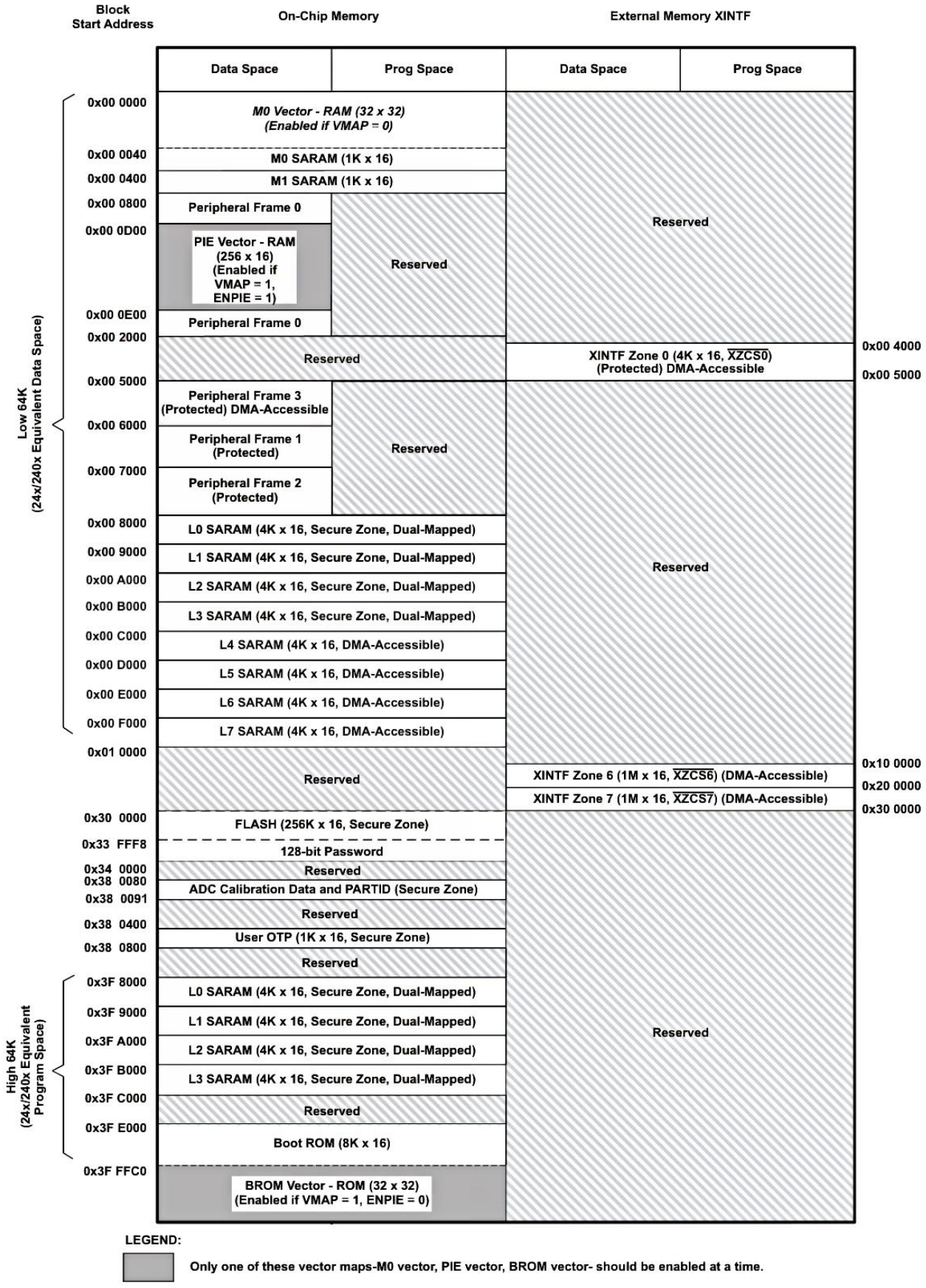


图3-2　　F335内存映射

- 内存不可扩展。
- 外设帧0、外设帧1、外设帧2和外设帧3内存空间只限于作为数据内存，用户程序不能通过程序总线访问这些内存空间。
- 受保护意味着严格保留“写后读操作”，而不是指令流水线顺序。
- 特定内存区域受EALLOW保护，以防止配置之后的错误写入。
- 地址0x380080-0x38008F 包含ADC校准程序，不可由用户编程。
- 如果eCAN模块未在应用中使用，在开启CAN模块时钟的情况下，其内部的RAM（LAM，MOTS，MOTO，和邮箱RAM）可当成通用RAM使用。

表3-1　F335中闪存扇区的地址

地址范围	程序和数据空间
0x30 0000-0x30 7FFF	扇区 H (32K x16)
0x30 8000-0x30 FFFF	扇区 G (32K x16)
0x31 0000-0x31 7FFF	扇区 F (32K x16)
0x31 8000-0x31 FFFF	扇区 E (32K x16)
0x32 0000-0x32 7FFF	扇区 D (32K x16)
0x32 8000-0x32 FFFF	扇区 C (32K x16)
0x33 0000-0x33 7FFF	扇区 B (32K x16)
0x33 8000-0x33 FF7F 0x33 FF80-0x33 FFF5 0x33 FFF6-0x33 FFF7 0x33 FFF8-0x33 FFFF	扇区 A (32K x16) 使用代码安全模块时，编程为0x0000 引导至闪存进入点（程序分支指令所在位置） 安全密码（128位）（不要设定为全零）

注意，设置代码安全密码后，0x33FF80到0x33FFF5间的所有地址不能被用作程序代码或者数据，这些位置必须被设定为0x0000。如果未使用代码安全特性，地址0x33FF80至0x33FFEF可被用于存放代码或者数据。地址0x33FFF0-0x33FFF5为数据保留且不能包含程序代码。表3-2给出了如何处理这些内存地址。

表3-2　处理安全代码位置

地址	闪存	
	代码安全被启用	代码安全被禁用
0x33FF80–0x33FFEF	用0x0000填充	应用代码和数据
0x33FFF0–0x33FFF5		只为数据保留。

外设帧1、外设帧2、外设帧3分组在一起，这些模块可以进行外设块的写入/读取保护。受保护模式确保所有到这些模块的访问按照程序代码的顺序执行。由于CPU流水线的存在，访问不同内存位置的写操作后紧接着一个读操作，会在CPU的内存总线上以相反的顺序出现。这可能在某些外设应用中引起问题，因为用户希望写操作先发生（按照程序代码的顺序）。F335的CPU支持块保护模式，可以确保对一个区域块的访存操作按照程序代码发生（代价是增加了额外周期以对齐操作）。该模式可编程配置是否开启，默认情况下保护所选的区域。表3-3给出了内存映射区域不同空间的等待状态。

表3-3　等待状态

区域(AREA)	等待状态(CPU)	等待状态(DMA)(1)	注释
M0和M1 SARAM	0-等待	/	固定的
外设帧0	0-等待(写入) 1-等待(读取)	0-等待(读取) 无权限(写入)	
外设帧3	0-等待(写入) 2-等待(读取)	0-等待(写入) 1-等待(读取)	假设CPU和DMA之间没有冲突。

区域(AREA)	等待状态(CPU)	等待状态(DMA)(1)	注释
外设帧1	0-等待(写入) 2-等待(读取)	无访问权限	周期数可由外设生成的ready信号进行扩展。 对外设帧1的寄存器进行连续（背靠背）写入可以实现1周期流水命中（1周期延迟）。
外设帧2	0-等待(写入) 2-写入(读取)	无访问权限	节拍固定，周期数不可由外设扩展。
L0 SARAM	0-等待	无访问权限	假定没有CPU访问冲突
L1 SARAM			
L2 SARAM			
L3 SARAM			
L4 SARAM	0-等待(数据读取) 0-等待(数据写入) 0-等待(程序读取) 0-等待(程序写入)	0-等待	假设CPU和DMA之间没有访问冲突。
L5 SARAM			
L6 SARAM			
L7 SARAM			
XINTF	可编程 写入缓冲启用时， 最小0 -等待	可编程 写入缓冲启用时， 最小0-等待	通过XTIMING寄存器设定或通过外部XREADY 信号扩展以满足系统的时序要求。 对于读取和写入，1-等待是在XINTF外部引脚波形上的最小等待状态。 对写入操作，写入缓冲器启用并且不满时最小可以达到0 - 等待。 当DMA和CPU访问冲突时，会增加1周期延迟用于仲裁。
OTP	可编程 最小1-等待	无访问权限	由闪存寄存器设定。 1 - 等待是允许的最小等待状态。CPU频率较低时1待状态操作是可能的。
闪存	可编程确定等待状态 1 -随机等待最小值 页式等待未使用，不生效	无访问权限	由闪存寄存器设定。 页访问中不允许最小的0 -等待
引导-ROM	0-等待	无访问权限	0 -等待速度无法实现。

(1)DMA基本性能是4周期/字。

3.3. 简要说明

3.3.1. CPU

SYS-F335属于数字信号控制器(DSC)平台，是F系列DSP其中的一款芯片。F335具有32位定点架构，同时还包含一个支持单精度（32位）IEEE 754标准的浮点单元（FPU）。F335是一个非常高效的的C/C++引擎，用户能使用高层次的语言开发自己的系统控制软件，也可以使用C/C++进行数学算法的开发。除了能够高效胜任通常采用微控制器来处理的系统控制任务外，此器件也能高效处理DSP算术任务，这种高效的处理能力消除了很多系统对第二个处理器的需求。32 x 32位MAC的64位处理能力使得该控制器能够更高效地处理高数值分辨问题。F335增加了快速中断响应机制，该机制能进行包括关键寄存器在内的中断现场自动保存，使得器件具备低延迟处理众多异步事件的能力。芯片的CPU具有受存储保护机制保护的8级深度流水线。该流水线使得芯片能够高速执行程序，且无需求助于昂贵的高速存储器。专用快速分支超前硬件大大减少了条件不成立而带来的分支延迟，条件存储操作进一步提升了芯片的整体性能。

3.3.2. 内存总线（哈弗总线架构）

与很多DSC类型器件一样，多总线用于处理在内存、外设和CPU之间的数据迁移。F335的内存总线架构包含一组程序读总线、一组数据读总线和一组数据写入总线。程序读总线由22位地址线和32位数据线组成；数据读总线和写总线分别由32位地址线和32位数据线组成；32位宽的数据总线可实现单周期32位操作。这种称为哈弗总线的多总线结构，使得F系列器件能够在一个单周期内完成取指令、读取源操作数和写入运算结果。不同的总线对外设和存储体的访问优先级不同，总的来说，内存总线访问的优先级可概括如下所示：

最高级：	数据写入	（内存总线上不能同时进行数据和程序写入。）
	程序写入	（内存总线上不能同时进行数据和程序写入。）
	数据读取	
	程序读取	（内存总线上不能同时进行程序读取和取指令。）
最低级：	取指令	（内存总线上不能同时进行程序读取和取指令。）

3.3.3. 外设总线

为了实现F系列DSP不同器件间的外设复用，F系列DSP器件的外设互连采用了一套标准的外设总线，由16位地址线、16位或者32位数据线以及相关控制信号组成。外设总线支持三种访问类型：类型一只支持16位访问（外设帧2）；类型2支持16位和32位访问（外设帧 1）；类型3支持DMA访问和16位以及32位访问（外设帧 3）。

3.3.4. 实时JTAG和分析

F335器件为调试提供了标准的IEEE1149.1 JTAG接口。此外，芯片还支持实时运行模式，在处理器正在运行、执行代码或中断响应时，可对存储器内容、外设或寄存器的值进行修改。用户也可以在单步运行非时间关键代码时，无干扰地响应处理时间关键中断。F335通过CPU内的硬件实现实时仿真模式。这是F335器件的独特功能，无需软件监控。此外，还提供了特殊的分析硬件，允许设置硬件断点和数据/地址观察点。

3.3.5. 外部接口(XINTF)

这个异步接口由20位地址线，32位数据线，和3个片选信号组成。片选信号对3个外部区域进行选择，即区域0、区域6和区域7。每个区域可设定为不同的等待状态数值、片选信号设置和保持时序，并且每个区域可设定为外部可扩展等待状态或者没有扩展等待状态。可设定的等待状态、片选和可编程选通时序可实现到外部存储器和外设的无缝对接。

3.3.6. 闪存

F335器件包含256Kx16位的嵌入式闪存存储器，分为8个32Kx16位扇区；还包含一个单1Kx16位OTP内存，其地址范围为 0x380400-0x3807FF。用户能够在不改变其它扇区的同时单独擦除、编辑和验证一个闪存扇区；但是不能使用闪存的一个扇区或者OTP来执行擦除/编辑其它扇区的闪存算法。特殊的内存流水线操作使得闪存模块能够实现更高性能。闪存/OTP可以映射为程序或数据空间，可用于执行代码或者存储数据信息。注意地址0x33FFF0-0x33FFF5保留用于存储数据变量，不应用于保存程序代码。

注意，闪存和OTP写入状态可由应用程序配置，运行频率较低时，应用可以将闪存配置为较少的等待状态。可以通过在闪存选项寄存器中启用闪存流水线操作模式来提升闪存的效能；这个模式启用时，线性代码执行的效能将远远快于只配置等待状态时的原始性能。使用闪存流水模式的准确性能增加和具体应用有关。

3.3.7. M0/M1 SARAM

F335集成两个单一访存接口的存储区块，M0和M1，大小均为1Kx16位。复位时，堆栈指针指向块M1的起始位置。M0和M1块可被映射为程序空间和数据空间，用户可以使用M0和M1来保存执行代码或者数据变量， F335器件提供了统一内存映射空间， 这使得用高级语言编程变得更加容易。

3.3.8. L0-L7 SARAM

F335集成了大小为32Kx16位的单访存口RAM，分为 8个块（L0–L7，每块4Kx16位）。每个块可被独立访问以减少CPU的流水线停顿，每个块都可被映射为程序和数据空间。 L4、L5、L6、L7还可由DMA访问。

3.3.9. MCAN SARAM

MCAN RAM为4Kx16位的单访存口RAM，在关闭eCANA/eCANB/MCANA/MCANB时钟使能时，可作为普通RAM（类似LS/GS RAM)使用，可存放程序段，地址范围为0x18000-0x18FFF，支持16/32位访问，16位粒度。

3.3.10. 引导ROM

引导ROM在出厂前已编程，它包含了启动引导载入软件。引导模式信号决定引导加载软件在加电时使用哪种引导模式，如表3-4所示。用户可以选择正常引导或者从外部接口下载新软件或者选择内部闪存/ROM中的引导软件。引导ROM还包含用于数学相关算法中的标准数据表，例如SIN/COS 函数表。

表3-4 引导模式选择

模式	GPIO87/XA15	GPIO86/XA14	GPIO85/XA13	GPIO84/XA12	模式(1)
F	1	1	1	1	跳转到闪存
E	1	1	1	0	SCI-Aboot
D	1	1	0	1	SPI-A引导
C	1	1	0	0	I2C-A引导
B	1	0	1	1	eCAN-A引导
A	1	0	1	0	McBSP-A引导
9	1	0	0	1	跳转到XINTF x16
8	1	0	0	0	跳转到XINTF x32
7	0	1	1	1	跳转到OTP
6	0	1	1	0	并行GPIOI/O引导
5	0	1	0	1	并行XINTF引导
4	0	1	0	0	跳转至SARAM
3	0	0	1	1	分支到检查引导模式
2	0	0	1	0	跳转到闪存, 跳过ADC校准
1	0	0	0	1	跳转至SARAM, 跳过ADC校准
0	0	0	0	0	跳转至SCI, 跳过ADC校准

(1)所有的4个GPIO引脚都有内部上拉电阻器。

注意，表3-4中的模式0，1，2只用于调试。应用程序中跳过ADC校准功能将导致ADC在规定的技术规格之外运行。

3.3.11. 引导加载器使用的外设引脚

表3-5给出了每一个外设引导加载器所使用的GPIO引脚。如果希望使用相关引导过程，须参考GPIO复用表以确保和其他必需的引脚不存在冲突。

表3-5　外设引导加载引脚

引导加载器	外设加载器引脚
SCI-A	SCIRXDA(GPIO28) SCITXDA(GPIO29)
SPI-A	SPISIMOA(GPIO16) SPISOMIA(GPIO17) SPICLKA(GPIO18) $\overline{\text{SPISTEA}}$(GPIO19)
IC2	SDAA(GPIO32) SCLA(GPIO33)
CAN	CANRXA(GPIO30) CANTXA(GPIO31)
McBSP	MDXA(GPIO20) MDRA(GPIO21) MCLKXA(GPIO22) MFSXA(GPIO23) MCLKRA(GPIO7) MFSRA(GPIO5)

3.3.12. 安全性

F335支持高级安全性以保护用户固件不受反向工程的损害。这个安全性特有一个128位密码（16个等待状态的硬编码），此密码由用户设置并保存在闪存中。一个代码安全模块 (CSM) 用于保护闪存/OTP和L0/L1/L2/L3 SARAM块。这个安全特性防止未经授权的用户通过JTAG端口检查内存内容，或者从外部内存执行代码或者加载一些将会输出安全内存内容的恶意软件。为了实现对安全区域空间的访问，用户必须填入与存储在闪存密码位置内的值相匹配的正确的128位密钥值。

除了CSM，仿真代码安全逻辑电路(ECSL)被用来防止未经授权的用户通过调试步入安全代码。在仿真器连接时，任何对闪存、用户OTP，或者L0、 L1、 L2和L3内存的代码或者数据访问将触发ECSL错误并断开仿真连接。为了实现安全代码仿真，同时保持CSM安全内存读取，用户必须向秘钥寄存器的低64位写入正确的值，这个值与存储在闪存密码位置的低64位的值相符合。注意仍须执行闪存内所有128位密码的虚拟空读取。 如果密码的低64位为全1，那么无须符合 KEY 值。

当使用闪存内设定的密码开始调试一个器件时（也就是说，调试是安全的），仿真器需要一些时间来获取CPU控制权。在此期间，CPU会开始运行，并可能执行访问受保护ECSL区的指令。如果发生这种情况，ECSL将发生错误并使仿真器连接断开。这个问题有两个解决方案：

- 第一个方案是使用复位等待仿真模式，该模式下器件保持在复位状态直到仿真器获得控制权。仿真器必须支持这种模式。
- 第二个方案是使用引导选项中的“分支至检查引导模式”。这将进入一个操作循环，不断查询引导模式选择引脚。用户可以选择此种引导模式，然后在仿真器连接后通过把PC重新映射到另一个地址，或者通过把引导模式选择引脚更改为所需的引导模式退出这种模式。

注意：编辑代码安全密码时，0xFF3380到0x33FFF5间的所有地址不能用于存放程序代码或者数据，这些位置必须设定为0x0000。如果未使用代码安全特性，地址0x33FF80至0x33FFEF可用于存储代码或者数据。

地址0x33FFF0-0x33FFF5须保留用于存放数据，不能存放程序代码。128位密码（位于0x33FFF8-0x33FFFF）不能设定为全0，这样会永久锁住此器件。

3.3.13. 外设中断扩展(PIE) 块

PIE模块将众多的中断源映射到CPU中断输入中，PIE 块能够支持96个外设中断；在F335中，96个中断中的58个被外设使用。96个中断分成12组（每组8个），分别对应12个CPU中断（INT1-INT12）中的1个。96个中断的每一个都具有唯一的中断服务程序入口，存储在一个专用的RAM块中且内容可由用户进行修改。在处理一个中断时，CPU自动读取中断服务程序入口地址，读取中断入口地址并保存CPU关键寄存器会花费8个CPU时钟周期。这样CPU能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。在PIE块内可以启用或禁用任一中断。

3.3.14. 外部中断(XINT1-XINT7，XNMI)

F335支持8个可屏蔽的外部中断(XINT1–XINT7, XNMI)。XNMI可连接至INT13或者CPU的NMI中断。这些中断均可选择使用负边沿、正边沿或者正负边沿触发，并且可以被使能或禁用（包括XNMI）。XINT1、XINT2和XNMI还包含一个16位自由运行的递增计数器，当检测到一个有效的中断边沿时，该计数器复位为0。这个计数器可用于为中断精确计时。XINT1、XINT2和XNMI 中断可接收来自GPIO0-GPIO31引脚的输入。XINT3–XINT7中断可接收来自 GPIO32-GPIO63引脚的输入。

3.3.15. 振荡器和锁相环(PLL)

该器件可由外部振荡器或者由连接到片上振荡器电路的晶振提供时钟。内部集成的PLL支持10种输入时钟缩放系数。PLL时钟缩放系数可以在器件运行时通过软件更改，用户可以按比例降低运行频率从而降低功耗。PLL摸块可设定为旁路模式，系统在参考时钟同步下工作。

3.3.16. 看门狗

本器件包含一个看门狗定时器。用户软件必须在一个特定的时间范围内周期性喂狗；否则，看门狗将生成复位信号将处理器复位。如果需要，可以禁用看门狗。

3.3.17. 外设时钟

每个外设都有单独的时钟门控使能，在不使用外设时可禁用外设时钟以减少功耗。此外，到串行端口（除了I2C和eCAN之外）和ADC时钟的系统时钟可相对于CPU时钟进行等比缩放。这样可解除外设时钟与CPU时钟的耦合，在CPU频率增加时外设仍可配置到工作时钟。

3.3.18. 低功率模式

F335器件是完全静态CMOS 器件。提供三个低功耗模式：

- IDLE：将CPU置于低功耗模式，有选择性地关闭外设时钟，并且只有那些在IDLE期间需要运行的外设保持时钟开启状态。来自活动外设或者看门狗定时器的中断信号可以把处理器从IDLE 模式中唤醒。

- STANDBY：关闭到CPU和外设的时钟。在这种模式下，振荡器和PLL仍然运行。外部中断事件可以唤醒处理器和外设。在检测到中断事件之后的下一个有效周期，内核开始执行程序。
- HALT：关闭内部振荡器。这种模式基本上关闭了器件，使其处于尽可能低的功耗模式中。复位或者外部信号能将器件从这个模式中唤醒。

3.3.19. 外设帧0/1/2/3 (PFn)

此器件将外设分成四个外设帧。 外设帧映射如下：

- PF0
  - PIE：PIE中断使能和控制寄存器、PIE矢量表；
  - 闪存：闪存等待状态寄存器；
  - XINTF：外部接口寄存器；
  - DMA：DMA寄存器；
  - 定时器：CPU -定时器0/1/2寄存器；
  - CSM：代码安全模块秘钥寄存器；
  - ADC：ADC结果寄存器（双映射）；
- PF1
  - eCAN：eCAN邮箱和控制寄存器；
  - GPIO：GPIO多路配置和控制寄存器；
  - ePWM：增强型脉冲宽度调制器模块和寄存器（双映射）；
  - eCAP：增强型捕捉模块和寄存器；
  - eQEP：增强型正交解码器脉冲模块和寄存器；
- PF2
  - SYS：系统控制寄存器；
  - SCI：串行通信接口(SCI) 控制和RX/TX寄存器；
  - SPI：串行端口接口(SPI) 控制和RX/TX寄存器；
  - ADC：ADC 状态、控制和结果寄存器；
  - I2C：IIC电路模块和寄存器；
  - XINTF：外部中断寄存器；
- PF3
  - McBSP：多通道缓冲串行端口寄存器；
  - ePWM：增强型脉冲宽度调制器模块和寄存器（双映射）；

3.3.20. 通用输入/输出(GPIO) 复用器

大多数的外设信号与通用输入/输出 (GPIO) 信号复用引脚。这使得用户能够在外设功能不使用时将引脚用作GPIO。复位时，GPIO引脚默认配置为输入。用户能够独立设定每一个引脚作为GPIO模式或者外设信号模式。对于特定的输入，用户可以选择输入限定周期值，这样可以过滤掉有害的噪音毛刺脉冲。GPIO信号也可被用于使器件退出特定低功耗模式。

3.3.21. 32位CPU定时器(0/1/2)

CPU定时器0、1和2是完全相同的32位定时器，这些定时器带有可预先设定的周期和16位时钟预分频值。定时器有一个32位递减计数寄存器，当寄存器计数到0时会产生一个中断。计数器的计数时钟为CPU时钟的分频时钟，通过预分频值设置分频系数。当此计数器达到0时，它自动重新载入32位的周期值。定时器2为实时OS(RTOS)/BIOS应用保留。它直接连接至CPU的INT14。如果未使用DSP/BIOS，定时器 2也可用于普通用途。定时器1为通用定时器，连接至CPU的INT13。定时器 0也是通用定时器，被连接至PIE块。

3.3.22. 控制外设

F335器件支持以下用于嵌入式控制和通信的外设：

- ePWM：增强型PWM外设支持单端PWM和互补PWM信号生成，支持针对前缘和后缘边沿进行可调整死区生成，支持锁存和逐周期跳闸触发机制。部分PWM引脚支持HRPWM 特性。ePWM寄存器可以被DMA访问以减少处理该的服务开销。
- eCAP：增强型CAP捕获外设采用32位计时精度，支持在连续/单次捕捉模式中记录多达四个可编程事件。这个外设也被可配置为生成辅助 PWM 信号。
- eQEP：增强型QEP外设采用32位位置计数器，采用捕获单元和32位定时器分别支持低速测量和高速测量。这个外设采用一个看门狗定时器来检测电机停转，采用输入错误检测逻辑电路来识别QEP信号中的同步边沿转换。
- ADC：ADC模块是一个单端12位精度转换器，支持16通道，包含两个用于同步采样的采样保持单元。ADC寄存器可以被DMA访问以减少处理该的服务开销。

3.3.23. 串行端口外设

F335支持下列的串行通信外设：

- eCAN：增强型CAN外设模块，支持32个邮箱、消息时间戳，兼容CAN 2.0B协议。
- MCAN：支持经典CAN和CAN FD（具有灵活数据速率CAN）协议，兼容CAN 2.0 A/B协议；集成多达32个专用传输缓冲区和64个专用接收缓冲区，最大支持5Mbps数据比特率；
- McBSP：多通道缓冲串行端口(McBSP) 连接到E1/T1线路、用于调制解调器应用的语音质量编解码器或者高质量立体声音频DAC器件。McBSP接收和发送寄存器可由DMA访问以减少处理器的服务开销。如果需要，McBSP模块可被配置为SPI模式。
- SPI：SPI是一个高速、同步串行I/O端口，可以设定的位传输速率将设定长度（1至16位）的串行比特流移入和移出器件。通常，SPI用于和外部外设或者其它处理器之间的通信。典型应用包括外部I/O或者移位寄存器、显示驱动器和ADC等扩展外设器件。SPI的主/从操作支持多器件通信。SPI包含一个16级接收和发送FIFO，可以减少中断处理开销。
- SCI：串行通信接口是一个两线制异步串行端口，通常被称为UART。SCI包含一个16级接收和发送FIFO，可以减少中断处理开销。
- I2C：通过I2C模块F335可以和其它符合飞利浦半导体I2C总线技术规范2.1版本的器件进行互联，该模支持8位数据发送/接收。I2C包含一个16级接收和发送FIFO，可以减少中断处理开销。

3.4. 寄存器映射

此器件包含四个外设寄存器空间。 这些空间分类如下：

- 外设帧 0：这些是直接映射到CPU内存总线的外设，见表3-6。
- 外设帧 1：这些是映射到32位外设总线的外设，见表3-7。
- 外设帧 2：这些是映射到16位外设总线的外设，见0。
- 外设帧 3：这些是被映射到32位外设总线并且可以被DMA访问的外设，见表3-9。

表3-6 外设帧0寄存器(1)

名称	地址范围	大小(x16)	访问类型(2)
器件仿真寄存器	0x00 0880-0x00 09FF	384	受EALLOW 保护
闪存寄存器(3)	0x00 0A80-0x00 0ADF	96	受EALLOW 保护
代码安全模块寄存器	0x00 0AE0-0x00 0AEF	16	受EALLOW 保护
ADC寄存器（双映射） 0 等待(DMA)，1个等待(CPU)，只读	0x00 0B00-0x00 0B0F	16	不受EALLOW 保护
XINTF寄存器	0x00 0B20-0x00 0B3F	32	受EALLOW 保护
CPU定时器0/1/2寄存器	0x00 0C00-0x00 0C3F	64	不受EALLOW 保护
PIE寄存器	0x00 0CE0-0x00 0CFF	32	不受EALLOW 保护
PIE矢量表	0x00 0D00-0x00 0DFF	256	受EALLOW 保护
DMA寄存器	0x00 1000-0x00 11FF	512	受EALLOW 保护

(1) 外设帧0中的寄存器支持16位和32位访问。

(2) 如果寄存器是EALLOW受保护的，那么在执行EALLOW指令前写入不能成功。EDIS指令禁用写入以防止杂散代码或指针破坏寄存器内容。

(3) 闪存寄存器也受到代码安全模块(CSM)的保护。

表3-7 外设帧1寄存器

名称	地址范围	大小(x16)
eCAN-A寄存器	0x00 6000-0x00 61FF	512
eCAN-B寄存器	0x00 6200–0x00 63FF	512
ePWM1+HRPWM1寄存器	0x00 6800-0x00 683F	64
ePWM2+HRPWM2寄存器	0x00 6840-0x00 687F	64
ePWM3+HRPWM3寄存器	0x00 6880-0x00 68BF	64
ePWM4+HRPWM4寄存器	0x00 68C0-0x00 68FF	64
ePWM5+HRPWM5寄存器	0x00 6900-0x00 693F	64
ePWM6+HRPWM6寄存器	0x00 6940-0x00 697F	64
eCAP1寄存器	0x00 6A00-0x00 6A1F	32
eCAP2寄存器	0x00 6A20-0x00 6A3F	32
eCAP3寄存器	6x40 6A00-0x00 0A5F	32
eCAP4寄存器	6x60 6A00-0x00 0A7F	32
eCAP5寄存器	6x80 6A00-0x00 0A9F	32
eCAP6寄存器	0x00 6AA0–0x00 6ABF	32
eQEP1寄存器	0x00 6B00-0x00 6B3F	64
eQEP2寄存器	0x00 6B40-0x00 6B7F	64
GPIO寄存器	0x00 6F80-0x00 6FFF	128
MCANASS寄存器	0x01 4400-0x01 45FF	512
MCANA寄存器	0x01 4600-0x01 47FF	512
MCANA消息RAM	0x01 0000-0x01 1FFF	8192
MCANBSS寄存器	0x02 4400-0x02 45FF	512
MCANB寄存器	0x02 4600-0x02 47FF	512

名称	地址范围	大小(x16)
MCANB消息RAM	0x02 0000-0x02 0FFF	4096

表3-8　外设帧2寄存器

名称	地址范围	大小(x16)
系统控制寄存器	0x00 7010-0x00 702F	32
SPI-E寄存器	0x00 7030-0x00 703F	16
SPI-A寄存器	0x00 7040-0x00 704F	16
SCI-A寄存器	0x00 7050-0x00 705F	16
外部中断寄存器	0x00 7070-0x00 707F	16
ADC寄存器	0x00 7100-0x00 711F	32
SCI-B寄存器	0x00 7750-0x00 775F	16
SCI-C寄存器	0x00 7770-0x00 777F	16
I2C-A寄存器	0x00 7900-0x00 793F	64

表3-9　外设帧3寄存器

名称	地址范围	大小(x16)
McBSP-A寄存器(DMA)	0x5000 -0x503 F	64
McBSP-B寄存器(DMA)	0x5040 -0x507 F	64
ePWM1+HRPWM1(DMA)(1)	0x5800 -0x583 F	64
ePWM2+HRPWM2(DMA)	0x5840 -0x587 F	64
ePWM3+HRPWM3(DMA)	0x5880-0x58BF	64
ePWM4+HRPWM4(DMA)	0x58C0-0x58FF	64
ePWM5+HRPWM5(DMA)	0x5900 -0x593 F	64
ePWM6+HRPWM6(DMA)	0x5940 -0x597 F	64

(1) ePWM和HRPWM模块可以被重新映射到外设帧3，进而可以被DMA模块访问。要做到这点，MAPCNF寄存器（地址0x702E）的位0（MAPEPWM）必须被设置为 1。此寄存器受EALLOW保护。当此位为0时，ePWM和HRPWM模块被映射到外设帧1。

3.5. 器件仿真寄存器

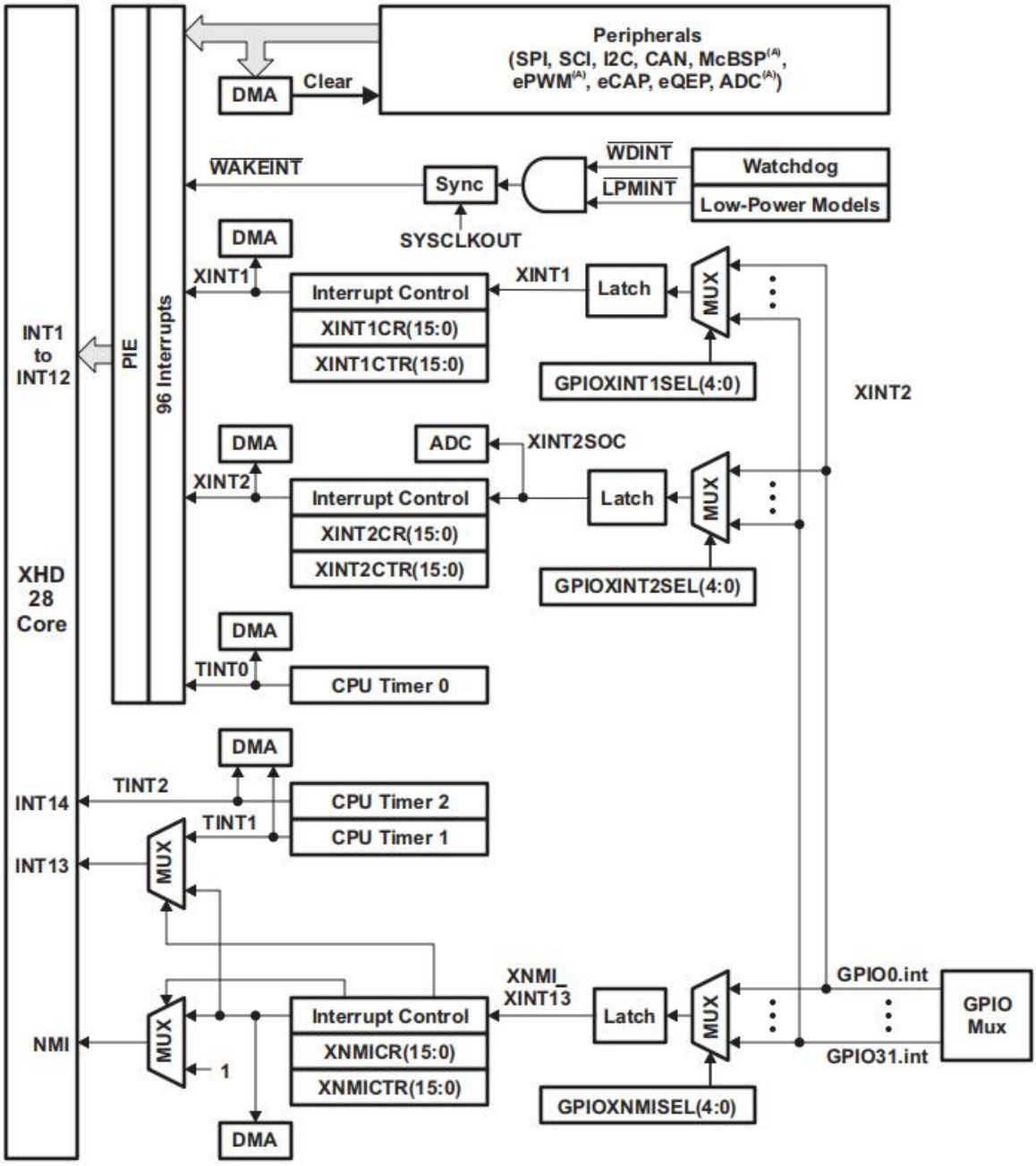
这些寄存器用于控制CPU的保护模式和监视某些关键器件信号，表3-10中对这些寄存器进行了定义。

表3-10　器件仿真寄存器

名称	地址范围	大小(x16)	说明		
DEVICECNF	0x0880 0x0881	2	器件配置寄存器		
PARTID	0x380090	1	部件ID寄存器	F335	0x00EF
CLASSID	0x0882	1	F335浮点类设备	F335	0x00EF
REVID	0x0883	1	修订版本ID寄存器	x0001 -芯片修订版本A–TMS	
PROTSTART	0x0884	1	区块保护起始地址寄存器		
PROTRANGE	0x0885	1	区块保护范围地址寄存器		

3.6. 中断

图3-3给出了不同的中断源是如何被复用的。



A. 可由 DMA 访问

图3-3 外部和PIE中断源

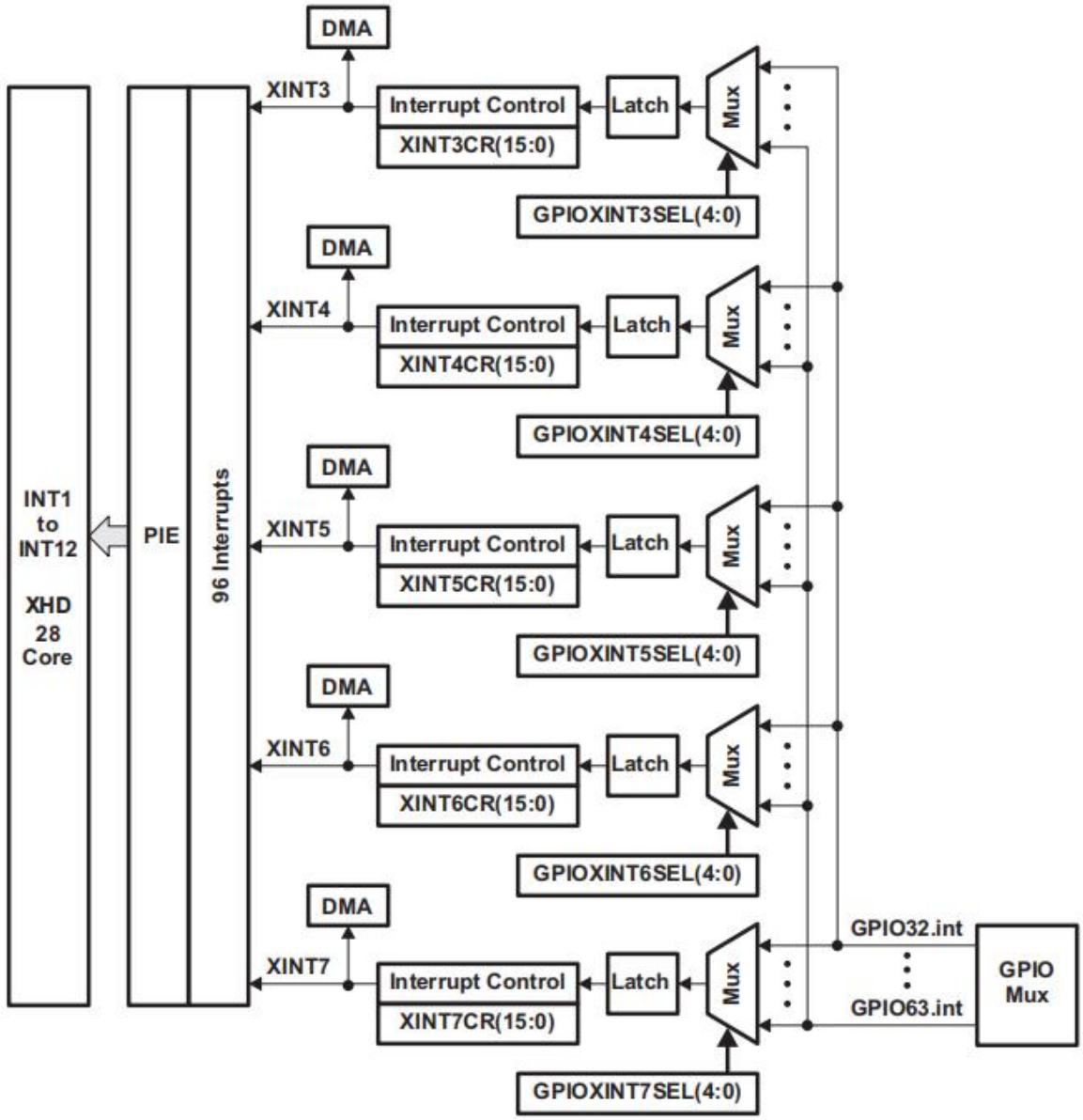


图3-4　　外部中断

8个PIE中断组合为一个PIE中断组，总共12个PIE中断组（分别对应一个CPU中断），每组包含8个中断，共96个中断。F335中，外设使用了其中的58个中断，如0所示。

TRAP #Vectornumber（中断号）指令控制程序跳转至对应的中断服务处理程序。TRAP #0尝试控制将程序跳转到复位向量指向的地址。然而，PIE 中断表不含复位向量。因此，当PIE启用时，不应使用TRAP #0指令，这样做将导致未定义的运行状态。

当启用PIE时，TRAP #1至 TRAP #12分别控制程序跳转到与PIE组中对应的中断处理例程的第一个入口地址。 例如：TRAP #1从INT1.1取中断服务入口地址，TRAP #2 从 INT2.1取中断服务入口地址，以此类推。

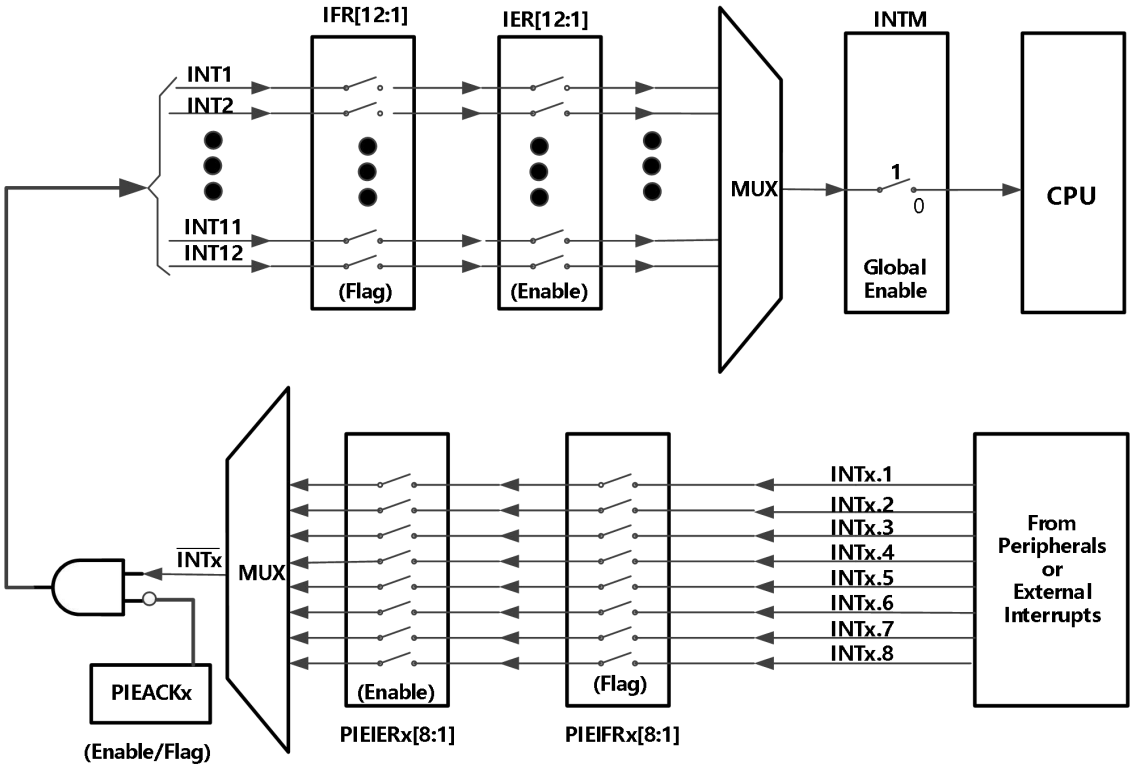


图3-5　使用PIE块的中断复用

表3-11　PIE外设中断(1)

CPU中断	PIE中断							
	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1	WAKEINT (LPM/WD)	TINT0 （定时器0）	ADCINT (ADC)	XINT2	XINT1	保留	SEQ2INT (ADC)	SEQ1INT (ADC)
INT2	保留	保留	EPWM6_TZINT (ePWM6)	EPWM5_TZINT (ePWM5)	EPWM4_TZINT (ePWM4)	EPWM3_TZINT (ePWM3)	EPWM2_TZINT (ePWM2)	EPWM1_TZINT (ePWM1)
INT3	保留	保留	EPWM6_INT (ePWM6)	EPWM5_INT (ePWM5)	EPWM4_INT (ePWM4)	EPWM3_INT (ePWM3)	EPWM2_INT (ePWM2)	EPWM1_INT (ePWM1)
INT4	保留	保留	ECAP6_INT (eCAP6)	ECAP5_INT (eCAP5)	ECAP4_INT (eCAP4)	ECAP3_INT (eCAP3)	ECAP2_INT (eCAP2)	ECAP1_INT (eCAP1)
INT5	保留	MCANAWAKE (MCANA)	MCANAINT1 (MCANA)	MCANAINT0 (MCANA)	SPIETXINT (SPI-E)	SPIERXINT (SPI-E)	EQEP2_INT (eQEP2)	EQEP1_INT (eQEP1)
INT6	保留	保留	MXINTA (McBSP-A)	MRINTA (McBSP-A)	MXINTB (McBSP-B)	MRINTB (McBSP-B)	SPITXINTA (SPI-A)	SPIRXINTA (SPI-A)
INT7	保留	保留	DINTCH6 (DMA)	DINTCH5 (DMA)	DINTCH4 (DMA)	DINTCH3 (DMA)	DINTCH2 (DMA)	DINTCH1 (DMA)
INT8	保留	MCANBWAKE (MCANB)	SCITXINTC (SCI-C)	SCIRXINTC (SCI-C)	MCANBINT1 (MCANB)	MCANBINT0 (MCANB)	I2CINT2A (I2C-A)	I2CINT1A (I2C-A)
INT9	ECAN1_INTB (CAN-B)	ECAN0_INTB (CAN-B)	ECAN1_INTA (CAN-A)	ECAN0_INTA (CAN-A)	SCITXINTB (SCI-B)	SCIRXINTB (SCI-B)	SCITXINTA (SCI-A)	SCIRXINTA (SCI-A)
INT10	保留	保留	保留	保留	保留	保留	保留	保留
INT11	保留	保留	保留	保留	保留	保留	保留	保留
INT12	LUF (FPU)	LVF (FPU)	保留	XINT7	XINT6	XINT5	XINT4	XINT3

(1) 96个可能的中断中，目前有58个正在使用，其余中断保留供未来的器件使用。如果这些保留的中断在PIEIFRx中使能，并且这个组中的中断没有一个被外设使用，这些中断可被用作软件中断使用。否则，在清除它们的标志(修改PIEIFR)的时，来自外设的中断也许会意外地丢失。

总的来说，在两种安全情况下，保留的中断可被用作软件中断：

1）组内没有外设使中断有效。

2）没有外设中断被分配到这个组（例如，PIE组11）。

(2) ADCINT 是由 SEQ1INT 和 SEQ2INT 信号的逻辑“或”运算结果所构成的。这样做是为了与六岳微DSP系列设备中的现有实现保持向后兼容性，因为在这些设备中，SEQ1INT 和 SEQ2INT 并不存在，只有 ADCINT 存在。对于新的设备来说，在实际应用中，六岳微建议使用 SEQ1INT 和 SEQ2INT，而不应在 PIEIER 寄存器中启用 ADCINT 选项。

表3-12 PIE 配置和控制寄存器

名称	地址	大小(x16)	说明(1)
PIECTRL	0x0CE0	1	PIE，控制寄存器
PIEACK	0x0CE1	1	PIE，确认寄存器
PIEIER1	0x0CE2	1	PIE，INT1组启用寄存器
PIEIFR1	0x0CE3	1	PIE，INT1组标志寄存器
PIEIER2	0x0CE4	1	PIE，INT2组启用寄存器
PIEIFR2	0x0CE5	1	PIE，INT2组标志寄存器
PIEIER3	0x0CE6	1	PIE，INT3组启用寄存器
PIEIFR3	0x0CE7	1	PIE，INT3组标志寄存器
PIEIER4	0x0CE8	1	PIE，INT4组启用寄存器
PIEIFR4	0x0CE9	1	PIE，INT4组标志寄存器
PIEIER5	0x0CEA	1	PIE，INT5组启用寄存器
PIEIFR5	0x0CEB	1	PIE，INT5组标志寄存器
PIEIER6	0x0CEC	1	PIE，INT6组启用寄存器
PIEIFR6	0x0CED	1	PIE，INT6组标志寄存器
PIEIER7	0x0CEE	1	PIE，INT7组启用寄存器
PIEIFR7	0x0CEF	1	PIE，INT7组标志寄存器
PIEIER8	0x0CF0	1	PIE，INT8组启用寄存器
PIEIFR8	0x0CF1	1	PIE，INT8组标志寄存器
PIEIER9	0x0CF2	1	PIE，INT9组启用寄存器
PIEIFR9	0x0CF3	1	PIE，INT9组标志寄存器
PIEIER10	0x0CF4	1	PIE，INT10组启用寄存器
PIEIFR10	0x0CF5	1	PIE，INT10组标志寄存器
PIEIER11	0x0CF6	1	PIE，INT11组启用寄存器
PIEIFR11	0x0CF7	1	PIE，INT11组标志寄存器
PIEIER12	0x0CF8	1	PIE，INT12组启用寄存器
PIEIFR12	0x0CF9	1	PIE，INT12组标志寄存器
保留	0x 0CFA-0x0CFF	6	保留

(1)PIE 配置和控制寄存器未受EALLOW 模式保护，PIE矢量表受保护。

3.6.1. 外部中断

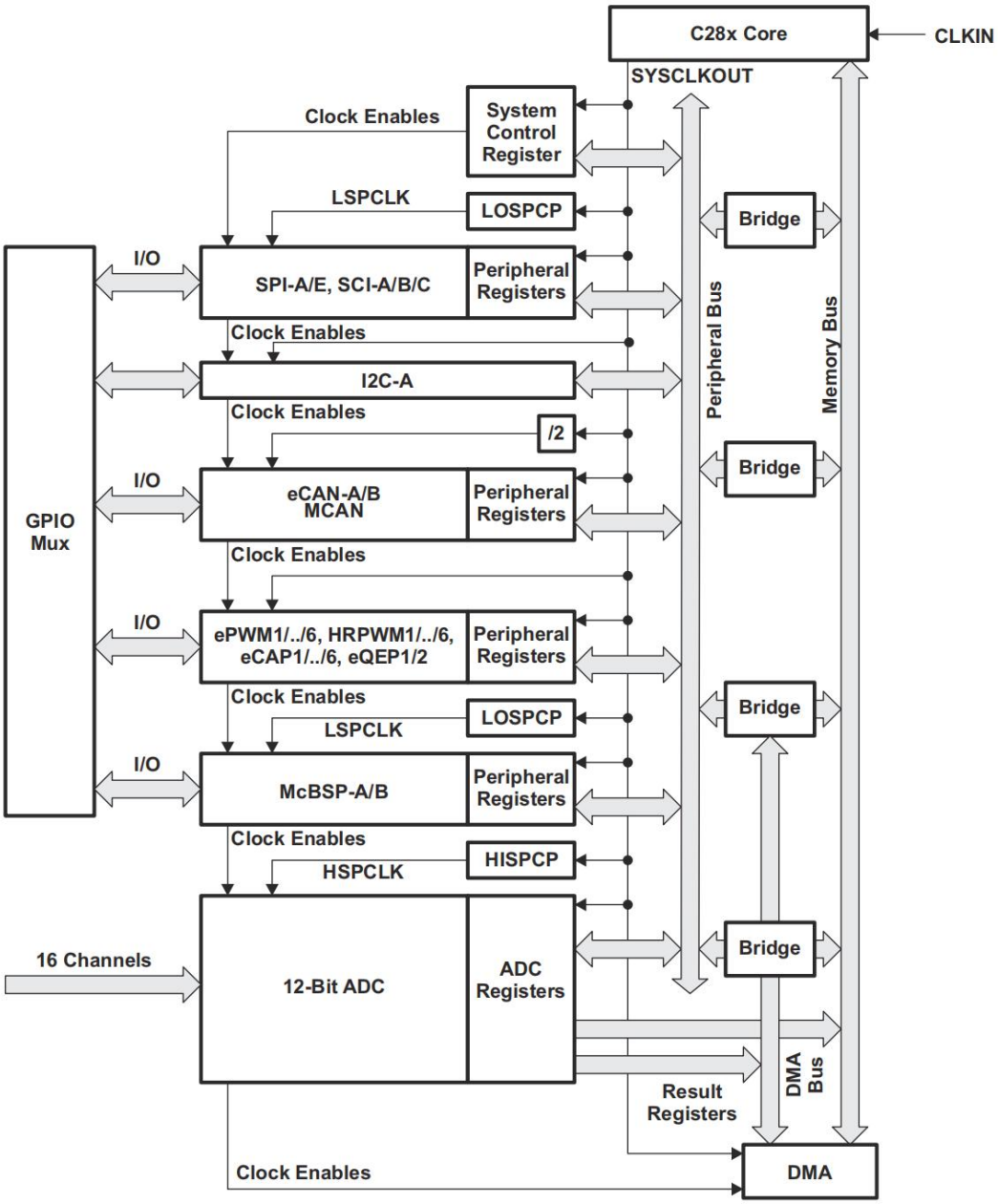
表3-13　外部中断寄存器

名称	地址	大小(x16)	说明
XINT1CR	0x00 7070	1	XINT1 配置寄存器
XINT2CR	0x00 7071	1	XINT2 配置寄存器
XINT3CR	0x00 7072	1	XINT3 配置寄存器
XINT4CR	0x00 7073	1	XINT4 配置寄存器
XINT5CR	0x00 7074	1	XINT5 配置寄存器
XINT6CR	0x00 7075	1	XINT6 配置寄存器
XINT7CR	0x00 7076	1	XINT7 配置寄存器
XNMICR	0x00 7077	1	XNMI 配置寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
保留	0x707A-0x707E	5	
XNMICTR	0x00 707F	1	XNMI 计数器寄存器

每个外部中断可设置正边沿、负边沿或者正负边沿使能、禁用或者限定。

3.7. 系统控制

这部分描述振荡器、PLL和时钟机制、看门狗功能和低功耗模式，图3-6给出了各种时钟和复位域。



A. CLKIN是到CPU的时钟，作为SYSCLKOUT从CPU输出（也就是说，CLKIN与SYSCLKOUT频率相同）。CLKIN 如何生成请参阅图3-7。

图3-6 时钟和复位域

注意，从对PCLKCR0，PCLKCR1，和PCLKCR2寄存器执行写操作（启用外设时钟）到操作有效，有两个SYSCLKOUT周期延迟。尝试访问外围设备配置寄存器时，必须把该延迟考虑在内。

PLL、时钟、看门狗和低功率模式由0中列出的寄存器控制。

表3-14　PLL、时钟、看门狗和低功耗模式寄存器

名称	地址	大小(x16)	说明
PLLSTS	0x00 7011	1	PLL 状态寄存器
保留	0x00 7012-0x00 7018	7	保留
保留	0x00 7019	1	保留
HISPCP	0x00 701A	1	高速外设时钟预分频寄存器
LOSPCP	0x00 701B	1	低速外设时钟预分频寄存器
PCLKCR0	0x00 701C	1	外设时钟控制寄存器0
PCLKCR1	0x00 701D	1	外设时钟控制寄存器1
LPMCR0	0x00 701E	1	低功率模式控制寄存器0
保留	0x00 701F	1	保留
PCLKCR3	0x00 7020	1	外设时钟控制寄存器3
PLLCR	0x00 7021	1	PLL 控制寄存器
SCSR	0x00 7022	1	系统控制与状态寄存器
WDCNTR	0x00 7023	1	看门狗计数器寄存器
保留	0x00 7024	1	保留
WDKEY	0x00 7025	1	看门狗复位密钥寄存器
保留	0x00 7026-0x00 7028	3	保留
WDCR	0x00 7029	1	看门狗控制寄存器
保留	0x00 702A–0x00 702D	4	保留
MAPCNF	0x00 702E	1	EPWM/HRPWM 重新映射寄存器

3.7.1. OSC和PLL

图3-7给出了OSC和PLL模块结构。

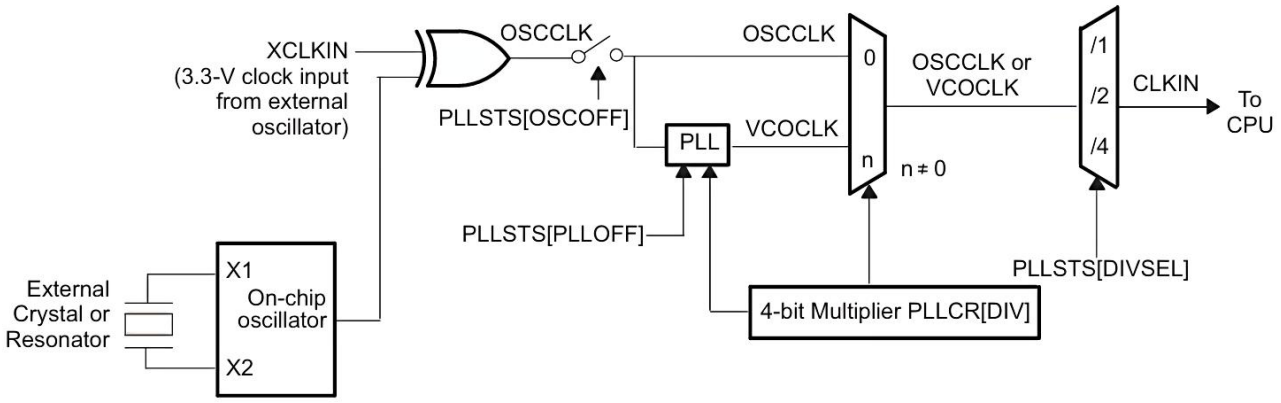


图3-7　　PLL和OSC

片上振荡器电路使得通过X1和X2引脚连接至F335的晶振/谐振器正常工作。如果片上振荡器未使用，可以采用下列配置之一连接一个外部振荡器：

1. 通过XCLKIN引脚连接3.3V外部振荡器，X2引脚悬空，而X1引脚连接低电平，这种情况下的逻辑高电平不超过 V_{DDIO}。

2. 通过X1引脚连接1.8V外部振荡器，X2引脚悬空，而XCLKIN引脚连接低电平，这种情况下的逻辑高电平不超过V_{DD}。

图3-8至图3-10给出了上述三种可能的输入时钟配置。



图3-8　　使用3.3V外部振荡器

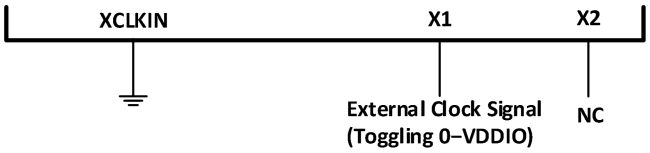


图3-9　　使用1.8V外部振荡器

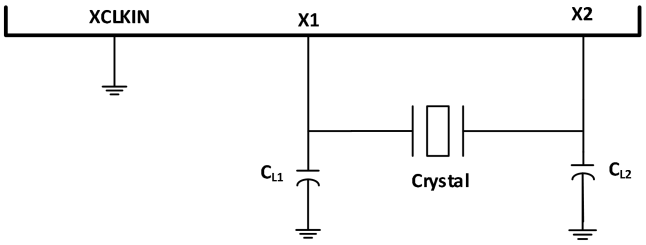


图3-10　使用内部振荡器

3.7.1.1. 外部基准振荡器时钟选项

30MHz外部石英晶振的典型技术规范如下：

◆　基本模式、并联谐振

- C_L（负载电容）=12pF
- C_{L1}=C_{L2}=24pF
- $C_{并联}$=6pF
- ESR 范围 =25至40Ω

3.7.1.2. 基于PLL的时钟模块

F335集成了一个基于PLL的时钟模块，为器件提供所有需要的时钟信号，同时控制低功耗模式进入和退出。PLL通过4位倍频控制信号PLLCR[DIV]选择不同的CPU时钟速率，如表3-15所示。在写入 PLLCR寄存器之前，须禁用看门狗模块；在PLL工作稳定后，看门狗可重新使能，重新启用的时间为131072个OSCCLK周期。输入时钟和PLLCR[DIV]位须保证PLL的输出(VCOCLK)频率不超过 300MHz。

表3-15 PLL设置(1)

PLLCR[DIV] 值(2) (3)	PLLSTS[DIVSEL]=0或1	SYSCLKOUT(CLKIN)	
		PLLSTS[DIVSEL]=2	PLLSTS[DIVSEL]=3(4)
0000（PLL旁路）	OSCCLK/4（缺省）	OSCCLK/2	OSCCLK
0001	(OSCCLK *1)/4	(OSCCLK *1)/2	
0010	(OSCCLK *2)/4	(OSCCLK *2)/2	–
0011	(OSCCLK *3)/4	(OSCCLK *3)/2	–
0100	(OSCCLK *4)/4	(OSCCLK *4)/2	–
0101	(OSCCLK *5)/4	(OSCCLK *5)/2	
0110	(OSCCLK *6)/4	(OSCCLK *6)/2	
0111	(OSCCLK *7)/4	(OSCCLK *7)/2	–
1000	(OSCCLK *8)/4	(OSCCLK *8)/2	–
1001	(OSCCLK *9)/4	(OSCCLK *9)/2	–
1010	(OSCCLK *10)/4	(OSCCLK *10)/2	
1011-1111	保留	保留	保留

(1) 缺省情况下，PLLSTS[DIVSEL] 为4，引导ROM 将这个配置改为2。在写PLLCR前，PLLSTS[DIVSEL]必须为0，而只有当PLLSTS[PLLOCKS]=1时才能被改变。

(2) 只有$\overline{XRS}$信号或者看门狗复位才能将PLL控制寄存器(PLLCR)和PLL 状态寄存器(PLLSTS)复位至缺省值，调试器或丢失时钟检测逻辑发出的复位信号无此效果。

(3) 此寄存器受EALLOW 保护。

(4) PLL输出信号的分频器是必须的，用于确保反馈给PLL内核的时钟占空比正确；出于这个原因，当PLL处于激活状态时，DIVSEL值不许为3。

表3-16 CLKIN分频选项

PLLSTS[DIVSEL]	CLKIN分频
0	/4
1	/4
2	/2
3	/1(1)

(1) 当PLL被绕过或关闭时，才能使用这个模式。

基于 PLL 的时钟模块提供两种操作模式：

- 片上振荡器模式：使用外部晶振/谐振器给器件提供震荡信号。
- 外部时钟源模式：内部振荡器被绕过，器件时钟由X1或者XCLKIN引脚上的外部时钟源输入生成。

表3-17 可能的PLL配置模式

PLL模式	注释	PLLSTS [DIVSEL]	CLKIN和 SYSCLKOUT
PLL关闭	用户可通过设置PLLSTS寄存器中的PLLOFF位使能该模式，此时 PLL 模块关闭，适用于降低系统噪声和低功耗操作。进入此模式之前，必须先将PLLCR寄存器设置为0x0000（PLL旁路）。CPU时	0，1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1

PLL模式	注释	PLLSTS [DIVSEL]	CLKIN和 SYSCLKOUT
	钟(CLKIN)直接源自X1/X2，X1或者XCLKIN上的输入时钟。		
PLL旁路	PLL旁路是上电或外部复位($\overline{XRS}$)时的默认PLL配置。当PLLCR寄存器设置为0x0000或修改PLLCR寄存器之后PLL锁定至新频率时，选择此模式。在此模式中，PLL本身被旁路，但未关闭。	0，1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL启用	通过将非零值写入PLLCR寄存器实现。在写入PLLCR时，器件将切换至PLL旁路模式直到PLL锁定。	0，1 2	OSCCLK*n/4 OSCCLK*n/2

3.7.1.3. 输入时钟丢失

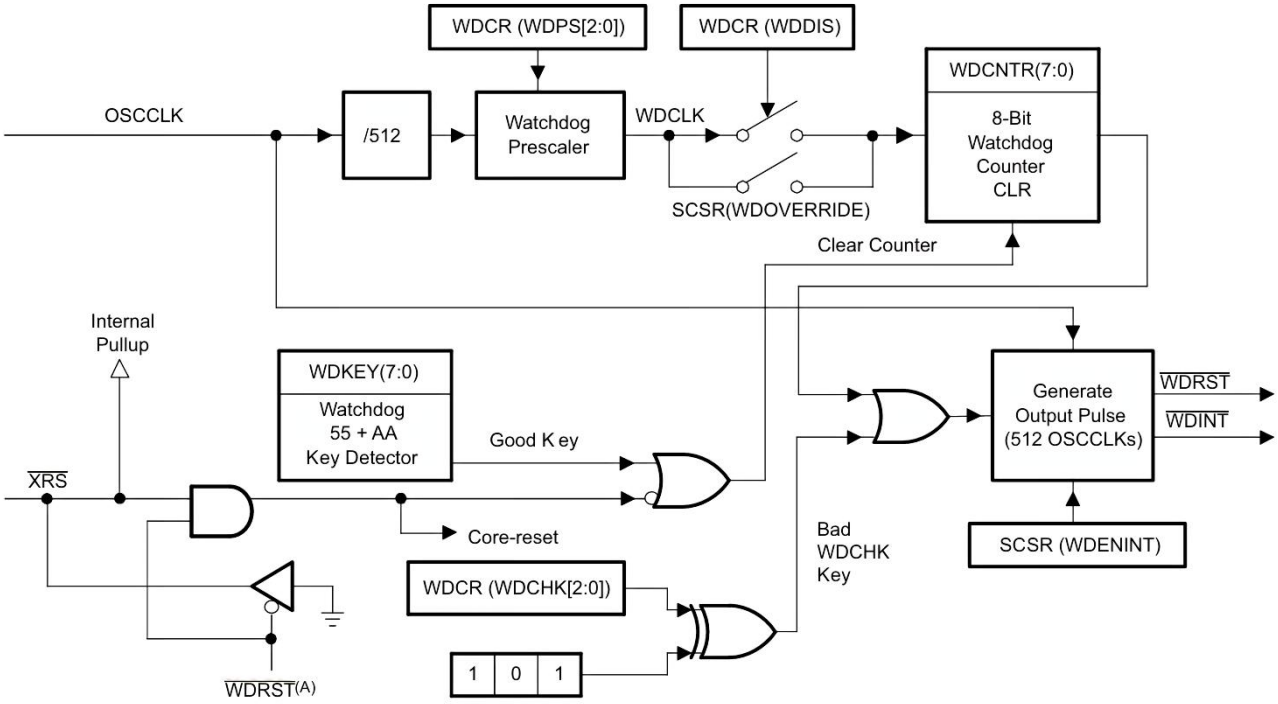
在PLL使能或者PLL旁路模式中，如果输入时钟OSCCLK缺失，PLL仍会输出一个跛行模式时钟。该跛行模式时钟典型频率为2-10MHz，持续为CPU和外设提供时钟。跛行模式并非加电就开始运行，而是在输入时钟出现时才会启动。在PLL旁路模式中，如果输入时钟被移除或者缺失，PLL的跛行模式时钟自动连接至CPU。

通常情况下，当输入时钟出现时，看门狗计数器启动向下计数以触发看门狗复位或者看门狗中断。然而，当外部输入时钟发生故障时，看门狗计数器停止计数（也就是说，看门狗计数器不会随着跛行模式时钟而改变）。除此之外，器件会被复位并且“丢失的时钟状态” (MCLKSTS)位将置一。这个条件可用于固件检测输入时钟故障并启动必需的系统关断过程。

注意，如果应用需要CPU必须运行在特定频率，就必须实现一个输入时钟失败时确保CPU复位的机制。比如采用R-C电路在电容完全充电时触发$\overline{XRS}$信号，可以通过一个IO引脚定期为电容放电防止其完全充电。类似的电路也可以用于探测flash存储器和V_{DD3VFL}电源故障。

3.7.2. 看门狗

F335的看门狗在8位向上计数器达到最大值后会产生宽度为512个振荡器时钟(OSCCLK)周期的输出脉冲。为了防止这一情况发生，用户必须禁用此计数器或者通过软件周期性地向看门狗密钥寄存器中写入0x55+0xAA 序列以复位看门狗计数器。图3-11给出了看门狗模块内的各种功能块。



A. $\overline{\text{WDRST}}$信号在512个OSCCLK周期内被驱动为低电平。

图3-11　看门狗模块

看门狗的$\overline{\text{WDINT}}$信号可被用作器件IDEL/STANDY模式的唤醒信号。

在STANDBY模式中，器件上的所有外设均关闭，保持在工作状态的唯一外设是看门狗。WATCHDOG模块在OSCCLK时钟域下工作。$\overline{\text{WDINT}}$信号被馈送到LPM模块，可以将器件从STANDBY状态唤醒（如已使能该功能）。

在IDLE模式中，$\overline{\text{WDINT}}$信号可通过PIE生成给CPU的中断将CPU从IDEL模式中唤醒。在 HALT 模式中不能使用此唤醒功能，这是因为振荡器（和 PLL）关闭，因此看门狗也会关闭。

3.7.3. 低功耗模式控制模块

给出了F335器件的各种低功耗模式。

表3-18　低功耗模式

低功耗模式	LPMCR0(1:0)	OSCCLK	CLKIN	SYSCLKOUT	退出(1)
IDLE	00	打开	打开	打开(2)	$\overline{XRS}$、看门狗中断、任何使能的中断、XNMI
STANDBY	01	打开 （看门狗仍在运行）	关闭	关闭	$\overline{XRS}$，看门狗中断，GPIO端口A 信 号，调试器(3)，XNMI
HALT	1X	关闭 （振荡器和PLL关闭，安全装置不工作）	关闭	关闭	$\overline{XRS}$，GPIO 端口A 信号，XNMI，调试器(3)

(1) 退出列列出哪些信号或在哪些情况下会退出低功率模式。，在任何此类信号上的低电平信号，将触发退出低功耗状态。这个信号必须保持低电平足够长时间以便器件识别中断；否则，不会退出IDLE模式，器件将保持在对应的低功耗模式。

(2) 在IDLE模式下，来自CPU的时钟输出(SYSCLKOUT)仍将起作用。

(3) 即使CPU时钟(CLKIN) 关闭，JTAG 端口仍然可以工作。

三种不同的低功耗模式运行状态如下：

- IDLE模式：处理器识别到任一使能的中断或者XNMI退出此模式，只要 LPMCR0 (LPM)位被设定为00，LPM模块就处于这个模式， 期间LPM模块不执行任何任务。
- STANDBY模式：任一GPIO端口A信号(GPIO[31:0])能够将器件从STANDBY模式中唤醒。用户必须在GPIOLPMSEL寄存器中选择哪一个信号将唤醒器件。在唤醒器件前，所选的信号也由OSCCLK同步。在LPMCR0 寄存器中指定了OSCCLK的周期数目。
- HALT模式：只有$\overline{XRS}$和任一GPIO端口A信号(GPIO[31:0])可将器件从HALT模式中唤醒。用户在GPIOLPMSEL 寄存器中选择唤醒信号。

注意，低功耗模式并不会影响输出引脚的状态（包括PWM引脚在内）。当IDLE指令被执行时，它们将保持在IDLE指令执行时的状态。

4. 片上外设

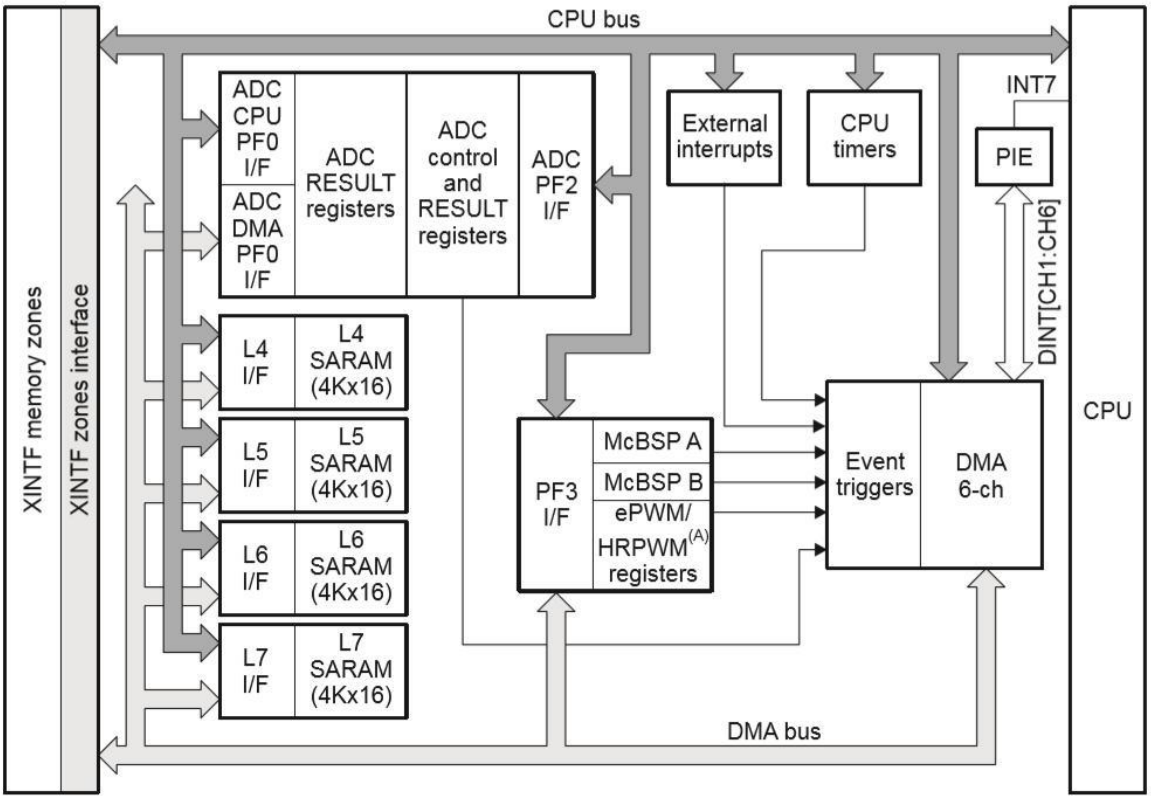
SYS-F335 器件集成外设资源如下：

- 6通道直接内存存取模块(DMA)
- 3个32位CPU定时器
- 6个增强型PWM模块(ePWM1，ePWM2，ePWM3，ePWM4，ePWM5，ePWM6)
- 6个增强型捕获模块(eCAP1，eCAP2，eCAP3，eCAP4，eCAP5，eCAP6)
- 2个增强型QEP模块(eQEP1 ，eQEP2)
- 1个增强型模数转换器(ADC) 模块
- 2个增强型控制器局域网(eCAN) 模块 (eCAN-A，eCAN-B)
- 1个具有灵活数据速率的控制器局域网（CAN FD/MCAN）模块
- 3个串行通信接口模块(SCI-A，SCI-B，SCI-C)
- 2个串行外设接口(SPI)模块(SPI-A、SPI-E)
- 1个内部集成电路总线模块(I2C)
- 2个多通道缓冲串口(McBSP-A，McBSP-B) 模块
- 数字I/O和共用引脚功能模块
- 外部接口 (XINTF)

4.1. DMA

SYS-F335的DMA具有以下特性:

- 6个具有独立PIE中断的通道
- 触发源：
  - ePWM SOCA/SOCB
  - ADC 排序器1和排序器 2
  - McBSP-A和McBSP-B 发送和接收逻辑
  - XINT1-7和XINT13
  - CPU定时器
  - 软件
- 数据源/目的地：
  - L4– L7 16K × 16 SARAM
  - 所有XINTF区域
  - ADC内存总线映射结果寄存器
  - McBSP-A和McBSP-B发送和接收缓冲区
  - ePWM寄存器
  - MCAN RAM仅作为数据存储器
- 字大小：16位或32位（McBSPs限制到16位）
- 吞吐量：4周期/字（对于McBSP读操作，为5周期/字）



A. ePWM 和 HRPWM 寄存器必须重新映射到 PF3（通过 MAPCNF 寄存器的位 0）之后才可以由 DMA 访问。

图4-1 DMA功能方框图

4.2. 32位CPU定时器0/1/2

F335有3个32位CPU定时器(CPU定时器0、CPU定时器1、CPU 定时器2)。定时器2为DSP/BIOS™ 预留，用户应用程序可以使用定时器0和定时器1（如果应用没有使用DSP/BIOS，那么定时器2可以应用中使用）。

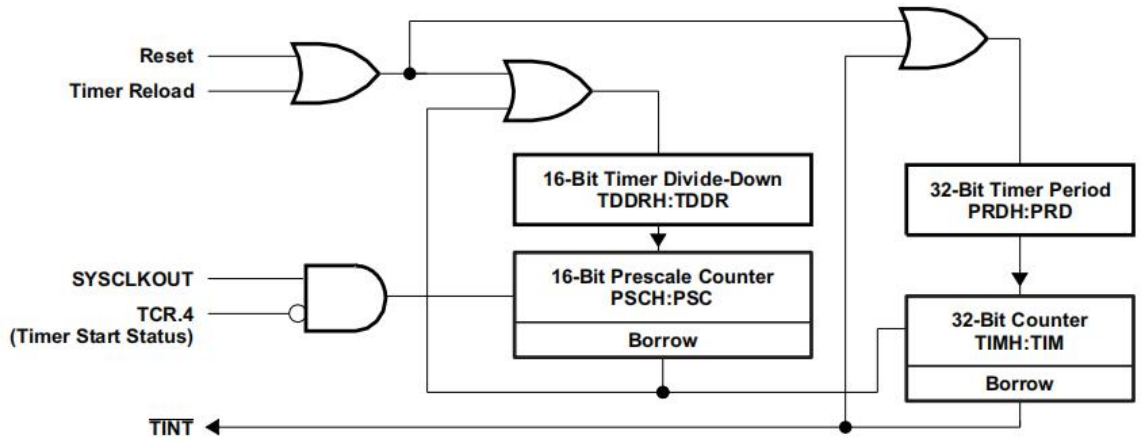
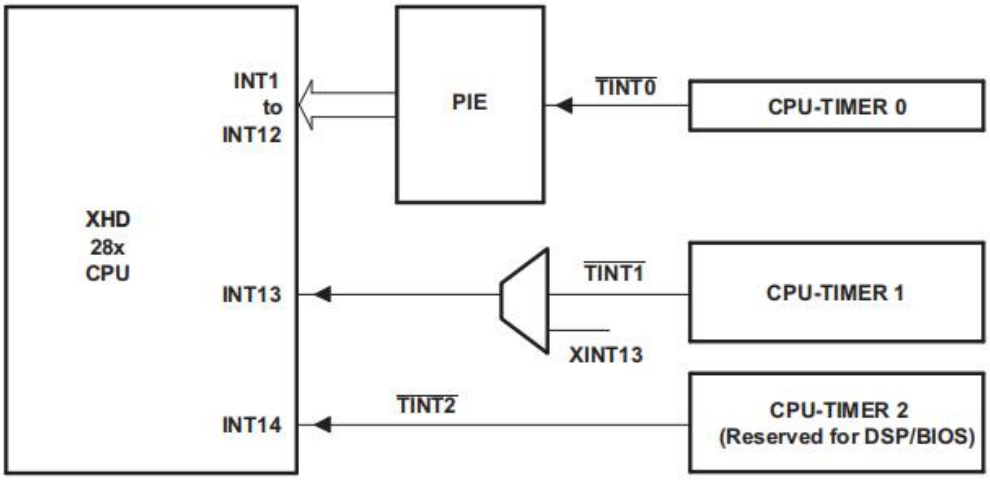


图4-2 CPU定时器

定时器中断信号（$\overline{\text{TINT0}}$，$\overline{\text{TINT1}}$，$\overline{\text{TINT2}}$）的连接如图4-3所示。



A. 定时器寄存器连接到处理器的存储器总线。
B. 定时器的时序与处理器时钟的SYSCLKOUT同步。

图4-3 CPU定时器中断信号和输出信号

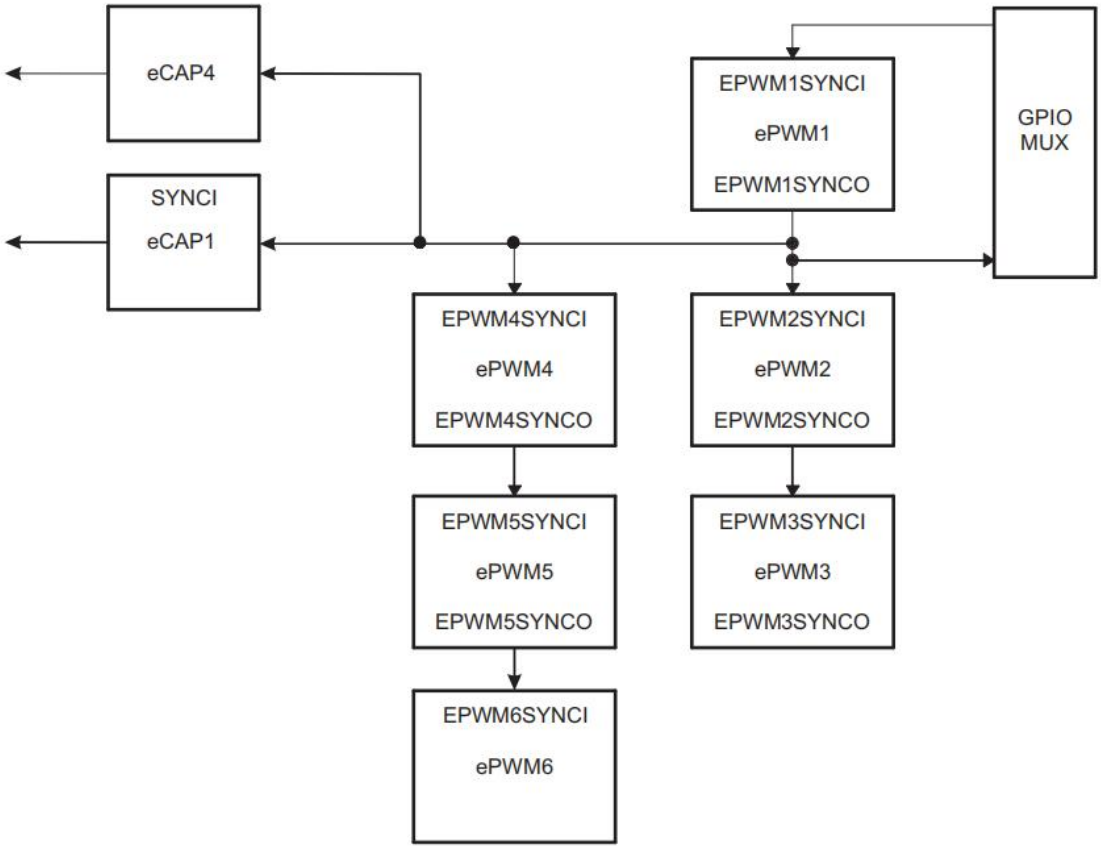
定时器的通常操作如下：32位计数器寄存器“TIMH:TIM”加载周期寄存器 PRDH:PRD 中的值；计数器寄存器按SYSCLKOUT逐拍递减；当计数值到达0时，定时器中断输出信号生成一个中断脉冲。表4-1中列出了用于配置定时器的寄存器。

表4-1 **CPU**定时器**0/1/2**配置和控制寄存器

名称	地址	大小(x16)	说明
TIMER0TIM	0x0C00	1	CPU定时器0，计数器低位寄存器
TIMER0TIMH	0x0C01	1	CPU定时器0，计数高高位寄存器
TIMER0PRD	0x0C02	1	CPU定时器0，周期低位寄存器
TIMER0PRDH	0x0C03	1	CPU定时器0，周期高位寄存器
TIMER0TCR	0x0C04	1	CPU定时器0，控制寄存器
保留地址	0x0C05	1	/
TIMER0TPR	0x0C06	1	CPU定时器0，预分频低位寄存器
TIMER0TPRH	0x0C07	1	CPU定时器0，预分频高位寄存器
TIMER1TIM	0x0C08	1	CPU定时器 1，计数器低位寄存器
TIMER1TIMH	0x0C09	1	CPU定时器 1，计数器高位寄存器
TIMER1PRD	0x0C0A	1	CPU定时器 1，周期低位寄存器
TIMER1PRDH	0x0C0B	1	CPU定时器 1，周期高位寄存器
TIMER1TCR	0x0C0C	1	CPU定时器 1，控制寄存器
保留地址	0x0C0D	1	/
TIMER1TPR	0x0C0E	1	CPU定时器 1，预分频低位寄存器
TIMER1TPRH	0x0C0F	1	CPU定时器 1，预分频高位寄存器
TIMER2TIM	0x0C10	1	CPU定时器2，计数器低位寄存器
TIMER2TIMH	0x0C11	1	CPU定时器2，计数器高位寄存器
TIMER2PRD	0x0C12	1	CPU定时器2，周期低位寄存器
TIMER2PRDH	0x0C13	1	CPU定时器2，周期高位寄存器
TIMER2TCR	0x0C14	1	CPU定时器2，控制寄存器
保留地址	0x0C15	1	/
TIMER2TPR	0x0C16	1	CPU定时器2，预分频低位寄存器
TIMER2TPRH	0x0C17	1	CPU定时器2，预分频高位寄存器
保留地址	x0 C18-0x0 0C3F	40	/

4.3. 增强型PWM 模块

F335器件包含6个增强型PWM(ePWM)模块(ePWM1、ePWM2、ePWM3、ePWM4、ePWM5、ePWM6) 。图4-4给出了时基计数器同步方案3 。图4-5给出了与ePWM互连的信号。表4-2给出了每个模块的完整ePWM寄存器设置，表4-3给出了重新映射的寄存器配置。



A. 默认情况下，ePWM和HRPWM寄存器被映射到外设帧1（PF1），如表4-2显示该配置。重新映射寄存器至外设帧3(PF3)来启用DMA 访问，MAPCNF寄存器（地址0x702E）的位0(MAPEPWM)必须被设置为1，如表4-3显示重新映射的配置。

图4-4 时基计数器同步方案3

表4-2 ePWM 控制和状态寄存器（PF1中的默认配置）

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(x16)/ #SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	0x6900	0x6940	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	0x6901	0x6941	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	0x6902	0x6942	1/0	时基相位HRPWM寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	0x6903	0x6943	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	0x6904	0x6944	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	0x6905	0x6945	1/1	时基周期寄存器集
CMPCTL	0x6807	0x6847	0x6887	0x68C7	0x6907	0x6947	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	0x6908	0x6948	1/1	时基比较AHRPWM寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	0x6909	0x6949	1/1	计数器比较A寄存器集
CMPB	0x680A	0x684A	0x688A	0x68CA	0x690A	0x694A	1/1	计数器比较B寄存器集
AQCTLA	0x680B	0x684B	0x688B	0x68CB	0x690B	0x694B	1/0	用于输出A的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	0x690C	0x694C	1/0	用于输出B的操作限定器控制寄存器
AQSFRC	0x680D	0x684D	0x688D	0x68CD	0x690D	0x694D	1/0	操作限定器软件强制寄存器

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(x16)/ #SHADOW	说明
AQCSFRC	0x680E	0x684E	0x688E	0x68CE	0x690E	0x694E	1/1	操作限定器连续S/W强制寄存器集
DBCTL	0x680F	0x684F	0x688F	0x68CF	0x690F	0x694F	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	0x6910	0x6950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	0x6911	0x6951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	0x6912	0x6952	1/0	触发区选择寄存器(1)
TZCTL	0x6814	0x6854	0x6894	0x68D4	0x6914	0x6954	1/0	触发区控制寄存器(1)
TZEINT	0x6815	0x6855	0x6895	0x68D5	0x6915	0x6955	1/0	触发区启用中断寄存器(1)
TZFLG	0x6816	0x6856	0x6896	0x68D6	0x6916	0x6956	1/0	触发区标志寄存器
TZCLR	0x6817	0x6857	0x6897	0x68D7	0x6917	0x6957	1/0	触发区清除寄存器(1)
TZFRC	0x6818	0x6858	0x6898	0x68D8	0x6918	0x6958	1/0	触发区强制寄存器(1)
ETSEL	0x6819	0x6859	0x6899	0x68D9	0x6919	0x6959	1/0	事件触发器选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	0x691A	0x695A	1/0	事件触发器预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	0x691B	0x695B	1/0	事件触发器标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	0x691C	0x695C	1/0	事件触发器清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	0x691D	0x695D	1/0	事件触发器强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	0x691E	0x695E	1/0	PWM斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	0x6920	0x6960	1/0	HRPWM配置寄存器(1)

(1)寄存器受EALLOW 保护。

表4-3　ePWM 控制和状态寄存器（在PF3中重新映射的配置-可由DMA 访问）

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(x16)/ #SHADOW	说明
TBCTL	0x5800	0x5840	0x5880	0x58C0	0x5900	0x5940	1/0	时基控制寄存器
TBSTS	0x5801	0x5841	0x5881	0x58C1	0x5901	0x5941	1/0	时基状态寄存器
TBPHSHR	0x5802	0x5842	0x5882	0x58C2	0x5902	0x5942	1/0	时基相位HRPWM寄存器
TBPHS	0x5803	0x5843	0x5883	0x58C3	0x5903	0x5943	1/0	时基相位寄存器
TBCTR	0x5804	0x5844	0x5884	0x58C4	0x5904	0x5944	1/0	时基计数器寄存器
TBPRD	0x5805	0x5845	0x5885	0x58C5	0x5905	0x5945	1/1	时基周期寄存器集
CMPCTL	0x5807	0x5847	0x5887	0x58C7	0x5907	0x5947	1/0	计数器比较控制寄存器
CMPAHR	0x5808	0x5848	0x5888	0x58C8	0x5908	0x5948	1/1	时基比较AHRPWM寄存器
CMPA	0x5809	0x5849	0x5889	0x58C9	0x5909	0x5949	1/1	计数器比较A寄存器设置
CMPB	0x580A	0x584A	0x588A	0x58CA	0x590A	0x594A	1/1	计数器比较B寄存器设置
AQCTLA	0x580B	0x584B	0x588B	0x58CB	0x590B	0x594B	1/0	用于输出A的操作限定器控制寄存器
AQCTLB	0x580C	0x584C	0x588C	0x58CC	0x590C	0x594C	1/0	用于输出B的操作限定器控制寄存器
AQSFRC	0x580D	0x584D	0x588D	0x58CD	0x590D	0x594D	1/0	操作限定器软件强制寄存器
AQCSFRC	0x580E	0x584E	0x588E	0x58CE	0x590E	0x594E	1/1	操作限定器连续S/W强制寄存器设置
DBCTL	0x580F	0x584F	0x588F	0x58CF	0x590F	0x594F	1/1	死区生成器控制寄存器
DBRED	0x5810	0x5850	0x5890	0x58D0	0x5910	0x5950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x5811	0x5851	0x5891	0x58D1	0x5911	0x5951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x5812	0x5852	0x5892	0x58D2	0x5912	0x5952	1/0	触发区选择寄存器(1)
TZCTL	0x5814	0x5854	0x5894	0x58D4	0x5914	0x5954	1/0	触发区控制寄存器(1)
TZEINT	0x5815	0x5855	0x5895	0x58D5	0x5915	0x5955	1/0	触发区启用中断寄存器(1)
TZFLG	0x5816	0x5856	0x5896	0x58D6	0x5916	0x5956	1/0	触发区标志寄存器
TZCLR	0x5817	0x5857	0x5897	0x58D7	0x5917	0x5957	1/0	触发区清除寄存器(1)
TZFRC	0x5818	0x5858	0x5898	0x58D8	0x5918	0x5958	1/0	触发区强制寄存器(1)

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(x16)/ #SHADOW	说明
ETSEL	0x5819	0x5859	0x5899	0x58D9	0x5919	0x5959	1/0	事件触发器选择寄存器
ETPS	0x581A	0x585A	0x589A	0x58DA	0x591A	0x595A	1/0	事件触发器预分频寄存器
TFLG	0x581B	0x585B	0x589B	0x58DB	0x591B	0x595B	1/0	事件触发器标志寄存器
ETCLR	0x581C	0x585C	0x589C	0x58DC	0x591C	0x595C	1/0	事件触发器清除寄存器
ETFRC	0x581D	0x585D	0x589D	0x58DD	0x591D	0x595D	1/0	事件触发器强制寄存器
PCCTL	0x581E	0x585E	0x589E	0x58DE	0x591E	0x595E	1/0	PWM斩波器控制寄存器
HRCNFG	0x5820	0x5860	0x58A0	058E0	0x5920	0x5960	1/0	HRPWM配置寄存器(1)

(1) 寄存器受EALLOW 保护。

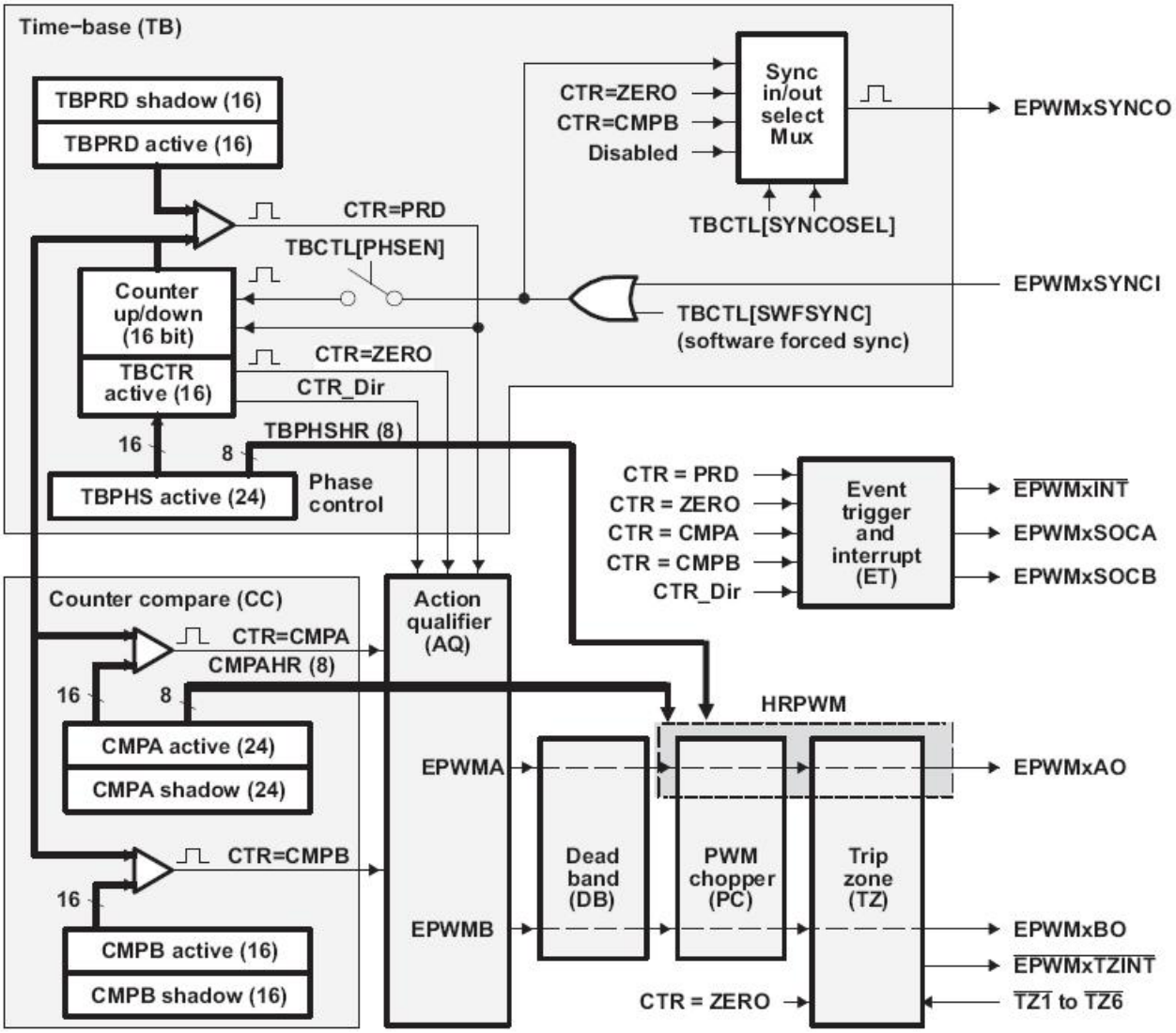


图4-5 ePWM子模块关键内部信号互连

4.4. 高分辨率PWM(HRPWM)

HRPWM模块提供远远好于传统数字生成PWM方法所能实现的分辨率。 HRPWM模块的关键特点为：

- 远远扩展了传统数字 PWM的时间分辨率能力。

- 通常在有效PWM分辨率下降到低于大约9-10位时使用；当采用100MHz CPU/系统时钟时，PWM频率大于200kHz时会发生这种情况。
- 这个功能可用在占空比控制和相移控制中。
- 通过对ePWM模块的比较A和相位寄存器进行扩展实现更加精细的时间粒度控制或者边沿定位。
- 只在ePWM模块A信号路径上提供HRPWM功能（即在ePWMxA 输出上提供）；ePWMxB仍然输出传统PWM信号。

4.5. 增强型CAP 模块

F335包括6个增强型捕获 (eCAP)模块(eCAP1-6) ，结构框图如图4-6所示。

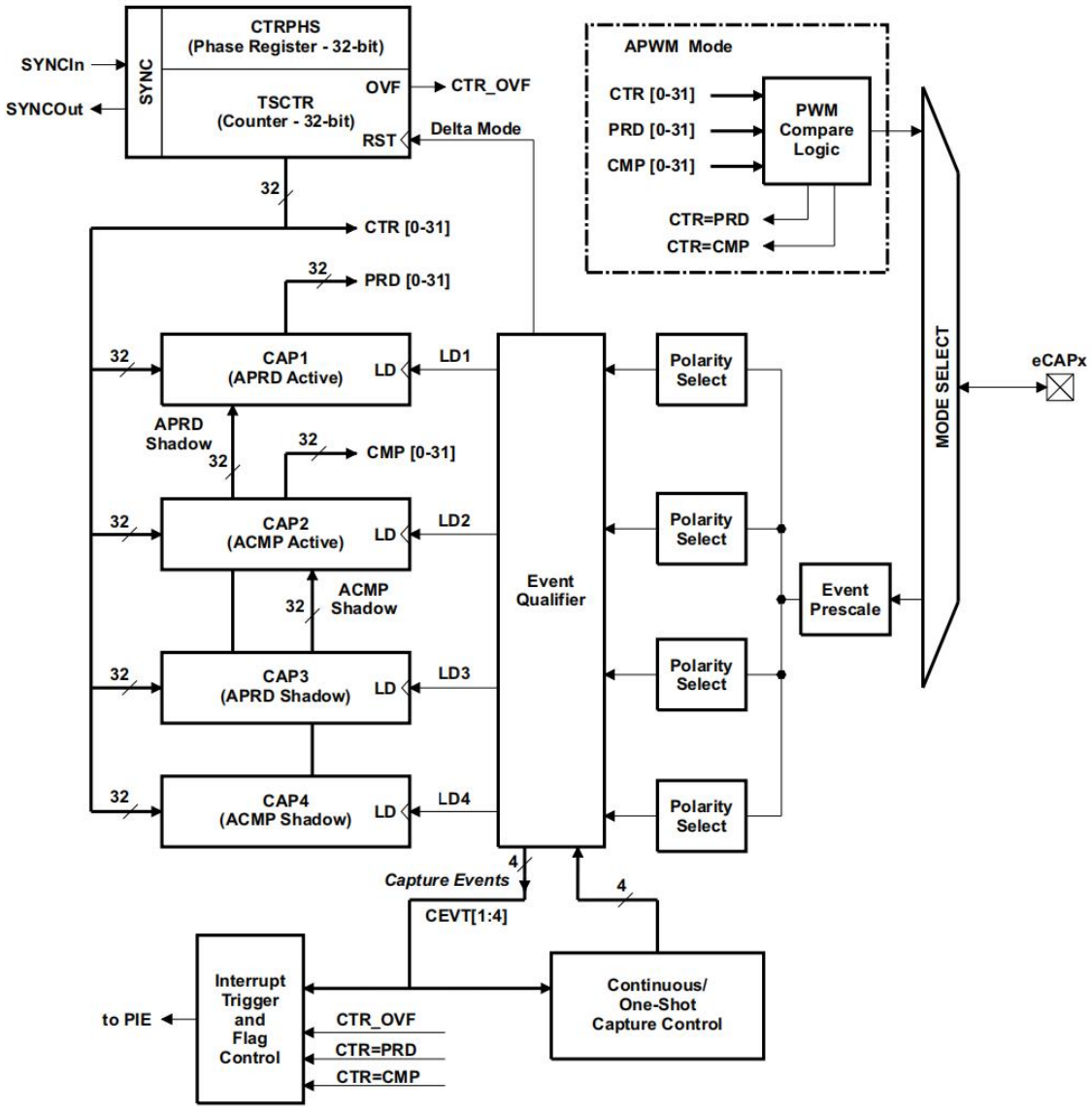


图4-6　　eCAP结构框图

eCAP模块工作在系统时钟域，PCLKCR1寄存器的时钟使能位(ECAP1ENCLK、ECAP2ENCLK、ECAP3ENCLK、ECAP4ENCLK、ECAP5ENCLK、ECAP6ENCLK)分别控制6个eCAP模块的时钟开启和关闭。复位状态下，时钟使能位为低，表明关闭对应时钟。

表4-4　eCAP 控制和状态寄存器

名称	eCAP1	eCAP2	eCAP3	eCAP4	eCAP5	eCAP6	大小 (x16)	说明
TSCTR	0x6A00	0x6A20	0x6A40	0x6A60	0x6A80	0x6AA0	2	时间戳计数器
CTRPHS	0x6A02	0x6A22	0x6A42	0x6A62	0x6A82	0x6AA2	2	相位偏移寄存器
CAP1	0x6A04	0x6A24	0x6A44	0x6A64	0x6A84	0x6AA4	2	捕获寄存器1
CAP2	0x6A06	0x6A26	0x6A46	0x6A66	0x6A86	0x6AA6	2	捕获寄存器2
CAP3	0x6A08	0x6A28	0x6A48	0x6A68	0x6A88	0x6AA8	2	捕获寄存器3
CAP4	0x6A0A	0x6A2A	0x6A4A	0x6A6A	0x8A6A	0x6AAA	2	捕获寄存器4
保留	0x6A0C-0x6A12	0x6A2C-0x6A32	0x6A4C-0x6A52	0x6A6C-0x6A72	0x6A8C-0x6A92	0x6AAC-0x6AB2	8	保留
ECCTL1	0x6A14	0x6A34	0x6A54	0x6A74	0x6A94	0x6AB4	1	捕获控制寄存器1
ECCTL2	0x6A15	0x6A35	0x6A55	0x6A75	0x6A95	0x6AB5	1	捕获控制寄存器2
ECEINT	0x6A16	0x6A36	0x6A56	0x6A76	0x6A96	0x6AB6	1	捕获中断使能寄存器
ECFLG	0x6A17	0x6A37	0x6A57	0x6A77	0x6A97	0x6AB7	1	捕获中断标志寄存器
ECCLR	0x6A18	0x6A38	0x6A58	0x6A78	0x6A98	0x6AB8	1	捕获中断清除寄存器
ECFRC	0x6A19	0x6A39	0x6A59	0x6A79	0x6A99	0x6AB9	1	捕获中断强制寄存器
保留	0x6A1A-0x6A1F	0x6A3A-0x6A3F	0x6A5A-0x6A5F	0x6A7A-0x6A7F	0x6A9A-0x6A9F	0x6ABA-0x6ABF	6	保留

4.6. 增强型QEP 模块

F335集成了2个增强型正交编码器(eQEP) 模块(eQEP1和eQEP 2) ，其结构如图4-7所示

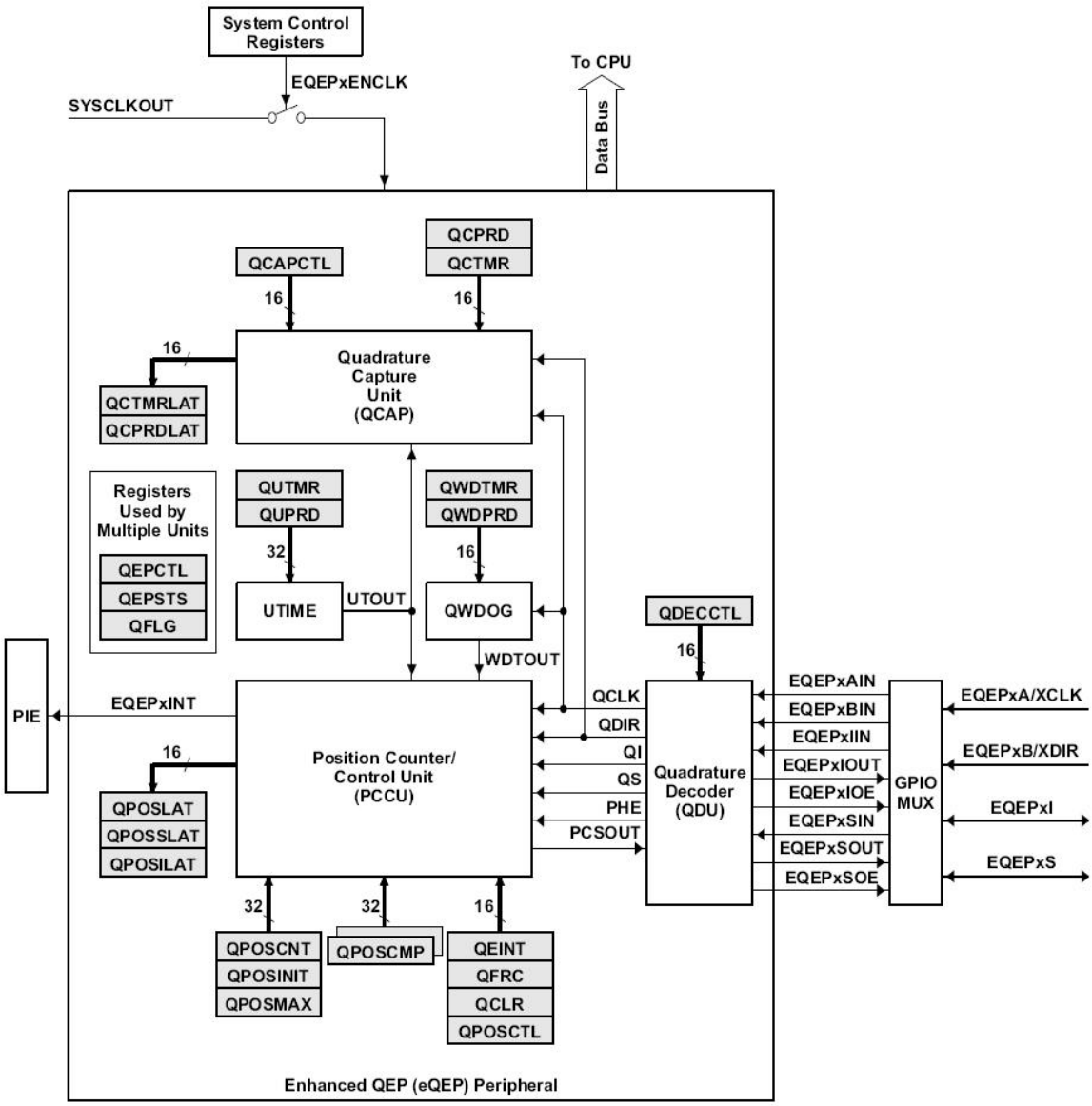


图4-7　　eQEP结构框图

eQEP 寄存器列表如表4-5所示。

表4-5　　eQEP 控制和状态寄存器

名称	eQEP1 地址	eQEP2 地址	eQEP1大小(x16) /#SHADOW	寄存器说明
QPOSCNT	0x6B00	0x6B40	2/0	eQEP位置计数器
QPOSINIT	0x6B02	0x6B42	2/0	eQEP 初始化位置计数器
QPOSMAX	0x6B04	0x6B44	2/0	eQEP 最大位置寄存器
QPOSCMP	0x6B06	0x6B46	2/1	eQEP位置比较寄存器
QPOSILAT	0x6B08	0x6B48	2/0	eQEP 索引位置锁存寄存器
QPOSSLAT	0x6B0A	0x6B4A	2/0	eQEP 选通脉冲位置锁存寄存器
QPOSLAT	0x6B0C	0x6B4C	2/0	eQEP位置锁存寄存器
QUTMR	0x6B0E	0x6B4E	2/0	eQEP 单位定时器
QUPRD	0x6B10	0x6B50	2/0	eQEP 单位周期寄存器

名称	eQEP1 地址	eQEP2 地址	eQEP1大小(x16) /#SHADOW	寄存器说明
QWDTMR	0x6B12	0x6B52	1/0	eQEP看门狗定时器
QWDPRD	0x6B13	0x6B53	1/0	eQEP看门狗周期寄存器
QDECCTL	0x6B14	0x6B54	1/0	eQEP 解码器控制寄存器
QEPCTL	0x6B15	0x6B55	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	0x6B56	1/0	eQEP 捕获控制寄存器
QPOSCTL	0x6B17	0x6B57	1/0	eQEP位置比较控制寄存器
QEINT	0x6B18	0x6B58	1/0	eQEP中断使能寄存器
QFLG	0x6B19	0x6B59	1/0	eQEP中断标志寄存器
QCLR	0x6B1A	0x6B5A	1/0	eQEP中断清除寄存器
QFRC	0x6B1B	0x6B5B	1/0	eQEP中断强制寄存器
QEPSTS	0x6B1C	0x6B5C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	0x6B5D	1/0	eQEP 捕获定时器
QCPRD	0x6B1E	0x6B5E	1/0	eQEP 捕获周期寄存器
QCTMRLAT	0x6B1F	0x6B5F	1/0	eQEP 捕获定时器锁存寄存器
QCPRDLAT	0x6B20	0x6B60	1/0	eQEP 捕获周期锁存寄存器
保留	0x6B21-0x6B3F	0x6B61-0x6B7F	31/0	

4.7. 模数转换器(ADC) 模块

ADC模块结构框图如图4-8所示，由内置采样保持（S/H）电路的12位ADC组成。ADC模块功能如下：

- 内置双采样保持电路的12位ADC内核；
- 模拟输入电压范围为0V至3.0V（高于3.0V的电压产生满刻度转换结果）；
- 快速转换率：25MHz ADC时钟下，转换速度达到12.5MSPS（80ns）；
- 16个专用ADC通道，每8个通道复用一个采样/保持电路；
- 自动排序功能在单次启动可提供多达16次“ 自动转换”，每次转换可选择16个输入通道中的任何一个；
- 排序器可配置为 2个独立8态排序器，或配置为1个16态排序器（即 2个级联的8态排序器）；
- 16个单独寻址的结果寄存器；
- 多个SOC触发启动源：
  - 软件立即启动；
  - ePWM启动转换；
  - XINT2 ADC启动转换；
- 灵活的中断控制允许每个序列结束 (EOS) 或每两个 EOS 产生中断请求；
- 启动/停止模式，排序器可实现多个启动信号同步转换；
- 双排模式下，SOCA和SOCB分别触发排序器1和排序器2转换；
- 可独立预分频控制每个采样保持 (S/H) 采样时间窗口

F335的增强ADC模块为ePWM外设提供灵活接口。ADC的12位内核具备快速转换能力，在25MHz ADC工作时钟下转换率高达12.5MSPS（80ns）。ADC模块最大支持16个通道，可配置为两个独立的8通道排序器，

也可级联成1个16通道排序器，尽管ADC有多个输入通道和2个排序器，但只有一个转换器，ADC 模块的结构如图4-8所示。

排序器由两个独立的8通道排序器SEQ1和SEQ2组成，可以级联组成一个16通道排序器。ADC模块能够自动完成一系列转换，每次接收到转换开始请求后，自动执行多个转换。对于每次转换，可以通过模拟MUX选择16个输入信道中的任何一个，转换后所选通道的转换值被存储在结果寄存器(ADCRESULTN)中。排序器支持对同一通道多次采样，即允许用户执行“过采样”，相比传统单采样方式，可以获取更高的分辨率。

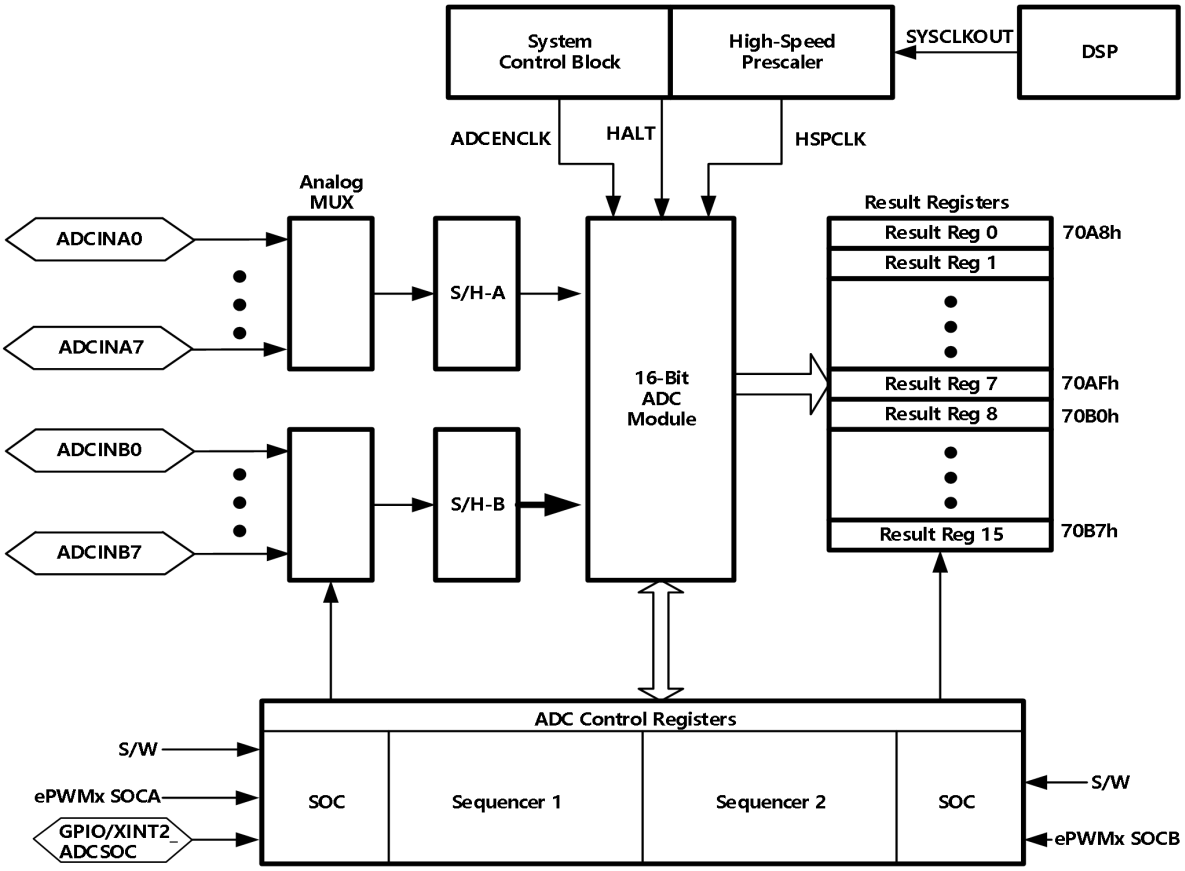


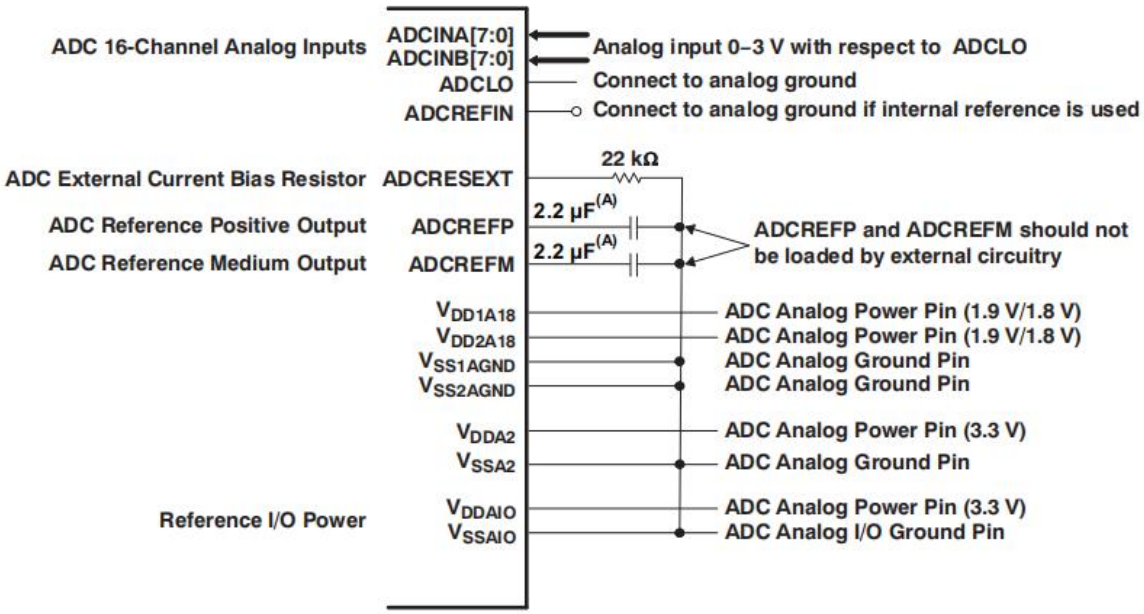
图4-8　　ADC 模块的方框图

要获得数据手册指定的ADC精度要求，正确的电路板布局非常关键。为了达到最佳效果，ADCIN引脚的走线不应太靠近数字信号，这是为了最大程度减少数字线路上因ADC输入耦合而产生的开关噪声；并且需要将数字电源和模块电源 (VDD1A18、VDD2A18、VDDA2、VDDAIO)相互隔离。ADC引脚连接如图4-9所示。

注意，ADC寄存器工作在SYSCLKOUT下，内部转换时序工作在高速外设时钟HSPCLK；基于ADCENCLK和HALT信号的ADC模块工作行为如下：

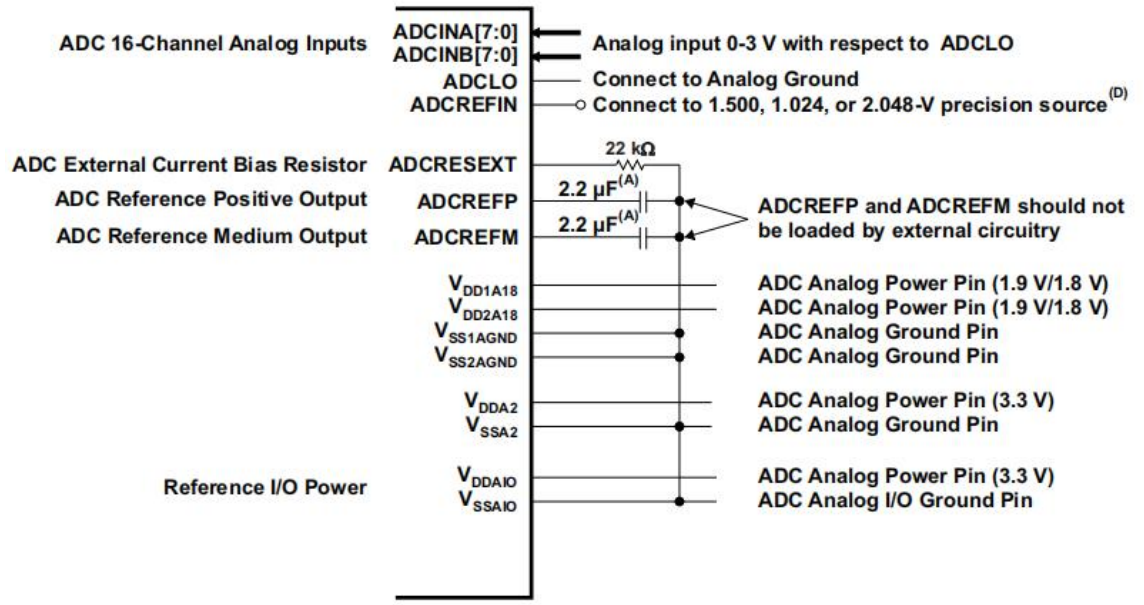
- ADCENCLK：复位时为低电平；当复位信号有效时，寄存器处于复位状态，其时钟正常工作，有必要确保所有寄存器和模式进入的复位状态。模拟模块将处于一个低功耗非激活状态。一旦复位变成高电平，那么到寄存器的时钟将被禁用。当用户将ADCENCLK信号设置为高电平时，寄存器的时钟和模拟单元都将启用。在ADC稳定可被使用之前，需要等待一段延迟时间（毫秒范围内）。
- HALT：这个模式只影响模拟模块，不影响寄存器访问；在这个模式下，ADC 模块进入低功耗模式。这个模式将停止高速外设时钟HSPCLK，因此将间接地关闭ADC 逻辑。

图4-9给出了内部基准的ADC引脚连接，图4-10给出了外部基准的ADC引脚连接。



A. TAIYO YUDENLMK212BJ225MG-T或等效器件。
B. 建议在所有电源引脚上使用外部去耦合电容器。
C. 必须从不会降低ADC性能的运算放大器上驱动模拟输入。

图4-9　　带有内部基准的ADC引脚连接



A. TAIYOYUDENLMK212BJ225MG-T或者等效器件。
B. 建议在所有电源引脚上使用外部去耦合电容器。
C. 模拟输入必须由一个运算放大器驱动，此运算放大器不会降低ADC 性能。
D. 根据这个引脚上的电压，通过改变ADC 基准选择寄存器中的位15:14可启用ADCREFIN上的外部电压。建议使用TI组件REF3020或者等效组件来生成2.048V电压。总体增益精度将由这个电压源的精度确定。

图4-10　　带有外部基准的**ADC**引脚连接

4.7.1. ADC未使用时的连接方式

建议保持针对模拟电源引脚的连接，即便在ADC未被使用时也是如此。 下面总结了如果ADC未在应用中使用，应该如何连接ADC引脚：

- V_{DD1A18}、V_{DD2A18}连接至V_{DD}；
- V_{DDA2}、V_{DDAIO}连接至V_{DDIO}；
- $V_{SS1AGND}$、$V_{SS2AGND}$、V_{SSA2}、V_{SSAIO}连接至V_{SS}；
- ADCLO连接至V_{SS}；
- ADCREFIN连接至V_{SS}；
- ADCREFP/ADCREFM连接一个100nF电容器至V_{SS}；
- ADCRESEXT连接一个20kΩ 阻器（非常松散的耐受）至V_{SS}；
- ADCINAn、ADCINBn连接至V_{SS}。

当ADC未使用时，为了达到节能的目的，请确保到ADC模块的时钟未被打开。当一个应用使用ADC模块时，未使用的ADC输入引脚应被连接至模拟接地($V_{SS1AGND}$/$V_{SS2AGND}$)。注意，只有当ADC的校准程序从引导ROM 执行时，ADC的增益误差和偏移误差参数才为额定值。

4.7.2. ADC寄存器

表4-6列出了对ADC操作时进行配置、控制和监控的寄存器。

表4-6 ADC寄存器(1)

名称	地址(1)	地址(2)	大小(x16)	说明
ADCTRL1	0x7100		1	ADC 控制寄存器1
ADCTRL2	0x7101		1	ADC 控制寄存器2
ADCMAXCONV	0x7102		1	ADC 最大转换信道数寄存器
ADCCHSELSEQ1	0x7103		1	ADC 信道选择定序控制寄存器1
ADCCHSELSEQ2	0x7104		1	ADC 信道选择定序控制寄存器2
ADCCHSELSEQ3	0x7105		1	ADC 信道选择定序控制寄存器3
ADCCHSELSEQ4	0x7106		1	ADC 信道选择定序控制寄存器4
ADCASEQSR	0x7107		1	ADC 自动定序状态寄存器
ADCRESULT0	0x7108	0x0B00	1	ADC 转换结果缓冲寄存器0
ADCRESULT1	0x7109	0x0B01	1	ADC 转换结果缓冲寄存器1
ADCRESULT2	0x710A	0x0B02	1	ADC 转换结果缓冲寄存器2
ADCRESULT3	0x710B	0x0B03	1	ADC 转换结果缓冲寄存器3
ADCRESULT4	0x710C	0x0B04	1	ADC 转换结果缓冲寄存器4
ADCRESULT5	0x710D	0x0B05	1	ADC 转换结果缓冲寄存器5
ADCRESULT6	0x710E	0x0B06	1	ADC 转换结果缓冲寄存器6
ADCRESULT7	0x710F	0x0B07	1	ADC 转换结果缓冲寄存器7
ADCRESULT8	0x7110	0x0B08	1	ADC 转换结果缓冲寄存器8
ADCRESULT9	0x7111	0x0B09	1	ADC 转换结果缓冲寄存器9
ADCRESULT10	0x7112	0x0B0A	1	ADC 转换结果缓冲寄存器10
ADCRESULT11	0x7113	0x0B0B	1	ADC 转换结果缓冲寄存器11
ADCRESULT12	0x7114	0x0B0C	1	ADC 转换结果缓冲寄存器12
ADCRESULT13	0x7115	0x0B0D	1	ADC 转换结果缓冲寄存器13
ADCRESULT14	0x7116	0x0B0E	1	ADC 转换结果缓冲寄存器14

名称	地址(1)	地址(2)	大小(x16)	说明
ADCRESULT15	0x7117	0x0B0F	1	ADC 转换结果缓冲寄存器15
ADCTRL3	0x7118		1	ADC 控制寄存器3
ADCST	0x7119		1	ADC 状态寄存器
保留	0x711A- 0x711B		2	
ADCREFSEL	0x711C		1	ADC 基准选择寄存器
ADCOFFTRIM	0x711D		1	ADC 偏移调整寄存器
保留	0x711E 0x711F		2	

(1) 本列中的寄存器为外设帧2寄存器。
(2) ADC结果寄存器采用双映射地址：映射为外设帧2(0x7108-0x7117)时是2-等待寄存器，左对齐；映射为外设帧0（0x0B00-0x0B0F）时对CPU访问是1-等待和对于DMA访问是0-等待，右对齐。在使用ADC进行高速/连续转换期间，可以使用0-等待状态寄存器映射将ADC结果传输到用户内存。

4.7.3. ADC校准

ADC_cal() 例程已编程到预留的OTP存储器中。引导ROM自动调用ADC_cal()例程来使用特定器件的校准数据来初始化ADCREFSEL和ADCOFFTRIM寄存器。正常运行期间，这个过程中会自动发生，无需用户进行任何操作。

如果在开发过程中，引导ROM被仿真器绕过，那么ADCREFSEL和ADCOFFTRIM就必须由应用进行初始化。注意，这些寄存器初始化失败将导致ADC的功能不能达到相应的技术规格。如果系统复位或ADC模块使用ADC控制寄存器1中的第14位复位，则必须重复例程。

4.8. 多通道缓冲串行端口(McBSP) 模块

McBSP模块有以下特性：

- 全双工通信；
- 双缓冲数据寄存器，允许连续数据流传输；
- 发送器和接收器具备独立的帧同步和时钟；
- 可使用外部移位时钟，也可以使用内部可编程配置频率的移位时钟；
- 数据位宽可配置为8、12、16 、20、24或者 32位；
- 8位数据传输时可以LSB优先或者MSB优先；
- 帧同步和数据时钟极性可编程配置；
- 内部时钟和帧同步生成可编程配置；
- 可直接连接工业标准CODECs、模拟接口芯片 (AIC)、和其它串行连接的A/D和D/A器件；
- 兼容SPI协议；
- McBSP支持下列应用接口：
  - T1/E1成帧器；
  - IOM-2兼容器件；
  - AC97-兼容器件（提供所需的多相位帧同步功能）；
  - IIS-兼容器件；
  - 串行外设接口 (SPI)；

◆ McBSP时钟速率，CLKG = CLKSRG/(1+ CLKGDV)

此处，CLKSRG时钟源可以是LSPCLK、CLKX或者CLKR。串行端口性能受I/O缓冲开关速度的限制。必须调整内部预分频寄存器使得外设速度低于 I/O 缓冲器的速度限制。图4-11给出了McBSP 模块的结构。

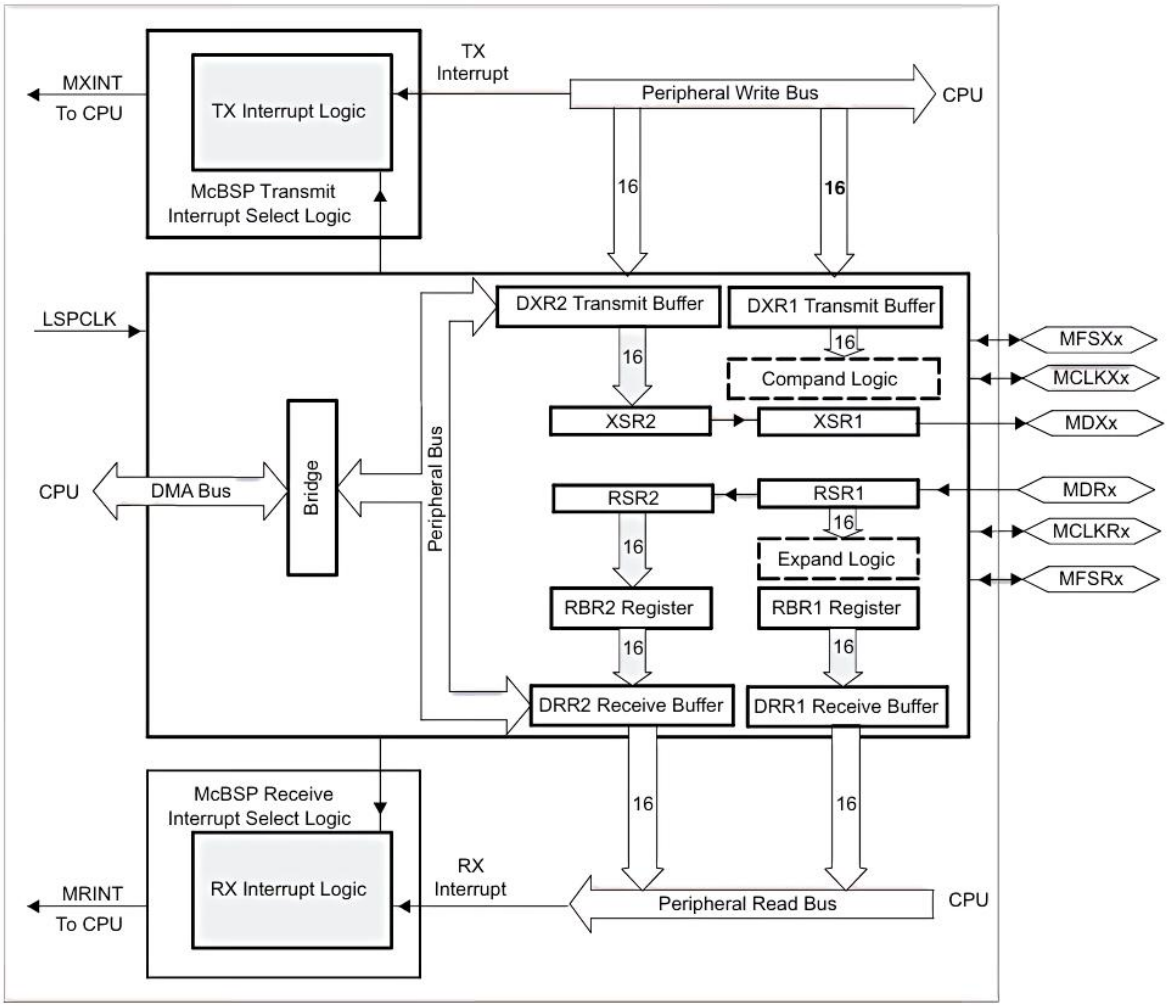


图4-11 McBSP 模块框图

表4-7给出了McBSP配置和控制寄存器列表。

表4-7 McBSP寄存器汇总

名称	McBSP-A地址	McBSP-B地址	类型	复位值	说明
数据寄存器					
DRR2	0x5000	0x5040	R	0x0000	McBSP 接收数据寄存器2
DRR1	0x5001	0x5041	R	0x0000	McBSP 接收数据寄存器1
DXR2	0x5002	0x5042	W	0x0000	McBSP 发送数据寄存器2
DXR1	0x5003	0x5043	W	0x0000	McBSP 发送数据寄存器1
McBSP控制寄存器					
SPCR2	0x5004	0x5044	读/写	0x0000	McBSP 串行端口控制寄存器2
SPCR1	0x5005	0x5045	读/写	0x0000	McBSP 串行端口控制寄存器 1
RCR2	0x5006	0x5046	读/写	0x0000	McBSP 接收控制寄存器2
RCR1	0x5007	0x5047	读/写	0x0000	McBSP 接收控制寄存器1
XCR2	0x5008	0x5048	读/写	0x0000	McBSP 发送控制寄存器2

名称	McBSP-A地址	McBSP-B地址	类型	复位值	说明
XCR1	0x5009	0x5049	读/写	0x0000	McBSP 发送控制寄存器 1
SRGR2	0x500A	0x504A	读/写	0x0000	McBSP 采样率发生器寄存器2
SRGR1	0x500B	0x504B	读/写	0x0000	McBSP 采样率发生器寄存器1
多通道控制寄存器					
MCR2	0x500C	0x504C	读/写	0x0000	McBSP 多通道控制寄存器2
MCR1	0x500D	0x504D	读/写	0x0000	McBSP 多通道控制寄存器 1
RCERA	0x500E	0x504E	读/写	0x0000	McBSP 接收通道分组A使能寄存器
RCERB	0x500F	0x504F	读/写	0x0000	McBSP 接收通道分组B使能寄存器
XCERA	0x5010	0x5050	读/写	0x0000	McBSP 发送通道分组A使能寄存器
XCERB	0x5011	0x5051	读/写	0x0000	McBSP 发送通道分组B使能寄存器
PCR	0x5012	0x5052	读/写	0x0000	McBSP 引脚控制寄存器
RCERC	0x5013	0x5053	读/写	0x0000	McBSP 接收通道分组C使能寄存器
RCERD	0x5014	0x5054	读/写	0x0000	McBSP 接收通道分组D使能寄存器
XCERC	0x5015	0x5055	读/写	0x0000	McBSP 发送通道分组C使能寄存器
XCERD	0x5016	0x5056	读/写	0x0000	McBSP 发送通道分组D使能寄存器
RCERE	0x5017	0x5057	读/写	0x0000	McBSP 接收通道分组E使能寄存器
RCERF	0x5018	0x5058	读/写	0x0000	McBSP 接收通道分组F使能寄存器
XCERE	0x5019	0x5059	读/写	0x0000	McBSP 发送通道分组E使能寄存器
XCERF	0x501A	0x505A	读/写	0x0000	McBSP 发送通道分组F使能寄存器
RCERG	0x501B	0x505B	读/写	0x0000	McBSP 接收通道分组G使能寄存器
RCERH	0x501C	0x505C	读/写	0x0000	McBSP 接收通道分组H使能寄存器
XCERG	0x501D	0x505D	读/写	0x0000	McBSP 发送通道分组G使能寄存器
XCERH	0x501E	0x505E	读/写	0x0000	McBSP 发送通道分组H使能寄存器
MFFINT	0x5023	0x5063	读/写	0x0000	McBSP 中断使能寄存器

4.9. 增强型控制器局域网(eCAN) 模块（eCAN-A和eCAN-B）

eCAN 模块有下列特性：

- 与CAN2.0B协议版本完全兼容；
- 支持高达1Mbps的数据传输速率；
- 支持32个邮箱，每一个邮箱有下列属性：
  - 可配置为接收或者发送；
  - 可使用标准或者扩展标识符进行配置；
  - 支持可编程接收屏蔽功能；
  - 支持数据和远程帧；
  - 数据长度为0字节至8字节；
  - 接收和发送消息内采用32位时间戳；
  - 支持保护功能（不接收新消息）；
  - 支持发送消息的动态可编程优先级；
  - 支持一种具有两个中断级别的可编程中断机制；
  - 支持在发送或者接收超时发出可编程报警；
- 支持低功耗模式；
- 支持可编程总线活动唤醒功能；
- 支持自动答复远程请求消息；
- 支持仲裁丢失或者错误情况下帧自动重传；
- 支持特定消息同步的32位本地网络时间计数器（与邮箱16协同通信）；
- 支持自测试模式：
  - 运行在回路模式，接收其自身消息。 提供虚拟确认信息，从而无需其他节点提供确认位。

注意，SYSCLKOUT频率为100MHz时，最小比特率为7.812kbps；SYSCLKOUT频率为150MHz时，最小比特率为11.719kbps。

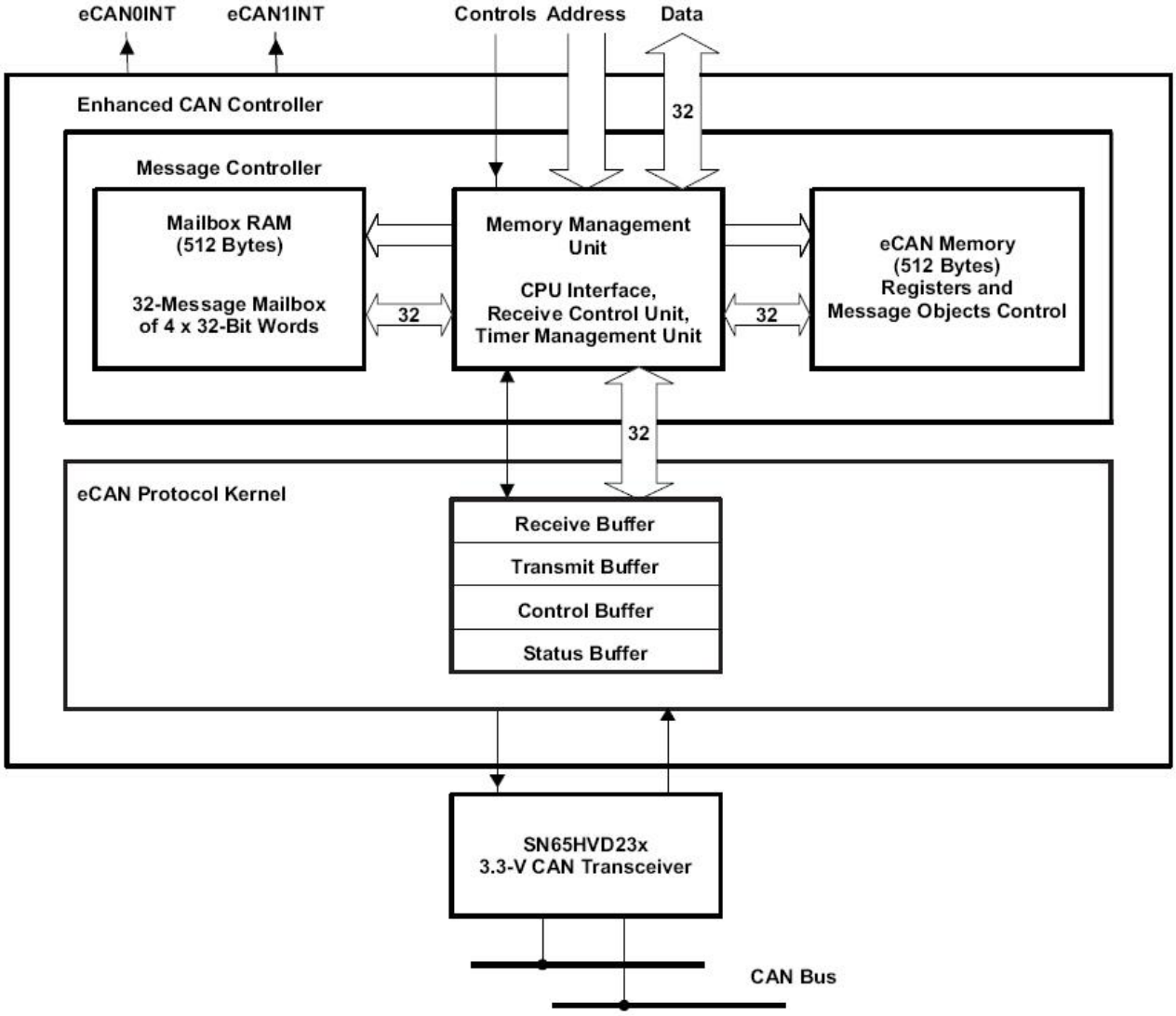


图4-12　eCAN方框图和接口电路图

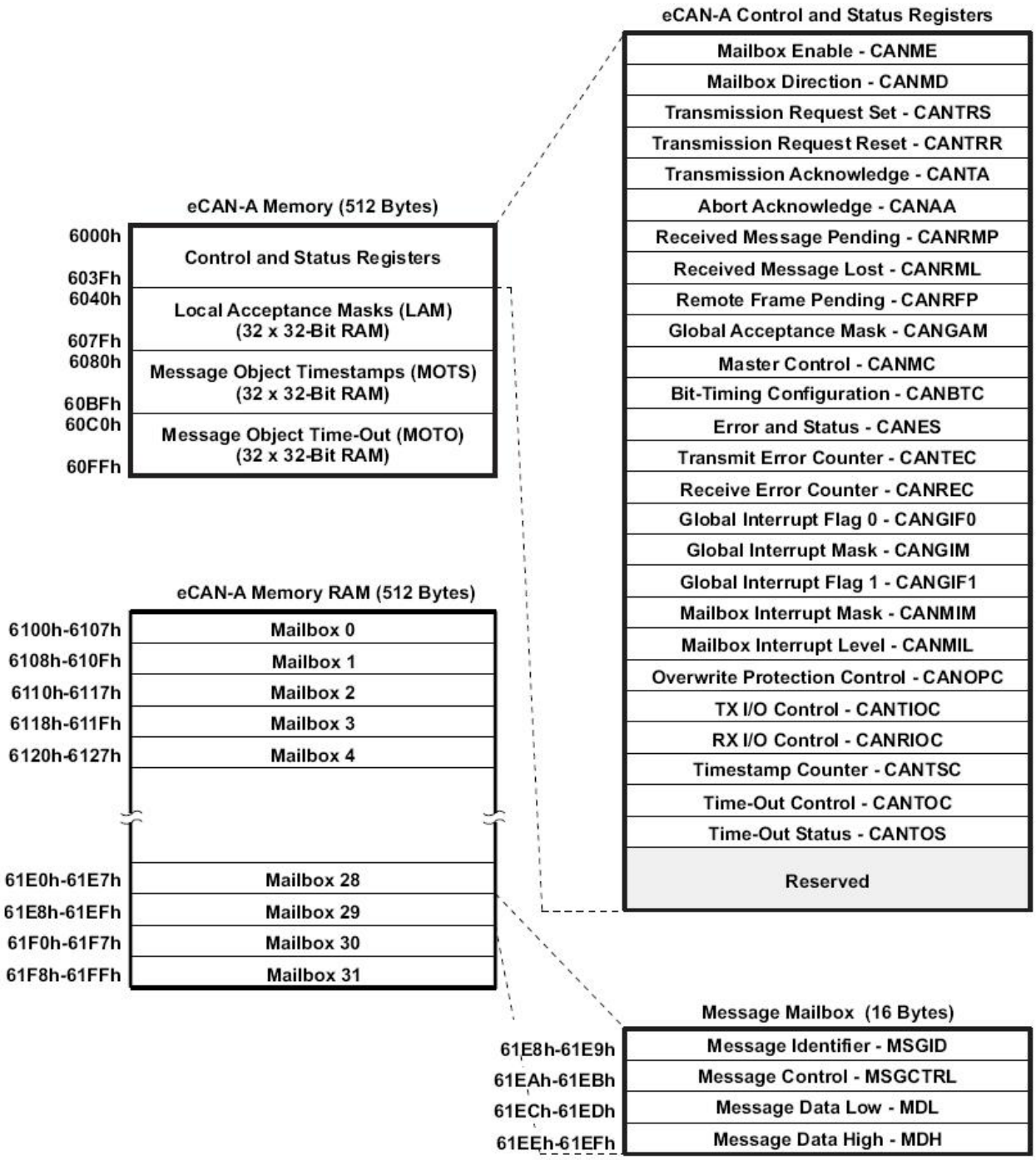


图4-13　eCANA存储器映射

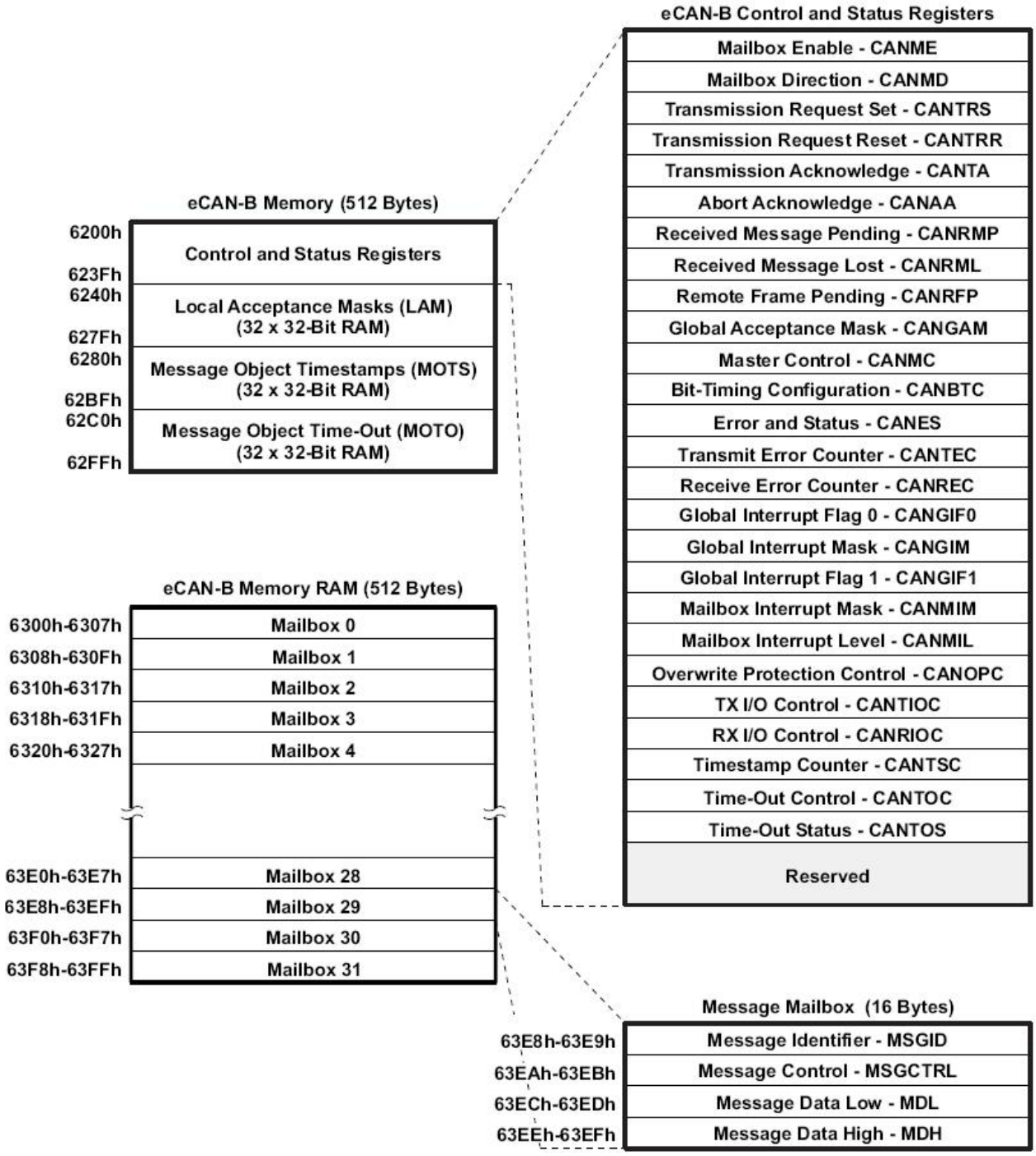


图4-14　eCANB存储器映射

表4-8中给出了eCAN的配置和控制寄存器列表。eCAN 控制寄存器只支持32位读取/写入操作。邮箱RAM可进行16位或者32位访问，32位访问地址必须边界对齐。

表4-8 CAN寄存器映射(1)

寄存器名称	eCAN-A 地址	eCAN-B 地址	大小 (x32)	说明
CANME	0x6000	0x6200	1	邮箱启用
CANMD	0x6002	0x6202	1	邮箱方向
CANTRS	0x6004	0x6204	1	发送请求设定
CANTRR	0x6006	0x6206	1	发送请求复位
CANTA	0x6008	0x6208	1	传输确认
CANAA	0x600A	0x620A	1	中止确认
CANRMP	0x600C	0x620C	1	接收消息等待
CANRML	0x600E	0x620E	1	接收消息丢失
CANRFP	0x6010	0x6210	1	远程帧等待
CANGAM	0x6012	0x6212	1	全局接收屏蔽
CANMC	0x6014	0x6214	1	主器件控制
CANBTC	0x6016	0x6216	1	位时序配置
CANES	0x6018	0x6218	1	错误和状态
CANTEC	0x601A	0x621A	1	发送错误计数器
CANREC	0x601C	0x621C	1	接收错误计数器
CANGIF0	0x601E	0x621E	1	全局中断标志0
CANGIM	0x6020	0x6220	1	全局中断屏蔽
CANGIF1	0x6022	0x6222	1	全局中断标志1
CANMIM	0x6024	0x6224	1	邮箱中断屏蔽
CANMIL	0x6026	0x6226	1	邮箱中断级别
CANOPC	0x6028	0x6228	1	写覆盖保护控制
CANTIOC	0x602A	0x622A	1	TXI/O控制
CANRIOC	0x602C	0x622C	1	RXI/O控制
CANTSC	0x602E	0x622E	1	时间戳计数器（在SCC 模式中保留）
CANTOC	0x6030	0x6230	1	超时控制（在SCC 模式中保留）
CANTOS	0x6032	0x6232	1	超时状态（在SCC 模式中保留）

(1) 这些寄存器被映射至外设帧 1。

4.10. 具有灵活数据速率的控制器局域网(MCAN)模块(MCANA/MCANBA)

4.10.1. MCAN概述

控制器局域网（CAN）是一种串行通信协议，可有效支持分布式实时控制，可靠性高。CAN对电气干扰具有很高的抗扰度，并且能够检测各种类型的错误。在CAN中，许多短消息被广播到整个网络，它提供系统每个节点中的数据一致性。

MCAN模块支持经典CAN和CAN FD（具有灵活数据速率的CAN）协议。The CANFD功能可实现更高的吞吐量和每个数据帧的有效载荷。经典CAN和CANFD设备可以共存在同一网络上而不会发生任何冲突，前提是部分网络收发器可以检测并忽略CANFD而不产生总线错误，则由经典CAN设备使用。MCAN模块是符合 ISO 11898-1：2015 标准。

MCAN模块包含以下特性：

- 符合CAN协议2.0 A,B和ISO 11898-1:2015
- 完全支持CAN FD（最多 64 个数据字节）
- 支持AUTOSAR和SAE J1939
- 多达32个专用传输缓冲区
- 可配置的传输FIFO，最多32个元素
- 可配置的传输队列，最多32个元素
- 可配置的传输事件 FIFO，最多32个元素
- 多达64个专用接收缓冲区
- 两个可配置的接收FIFO，每个最多64个元素
- 多达128个过滤元素
- 用于自检的环回模式
- 可屏蔽中断（两个可配置的中断、计数器溢出和时钟停止或唤醒）
- 两个时钟域（CAN时钟和主机时钟）
- 时钟停止和唤醒支持
- 时间戳计数器
- 1 Mbps标称比特率，5 Mbps数据比特率

不支持的功能：

- 主机总线防火墙
- 时钟校准
- 通过CAN进行调试

MCAN模块根据ISO 11898-1:2015执行CAN协议通信。数据比特率可以编程高达5Mbps 。连接到物理层（CAN 总线）。下图显示了 MCAN 模块框图：

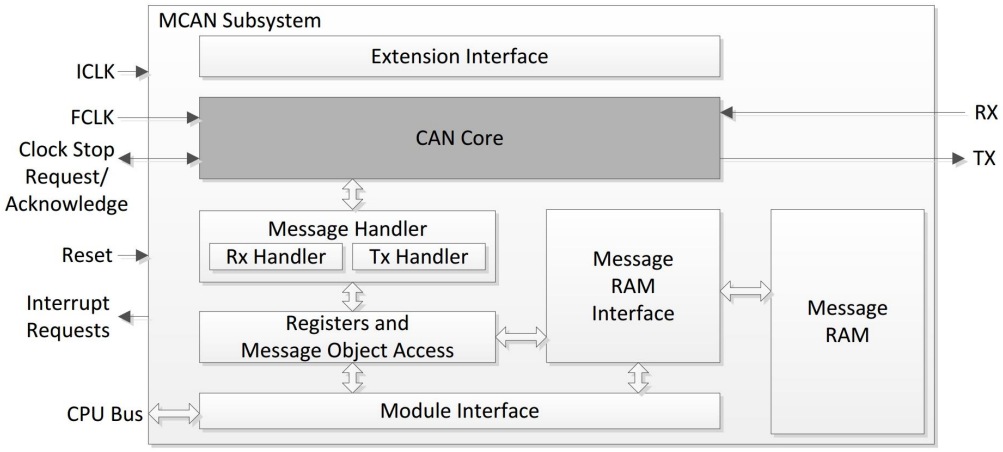


图4-15　MCAN系统框图

4.10.2. MCAN和ECAN RAM复用方式

对于CAN网络上的通信，可以配置单独的消息帧。消息帧和标识符掩码存储在 Message RAM 中。所有与消息处理有关的功能都在 Message Handler 中实现。MCAN 模块的寄存器集可以使用模块接口直接访问。这些寄存器是用于控制和配置 CAN 内核和报文处理程序，以及访问报文 RAM。

MCANA、MCANB与ECANA和ECANB共用RAM，总的容量为8KB（4K*16位），结构如下图XXX所示。

MCANA/MCANB和eCANA/eCANB使用方式：

模式	配置	说明
1：MCANA功能	MCANA_clken=1 MCANB_clken=0 eCANA_clken=0 eCANB_clken=0	MCANA消息RAM可使用整个8KB RAM，地址范围为0x10000-0x11FFF，支持8/16/32位访问，8位粒度
2：MCANB功能	MCANA_clken=0 MCANB_clken=1 eCANA_clken=0 eCANB_clken=0	MCANB消息RAM使用4KB RAM（高半部分），地址范围为0x20000-0x20FFF，支持8/16/32位访问，8位粒度
3：MCANA、MCANB功能	MCANA_clken=1 MCANB_clken=1 eCANA_clken=0 eCANB_clken=0	MCANA消息RAM使用4KB RAM（低半部分），地址范围为0x10000-0x10FFF，支持8/16/32位访问，8位粒度 MCANB消息RAM使用4KB RAM（高半部分），地址范围为0x20000-0x20FFF，支持8/16/32位访问，8位粒度
4：ECANA、ECANB功能	MCANA_clken=0 MCANB_clken=0 eCANA_clken=1 eCANB_clken=1	eCANA消息RAM使用4KB RAM（低半部分），地址范围为0x6000-0x61FF ECANB消息RAM使用4KB RAM（高半部分），地址范围为0x6200-0x63FF
5：MCANA、ECANB功能	MCANA_clken=1 MCANB_clken=0 eCANA_clken=0 eCANB_clken=1	MCANA消息RAM使用4KB RAM（低半部分），地址范围为0x10000-0x10FFF ECANB消息RAM使用4KB RAM（高半部分），地址范围为0x6200-0x63FF
6：ECANA、	MCANA_clken=0 MCANB_clken=1	ECANA消息RAM使用4KB RAM（低半部分），地址范围为0x6000-0x61FF

MCANB功能	eCANA_clken=1 eCANB_clken=0	MCANB消息RAM使用4KB RAM（高半部分），地址范围为0x20000-0x20FFF，支持8/16/32位访问，8位粒度
7：普通RAM功能	MCANA_clken=0 MCANB_clken=0 eCANA_clken=0 eCANB_clken=0	MCANA、MCANB、ECANA、ECANB功能均不使用，可作为普通RAM（类似LS/GS RAM)使用，可存放程序段，地址范围为0x18000-0x18FFF，支持16/32位访问，16位粒度。

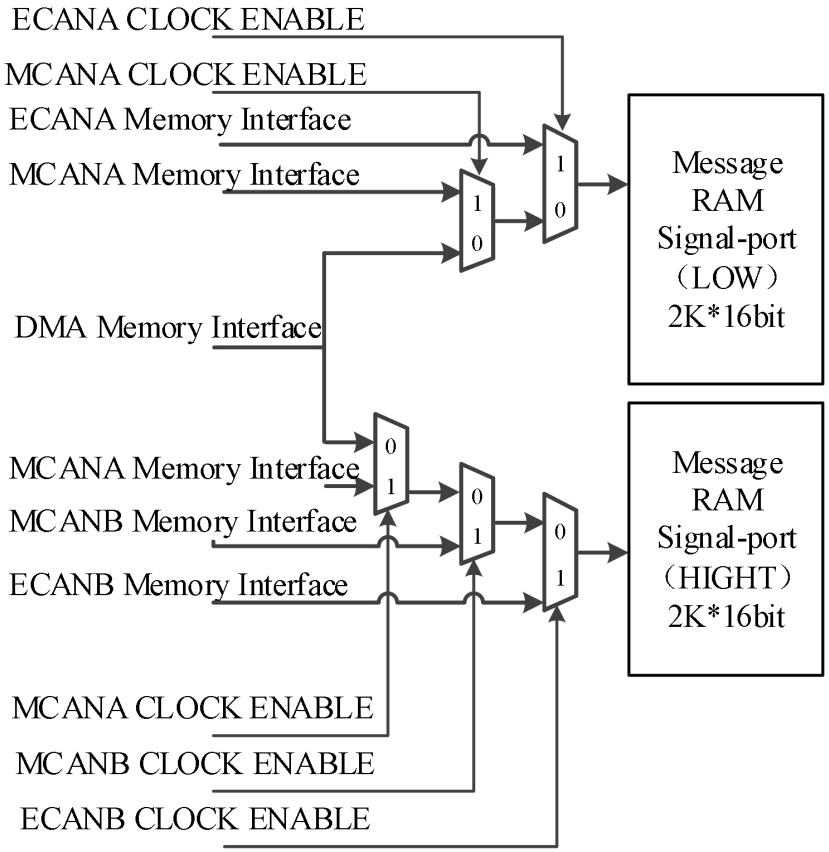


图4-16　MCAN与ECAN RAM复用结构

4.10.3. MCAN消息RAM

MCAN模块有一个消息随机存取存储器（Message RAM）。消息随机存取存储器的主要用途是存储：

- 接收到的消息
- 待发送的消息
- 发送事件元素
- 消息标识符过滤元素
- 消息RAM配置

MCAN模块被配置为在消息随机存取存储器（Message RAM）中最多分配2048个字的存储空间。该消息RAM的字长为32位。

MCANA消息RAM的地址范围是从0x00010000到0x00011FFF（地址偏移8bit）。

MCANB消息RAM的地址范围是从0x00020000到0x00020FFF（地址偏移8bit）。

消息RAM能够包含图4-17中列出的各个部分。并不需要对每个部分都进行配置（消息RAM中的某个部分可以为0），并且各部分的排列顺序没有限制。当MCAN模块对消息RAM进行寻址时，是以32位字为单位进行寻址的。起始地址是可以配置的，并且是32位字地址。

元素大小可以通过以下方式进行配置：

- Rx FIFO 0, by way of the MCAN_RXESC.F0DS field
- Rx FIFO, 1 by way of the MCAN_RXESC.F1DS field
- Rx buffers, by way of the MCAN_RXESC.RBDS field
- Tx buffers, by way of the MCAN_TXESC.TBDS field

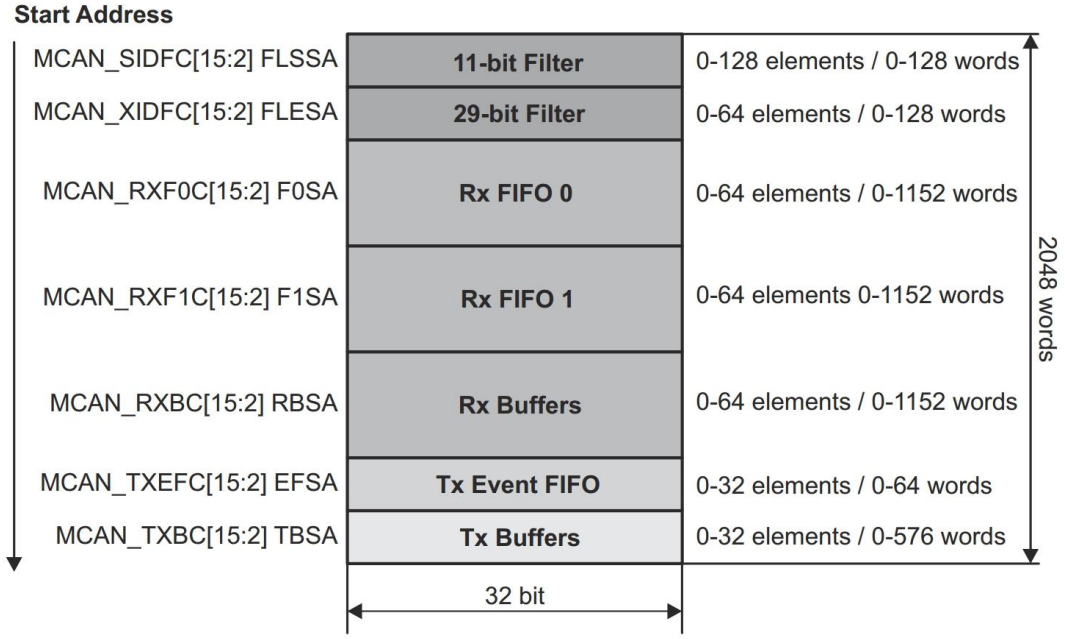


图4-17　MCAN消息RAM配置

4.10.4. 系统控制中新增寄存器

为了支持MCAN功能，在系统控制的时钟复位子部件的寄存器组（基地址：0x00 7000），新增寄存器如表4-9所示。

表4-9　系统控制中MCAN控制寄存器

寄存器名称	偏移地址	描述
MCANCLKCFG	6'h13	MCAN时钟配置寄存器
MCANWAKESTS	6'h14	MCAN Wake状态寄存器
MCANWAKESTSClr	6'h15	MCAN Wake状态清除寄存器
CLKSTOPREQKey	6'h16	MCAN停止请求Key寄存器
CLKSTOPREQ	6'h17	MCAN停止请求寄存器
CLKSTOPACK	6'h18	MCAN停止请求应答寄存器
PCLKCR0	6'h1C	使用外设时钟使能控制寄存器的保留位

4.10.4.1. PCLKCR0

原有寄存器位PCLKCR0，其寄存器地址为 0x00 701C。新增字段位该寄存器的第6和7位。

mcana_clken信号来自于PCLKCR0寄存器的第7位，对该位写0则关闭MCANA模块时钟；写1则打开MCANA模块时钟，转由其它机制控制时钟开关。关闭时钟和打开时钟不需要MCANA提供时钟关断应答信号，该位为立即生效（需要排空网络mcan从机请求）。

mcanb_clken信号来自于PCLKCR0寄存器的第6位，对该位写0则关闭MCANB模块时钟；写1则打开MCANB模块时钟，转由其它机制控制时钟开关。关闭时钟和打开时钟不需要MCANB提供时钟关断应答信号，该位为立即生效（需要排空网络mcan从机请求）。

表4-10 PCLKCR0寄存器

位置	名称	功能描述
15	ECANBENCLK	eCAN-B时钟使能 0：eCAN-B模块不提供时钟（默认） 1：eCAN-B模块由 SYSCLKOUT/2 提供时钟
14	ECANAENCLK	eCAN-A时钟使能 0：eCAN-A模块不提供时钟（默认） 1：eCAN-A模块由 SYSCLKOUT/2 提供时钟
13	MCBSPBENCLK	McBSP-B时钟使能无 McBSP-B 模块的器件中该位为保留位 0：McBSP-B模块不提供时钟（默认） 1：McBSP-B模块由低速时钟 LSPCLK 提供时钟
12	MCBSPAENCLK	McBSP-A时钟使能 0：McBSP-A模块不提供时钟（默认） 1：McBSP-A模块由低速时钟 LSPCLK 提供时钟
11	SCIBENCLK	SCI-B时钟使能 0：SCI-B模块不提供时钟（默认） 1：SCI-B模块由低速时钟 LSPCLK 提供时钟
10	SCIAENCLK	SCI-A时钟使能 0：SCI-A模块不提供时钟（默认） 1：SCI-A模块由低速时钟 LSPCLK 提供时钟
9	SPIEENCLK	SPI-E时钟使能 0：SPI-E模块不提供时钟（默认） 1：SPI-E模块由低速时钟 LSPCLK 提供时钟
8	SPIAENCLK	SPI-A时钟使能 0：SPI-A模块不提供时钟（默认） 1：SPI-A模块由低速时钟 LSPCLK 提供时钟
6	MCANBENCLK	MCANB时钟使能（新增控制位） 0：MCANB模块不提供时钟（默认） 1：MCANB模块由SYSCLKOUT提供时钟
7	MCANENCLK	MCAN时钟使能（新增控制位） 0：MCAN模块不提供时钟（默认） 1：MCAN模块由 SYSCLKOUT/2 提供时钟
6	Reserved	保留位，写0
5	SCICENCLK	SCI-C时钟使能无SCI-C模块的器件中该位为保留位 0：SCI-C模块不提供时钟（默认） 1：SCI-C模块由低速时钟LSPCLK提供时钟

位置	名称	功能描述
4	I2CAENCLK	I2C时钟使能 0：I2C模块不提供时钟（默认） 1：I2C模块由SYSCLKOUT提供时钟
3	ADCENCLK	ADC时钟使能 0：ADC模块不提供时钟（默认） 1：ADC模块由高速时钟HSPCLK提供时钟
2	TBCLKSYNC	ePWM模块时基时钟（TBCLK）同步控制 0：各使能的ePWM模块内部TBCLK停止（默认）。若PCLKCR1中已使能ePWM时钟，则即使TBCLKSYNC=0，ePWM仍由SYSCLKOUT时钟驱动 1：所有使能的ePWM时钟在TBCLK第一个上升沿对齐启动。如需完全同步，各ePWM的TBCTL预分频位必须配置相同。标准使能流程： ·在PCLKCR1中使能ePWM时钟 ·将TBCLKSYNC置0 ·配置预分频与ePWM模式 ·将TBCLKSYNC置1
1－0	Reserved	保留位

4.10.4.2. MCANCLKCFG寄存器

该寄存器的地址为0x007013。

该寄存器包含两个字段mcanclksrc和mcanclkdiv，其具体描述如下表。

表4-11 MCANCLKCFG寄存器

字段名	位	类型	初值	具体含义
RESERVED	15:14	R	00	保留位
mcanbclkdiv	13:9	R/W	00	00：mcanb位时钟是由mcanbclksrc 位选定的时钟的2分频； 01：mcanb位时钟是由mcanbclksrc 位选定的时钟的3分频； 02：mcanb位时钟是由mcanbclksrc 位选定的时钟的4分频； 03：mcanb位时钟是由mcanbclksrc 位选定的时钟的5分频； ..... 1F：mcanb位时钟是由mcanbclksrc 位选定的时钟的33分频；
mcanbclksrc	8	R/W	0	0：表示MCANB位时钟的来源是clkin； 1：表示MCANB位时钟的来源是sysclk。
RESERVED	7:6	R	00	保留位
mcanclkdiv	5:1	R/W	00	00：mcana位时钟是由mcanaclksrc 位选定的时钟的2分频； 01：mcana位时钟是由mcanaclksrc 位选定的时钟的3分频； 02：mcana位时钟是由mcanaclksrc 位选定的时钟的4分频； 03：mcana位时钟是由mcanaclksrc 位选定的时钟的5分频； ..... 1F：mcana位时钟是由mcanaclksrc 位选定的时钟的33分频；
mcanclksrc	0	R/W	0	0：表示MCAN位时钟的来源是clkin； 1：表示MCAN位时钟的来源是sysclk。

4.10.4.3. MCANWAKESTS寄存器

这个寄存器的地址0x007014，具体实现参考表4-12。

表4-12 MACNWAKESTS寄存器字段描述

字段	位	类型	复位	具体含义
RESERVED	15:9	R	00	保留位
MCANBWAKE	8	R	0	0：表示MCANB唤醒事件未发生； 1：表示MCANB唤醒事件发生。
RESERVED	7:1	R	00	保留位
MCANAWAKE	0	R	0	0：表示MCANA唤醒事件未发生； 1：表示MCANA唤醒事件发生。

MCANWAKESTS寄存器只可读，MCANA的唤醒事件状态位位于第0位，其仅在发生了关MCANA时钟应答有效后，MCANA发出唤醒时钟请求时，将该位置1；当通过向MCANWAKESTSCLR寄存器写1时，可对该位清0；也可通过向CLKSTOPREQ寄存器第8位写1发出MCANA停时钟请求将该位清0。

MCANB的唤醒事件状态位位于第8位，其仅在发生了关MCANB时钟应答有效后，MCANB发出唤醒时钟请求时，将该位置1；当通过向MCANWAKESTSCLR寄存器写1时，可对该位清0；也可通过向CLKSTOPREQ寄存器第8位写1发出MCANA停时钟请求将该位清0。

4.10.4.4. MCANWAKESTSClr

这个寄存器的地址0x007015，具体实现参考表4-13 。

表4-13 MCANWAKESTSClr寄存器字段描述

字段	位	类型	复位	具体含义
RESERVED	15:9	R	00	保留位
MCANBWAKE	8	R-0/W1S	0	0：无操作； 1：清除MCANWAKESTATUS寄存器中的MCANBWAKE位。
RESERVED	7:1	R	00	保留位
MCANAWAKE	0	R-0/W1S	0	0：无操作； 1：清除MCANWAKESTATUS寄存器中的MCANAWAKE位。

MCANWAKESTSClr寄存器的第0位，当向该位写入1时可用于清除MCANWAKESTS寄存器的第0位为0。读该寄存器返回全0。

MCANWAKESTSClr寄存器的第8位，当向该位写入1时可用于清除MCANWAKESTS寄存器的第8位为0。读该寄存器返回全0。

4.10.4.5. CLKSTOPREQKey寄存器和CLKSTOPREQ寄存器

CLKSTOPREQKey寄存器的地址0x007016，CLKSTOPREQ寄存器的地址0x007017。其中，KEY值为0x5634。CLKSTOPREQ寄存器中的MCANA和MCANB位实现表4-15描述一致。

表4-14 CLKSTOPREQKey寄存器字段描述

字段	位	类型	复位	具体含义
KEY	15:0	R-0/W	0	Key匹配数值为0x5634

表4-15 CLKSTOPREQ寄存器字段描述

字段	位	类型	复位	具体含义
RESERVED	15:10	R	00	保留位
MCANB	9	R/W	0	MCANB时钟停止请求位 0：如果MCANB时钟处于关闭状态，则打开MCANB时钟，如果MCANB时钟处于打开状态，则无影响； 1：关闭MCANB时钟。 注意：如果该位处于置位状态，当MCANB通过硬件唤醒事件打开MCANB时钟，则清除该位。
MCANA	8	R/W	0	MCANA时钟停止请求位 0：如果MCANA时钟处于关闭状态，则打开MCANA时钟，如果MCANA时钟处于打开状态，则无影响； 1：关闭MCANA时钟。 注意：如果该位处于置位状态，当MCANA通过硬件唤醒事件打开MCANA时钟，则清除该位。
RESERVED	7:0	R	00	保留位

4.10.4.6. CLKSTOPACK寄存器

该寄存器的地址0x00018，具体实现参考表4-16。

表4-16 CLKSTOPACK寄存器字段描述

字段	位	类型	复位	具体含义
RESERVED	31:16	R	0	保留位
RESERVED	15:10	R	00	保留位
MCANB	9	R	0	MCANB时钟停止请求应答位 0：MCANB时钟停止请求无应答； 1：MCANB时钟停止请求已应答。
MCANA	8	R	0	MCANA时钟停止请求应答位 0：MCANA时钟停止请求无应答； 1：MCANA时钟停止请求已应答。
RESERVED	7:0	R	00	保留位

4.11. 串行通信接口(SCI)模块(SCI-A，SCI-B，SCI-C)

F335器件集成了三个串行通信接口（SCI）模块。 SCI模块支持CPU与其它异步外设之间进行标准非归零码(NRZ)格式的数字通信。SCI接收器和发射器采用双缓冲，并且各自具有独立的使能和中断位。发送器和接收器可以独立并同时运行（全双工模式）。为了确保数据完整性，SCI对接收到的数据进行中断检测、奇偶校验、超载和组帧错误检查。通过16位波特率选择寄存器，可将比特率设定为超过 65000 个不同的速度。

SCI 模块具有以下特性：

- 两个外部引脚：
  - SCITXD：SCI发送数据输出引脚；
  - SCIRXD：SCI接收数据输入引脚；
  - 波特率可以设定为64K个不同速率：

$$Baudrate = \frac{LSPCLK}{(BRR+1)*8} \qquad when BRR \neq 0$$

$$Baudrate = \frac{LSPCLK}{16} \qquad when BRR = 0$$

- 数据格式：
  - 一位开始位；
  - 数据长度可编程设定为1至8位；
  - 可选偶校、奇校验或者无奇偶校验位；
  - 一位或者两位停止位；
- 四个错误检测标志：奇偶错、超载、帧错误和中止检测；
- 两个唤醒多处理器模式：空闲线和地址位；
- 支持半双工或者全双工操作模式；
- 支持双缓冲接收和发送功能；
- 发送器和接收器操作可通过中断或者查询状态标记判断是否完成；
  - 发送器：TXRDY标志（发送器缓冲寄存器已经准备好接收其他数据）和 TX EMPTY标志（发送器移位寄存器已空）；
  - 接收器：RXRDY标志（接收器缓冲寄存器已经准备好接收另外的字符）、BRKDT 标志（产生了中止条件）和 RX ERROR 错误标志（监控四个中断条件）；
- 独立的发送器和接收器中断使能位（除BRKDT外）；
- 支持NRZ（非归零码）格式；

增强型特性：

- 自动波特率检测硬件逻辑电路；
- 16 级发送/接收 FIFO；

SCI端口控制和状态寄存器如下表所示。

表4-17 SCI-A寄存器(1)

名称	地址	大小(x16)	说明
SCICCRA	0x7050	1	SCI-A 通信控制寄存器
SCICTL1A	0x7051	1	SCI-A 控制寄存器1
SCIHBAUDA	0x7052	1	SCI-A 波特率寄存器，高位
SCILBAUDA	0x7053	1	SCI-A 波特率寄存器，低位
SCICTL2A	0x7054	1	SCI-A 控制寄存器2
SCIRXSTA	0x7055	1	SCI-A 接收状态寄存器
SCIRXEMUA	0x7056	1	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x7057	1	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x7059	1	SCI-A发送数据缓冲寄存器
SCIFFTXA(2)	0x705A	1	SCI-AFIFO发送寄存器
SCIFFRXA(2)	0x705B	1	SCI-AFIFO 接收寄存器
SCIFFCTA(2)	0x705C	1	SCI-AFIFO 控制寄存器
SCIPRIA	0x705F	1	SCI-A 优先级控制寄存器

(1) 表中的寄存器映射到外设帧2，该空间只允许16位访问，32位访问会产生未定义的后果。
(2) 这些寄存器是用于FIFO 模式的全新寄存器。

表4-18 SCI-B寄存器(1)(2)

名称	地址	大小(x16)	说明
SCICCRB	0x7750	1	SCI-B 通信控制寄存器
SCICTL1B	0x7751	1	SCI-B 控制寄存器1
SCIHBAUDB	0x7752	1	SCI-B 波特率寄存器，高位
SCILBAUDB	0x7753	1	SCI-B 波特率寄存器，低位
SCICTL2B	0x7754	1	SCI-B 控制寄存器2
SCIRXSTB	0x7755	1	SCI-B 接收状态寄存器
SCIRXEMUB	0x7756	1	SCI-B 接收仿真数据缓冲寄存器
SCIRXBUFB	0x7757	1	SCI-B 接收数据缓冲寄存器
SCITXBUFB	0x7759	1	SCI-B发送数据缓冲寄存器
SCIFFTXB(2)	0x775A	1	SCI-B FIFO发送寄存器
SCIFFRXB(2)	0x775B	1	SCI-B FIFO 接收寄存器
SCIFFCTB(2)	0x775C	1	SCI-B FIFO 控制寄存器
SCIPRIB	0x775F	1	SCI-B 优先级控制寄存器

(1) 表中的寄存器映射到外设帧2，该空间只允许16位访问，32位访问会产生未定义的后果。
(2) 这些寄存器是用于FIFO 模式的全新寄存器。

表4-19 SCI-C寄存器(1)(2)

名称	地址	大小(x16)	说明
SCICCRC	0x7770	1	SCI-C 通信控制寄存器
SCICTL1C	0x7771	1	SCI-C 控制寄存器1
SCIHBAUDC	0x7772	1	SCI-B 波特率寄存器，高位
SCILBAUDC	0x7773	1	SCI-C 波特率寄存器，低位
SCICTL2C	0x7774	1	SCI-C 控制寄存器2
SCIRXSTC	0x7775	1	SCI-C 接收状态寄存器
SCIRXEMUC	0x7776	1	SCI-C 接收仿真数据缓冲寄存器
SCIRXBUFC	0x7777	1	SCI-C 接收数据缓冲寄存器
SCITXBUFC	0x7779	1	SCI-C 传输数据缓冲寄存器
SCIFFTXC(2)	0x777A	1	SCI-C FIFO发送寄存器
SCIFFRXC(2)	0x777B	1	SCI-C FIFO 接收寄存器
SCIFFCTC(2)	0x777C	1	SCI-C FIFO 控制寄存器
SCIPRC	0x777F	1	SCI-C 优先级控制寄存器

(1) 表中的寄存器映射到外设帧2，该空间只允许16位访问，32位访问会产生未定义的后果。
(2) 这些寄存器是用于FIFO 模式的全新寄存器。

图4-18给出了SCI结构。

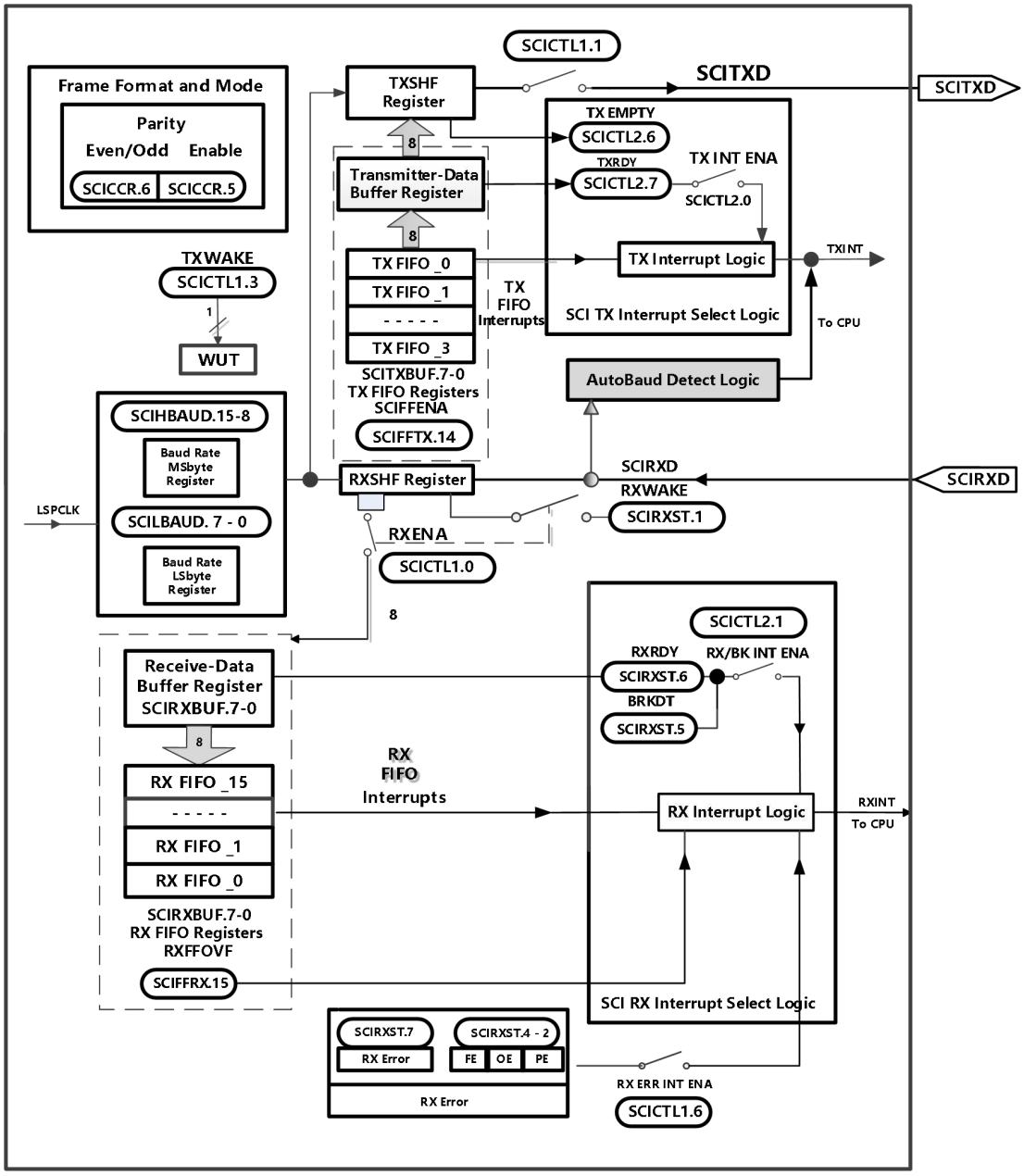


图4-18　串行通信接口(SCI)模块框图

4.12. 串行外设接口(SPI) 模块(SPI-A、SPI-E)

F335器件集成了2个串行外设接口(SPI)模块。SPI是一个高速、同步串行I/O接口，可以以设定的位传输速率将设定长度（1至16位）的串行位流移入和移出器件。 SPI用于将DSC控制器和外部外设或者其它处理器之间的通信。典型应用包括外部I/O或者诸如移位寄存器、显示驱动器和ADC等器件的外设扩展。支持多器件通信SPI主/从操作。

SPI 模块的特性包括：

- 四个外部引脚：
  - SPISOMI：SPI从机输出/主机输入引脚
  - SPISIMO：SPI从机输入/主机输出引脚
  - $\overline{\text{SPISTE}}$：SPI从机发送使能引脚
  - SPICLK：SPI串行时钟引脚
- 两种操作模式：主模式和从模式；
  - 波特率：125 种不同的可编辑速率。

$$Baudrate = \frac{LSPCLK}{（SPIBRR + 1）} \qquad when\ SPIBRR = 3\ to\ 127$$

$$Baudrate = \frac{LSPCLK}{4} \qquad when\ SPIBRR = 0,1,2$$

- 数据字长度：1到16个数据位
- 支持4种计时机制（由时钟极性和时钟相位控制）：
  - 无相位延迟的下降沿传输：SPICLK 高电平有效，在SPICLK信号下降沿发送数据，在SPICLK信号上升沿接收数据。
  - 有相位延迟的下降沿传输：SPICLK 高电平有效，在SPICLK信号下降沿的半周期前发送数据，在SPICLK信号下降沿接收数据。
  - 无相位延迟的上升沿传输：SPICLK 低电平无效，在SPICLK信号上升沿发送数据，在SPICLK信号下降沿接收数据。
  - 有相位延迟的上升沿传输：SPICLK 低电平无效，在SPICLK信号下降沿之前的半个周期发送数据，在SPICLK信号上升沿上接收数据。
- 同时接收和发送操作（发送功能可在软件中被禁用）
- 通过中断驱动或者轮询算法来完成发射器和接收器运行。
- 9个SPI模块控制寄存器：位于控制寄存器内，帧开始地址7040h。
  - SPI所有寄存器都是连接至外设帧2的16位寄存器。读访问一个寄存器时，低位字节(7-0)数据有效，高位字节(15-8)数据为零；对高位字节的写入操作无效。

增强型特性包括：

- 16级发送/接收 FIFO；
- 可配置控制延迟发送。

SPI通信接口操作通过表4-20中列出的寄存器进行配置和控制。

表4-20 SPI-A/SPI-E寄存器

名称	地址	大小(x16)	说明(1)
SPICCR	0x7040	1	SPI-A配置控制寄存器
SPICTL	0x7041	1	SPI-A运行控制寄存器
SPISTS	0x7042	1	SPI-A状态寄存器
SPIBRR	0x7044	1	SPI-A波特率寄存器
SPIRXEMU	0x7046	1	SPI-A接收仿真缓冲寄存器
SPIRXBUF	0x7047	1	SPI-A串行输入缓冲寄存器
SPITXBUF	0x7048	1	SPI-A串行输出缓冲寄存器
SPIDAT	0x7049	1	SPI-A串行数据寄存器
SPIFFTX	0x704A	1	SPI-A FIFO发送寄存器
SPIFFRX	0x704B	1	SPI-A FIFO接收寄存器
SPIFFCT	0x704C	1	SPI-A FIFO控制寄存器
SPIPRI	0x704F	1	SPI-A优先级控制寄存器
SPICCR	0x7030	1	SPI-E配置控制寄存器
SPICTL	0x7031	1	SPI-E运行控制寄存器
SPISTS	0x7032	1	SPI-E状态寄存器
SPIBRR	0x7034	1	SPI-E波特率寄存器
SPIRXEMU	0x7036	1	SPI-E接收仿真缓冲寄存器
SPIRXBUF	0x7037	1	SPI-E串行输入缓冲寄存器
SPITXBUF	0x7038	1	SPI-E串行输出缓冲寄存器
SPIDAT	0x7039	1	SPI-E串行数据寄存器
SPIFFTX	0x703A	1	SPI-E FIFO发送寄存器
SPIFFRX	0x703B	1	SPI-E FIFO接收寄存器
SPIFFCT	0x703C	1	SPI-E FIFO控制寄存器
SPIPRI	0x703F	1	SPI-E优先级控制寄存器

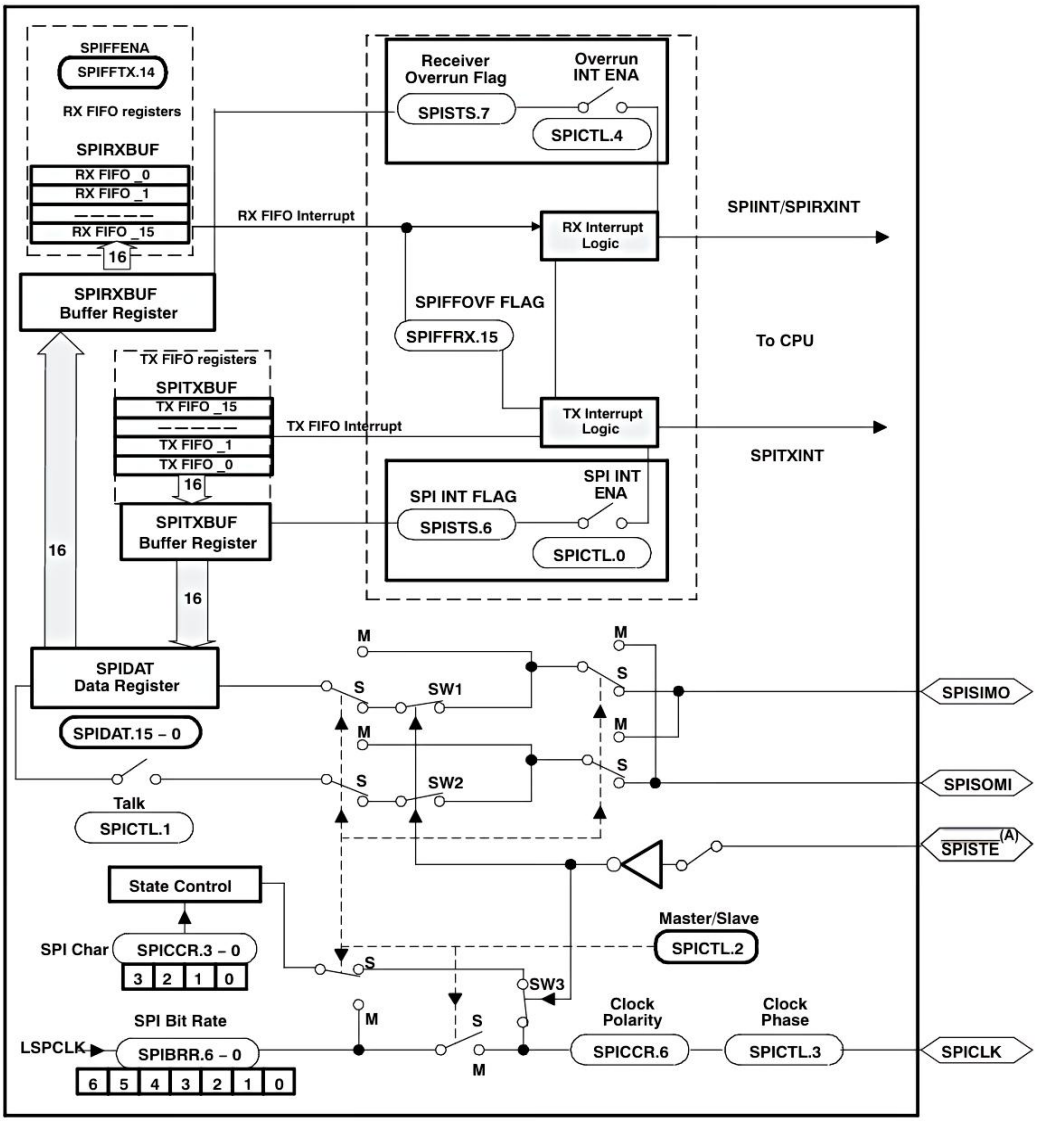
(1)这个表中寄存器被映射到外设帧2，该空间只允许16位访问，32位访问会生成未定义的后果。

SPI-E时钟使能开关使用外设时钟控制寄存器PCLKCR0（地址为0x00701C）的保留位。新增字段位该寄存器的第9位，如下表所示。

位置	名称	功能描述
15	ECANBENCLK	eCAN-B时钟使能 0：eCAN-B模块不提供时钟（默认） 1：eCAN-B模块由SYSCLKOUT/2提供时钟
14	ECANAENCLK	eCAN-A时钟使能 0：eCAN-A模块不提供时钟（默认） 1：eCAN-A模块由SYSCLKOUT/2提供时钟
13	MCBSPBENCLK	McBSP-B时钟使能无McBSP-B模块的器件中该位为保留位 0：McBSP-B模块不提供时钟（默认） 1：McBSP-B模块由低速时钟LSPCLK提供时钟
12	MCBSPAENCLK	McBSP-A时钟使能 0：McBSP-A模块不提供时钟（默认） 1：McBSP-A模块由低速时钟LSPCLK提供时钟
11	SCIBENCLK	SCI-B时钟使能 0：SCI-B模块不提供时钟（默认） 1：SCI-B模块由低速时钟LSPCLK提供时钟

位置	名称	功能描述
10	SCIAENCLK	SCI-A时钟使能 0：SCI-A模块不提供时钟（默认） 1：SCI-A模块由低速时钟LSPCLK提供时钟
9	SPIEENCLK	SPI-E时钟使能（新增寄存器位） 0：SPI-E模块不提供时钟（默认） 1：SPI-E模块由低速时钟LSPCLK提供时钟
8	SPIAENCLK	SPI-A时钟使能 0：SPI-A模块不提供时钟（默认） 1：SPI-A模块由低速时钟LSPCLK提供时钟
7	MCANAENCLK	MCANA时钟使能（新增控制位） 0：MCANA模块不提供时钟（默认） 1：MCANA模块由SYSCLKOUT/2提供时钟
6	MCANBENCLK	MCANB时钟使能（新增控制位） 0：MCANB模块不提供时钟（默认） 1：MCANB模块由SYSCLKOUT提供时钟
5	SCICENCLK	SCI-C时钟使能无SCI-C模块的器件中该位为保留位 0：SCI-C模块不提供时钟（默认） 1：SCI-C模块由低速时钟LSPCLK提供时钟
4	I2CAENCLK	I2C 时钟使能 0：I2C 模块不提供时钟（默认） 1：I2C 模块由 SYSCLKOUT 提供时钟
3	ADCENCLK	ADC时钟使能 0：ADC模块不提供时钟（默认） 1：ADC模块由高速时钟HSPCLK提供时钟
2	TBCLKSYNC	ePWM模块时基时钟（TBCLK）同步控制 0：各使能的ePWM模块内部TBCLK停止（默认）。若sPCLKCR1中已使能ePWM时钟，则即使 TBCLKSYNC=0，ePWM仍由SYSCLKOUT时钟驱动 1：所有使能的ePWM时钟在TBCLK第一个上升沿对齐启动。如需完全同步，各ePWM的TBCTL预分频位必须配置相同。标准使能流程： ·在PCLKCR1中使能ePWM时钟 ·将TBCLKSYNC置0 ·配置预分频与ePWM模式 ·将TBCLKSYNC置1
1–0	Reserved	保留位

图4-19给出了受控模式下SPI的方框图。

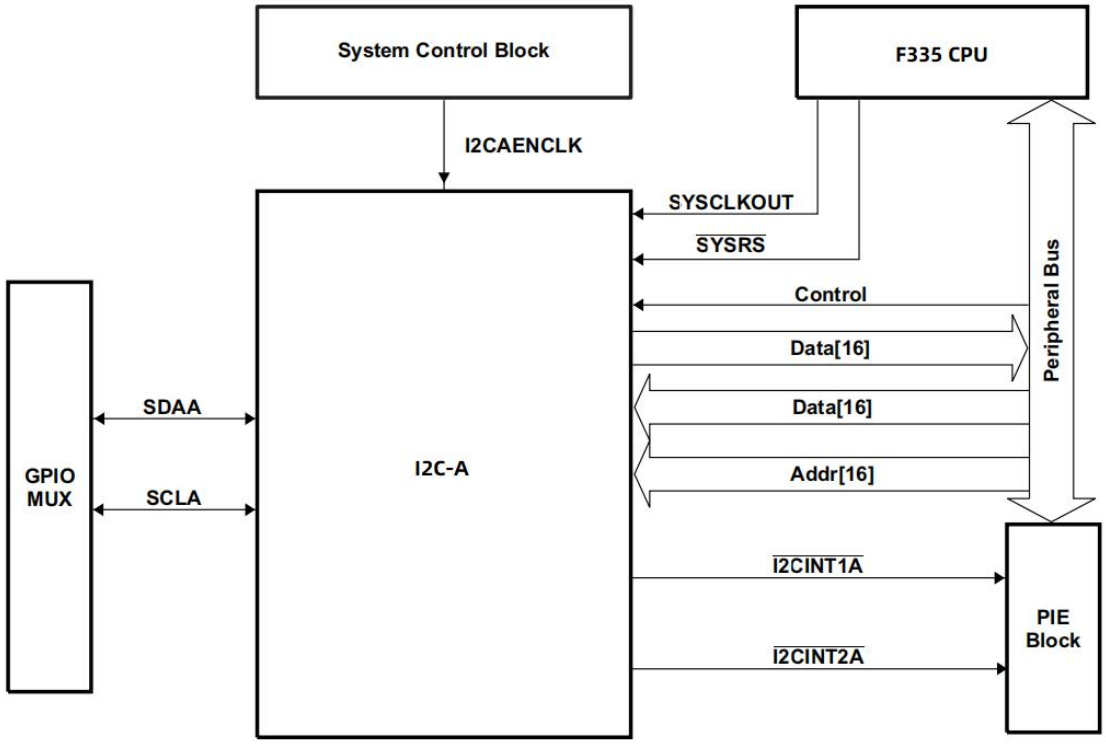


A. $\overline{\text{SPISTE}}$ 被主控器件驱动为用于受控器件的低电平。

图4-19　SPI 模块方框图（受控模式）

4.13. 内部集成电路(I2C)

此器件包含1个I2C串行端口。图4-20给出了I2C外设模块接口。



A. 在SYSCLKOUT时钟域对I2C寄存器进行访问，I2C端口的内部时序和信号波形也是SYSCLKOUT时钟域。

B. PCLKCR0寄存器的时钟使能位(I2CAENCLK)用于控制关闭到I2C接口的时钟以实现低功耗运行。复位时，I2CAENCLK为0，表明外设内部时钟被关闭。

图4-20 I2C外设模块接口

I2C 模块具有以下特性：

- 兼容飞利浦半导体I2C总线协议（版本 2.1）：
  - 支持1位至8位格式传输；
  - 支持7位和10位寻址模式
  - 支持常规调用；
  - 支持START字节模式；
  - 支持多主机发送和多从机接收；
  - 支持多从机发送和多主机接收；
  - 支持组合主机发送/接收和接收/发送模式；
  - 数据传输速率从10kbps到400kbps（I2C 快速模式速率）
- 集成16字接收 FIFO和16 字发送FIFO；
- 可以产生中断信号给CPU，中断可由下列条件生成：
  - 发送数据准备好；
  - 接收数据准备好；

- 寄存器访问准备好；
- 没有接收到确认；
- 仲裁丢失；
- 检测到停止条件；
- 被作为从器件访问；

◆ 在 FIFO 模式下，CPU 可以使用附加的中断

◆ 模块启用和模块禁用功能

◆ 自由数据格式模式

I2C接口的操作通过表4-2020给出的寄存器进行配置和控制。

表4-21 I2C-A寄存器

名称	地址	说明
I2COAR	0x7900	I2C 自身地址寄存器
I2CIER	0x7901	I2C 中断使能寄存器
I2CSTR	0x7902	I2C 状态寄存器
I2CCLKL	0x7903	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	I2C 数据计数寄存器
I2CDRR	0x7906	I2C 数据接收寄存器
I2CSAR	0x7907	I2C 从器件地址寄存器
I2CDXR	0x7908	I2C 数据发送寄存器
I2CMDR	0x7909	I2C 模式寄存器
I2CISRC	0x790A	I2C 中断源寄存器
I2CPSC	0x790C	I2C 预分频器寄存器
I2CFFTX	0x7920	I2C FIFO 发送寄存器
I2CFFRX	0x7921	I2C FIFO 接收寄存器
I2CRSR	-	I2C 接收移位寄存器（CPU不可访问）
I2CXSR	-	I2C 发送移位寄存器（CPU不可访问）

4.14. GPIO MUX

F335除了提供独立的GPIO功能外，还通过GPIO MUX将最多3种独立的外设信号复用在一个GPIO引脚上。GPIO MUX框图如图4-2121所示。由于 I2C引脚须具有开漏功能，相关引脚的GPIO MUX框图略有不同。注意，从写入GPxMUXn和GPxQSELn寄存器到写动作有效有两个SYSCLKOUT 周期延迟。

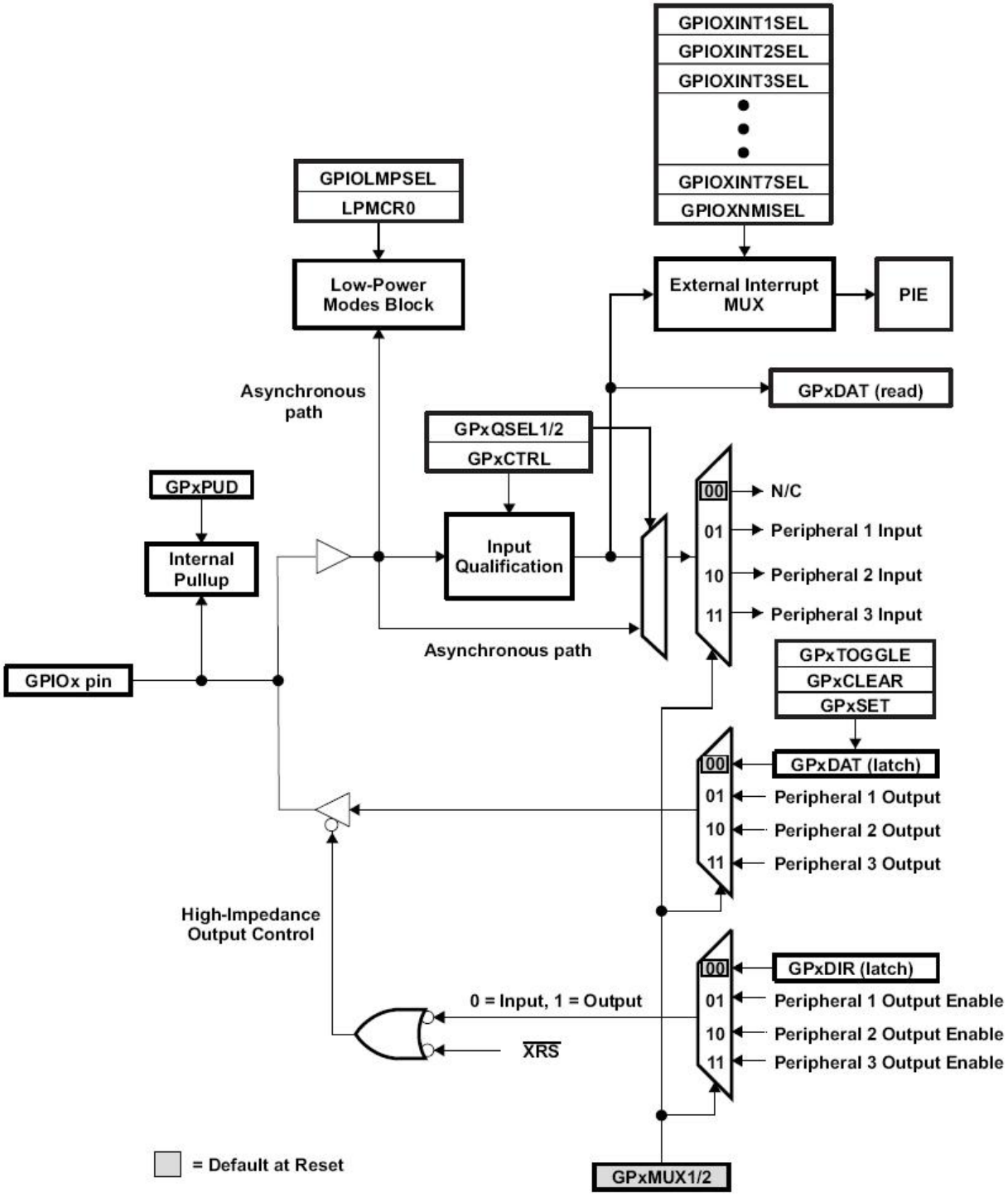


图4-21　GPIO多路选择框图

F335支持88个GPIO引脚，GPIO控制和数据寄存器映射到外设帧1空间，可以进行32位访问和16位访问，表4-21给出了GPIO寄存器映射。

表4-22 GPIO寄存器

名称	地址	大小(x16)	说明
GPIO 控制寄存器（受**EALLOW** 保护）			
GPACTRL	0x6F80	2	GPIO A控制寄存器（GPIO 0至31）
GPAQSEL1	0x6F82	2	GPIO A选择1器寄存器（GPIO 0至 15）
GPAQSEL2	0x6F84	2	GPIO A选择器2寄存器（GPIO 16至31）
GPAMUX1	0x6F86	2	GPIO A MUX1寄存器（GPIO 0至 15）
GPAMUX2	0x6F88	2	GPIO A MUX 2寄存器（GPIO 16至31）
GPADIR	0x6F8A	2	GPIO A 方向寄存器（GPIO 0至31）
GPAPUD	0x6F8C	2	GPIO A 上拉禁用寄存器（GPIO0至31）
保留	0x6F8E-0x6F8F	2	/
GPBCTRL	0x6F90	2	GPIOB 控制寄存器（GPIO 32至63）
GPBQSEL1	0x6F92	2	GPIOB限定器选择1寄存器（GPIO 32至47）
GPBQSEL2	0x6F94	2	GPIOB限定器选择2寄存器（GPIO 48至63）
GPBMUX1	0x6F96	2	GPIOBMUX1寄存器（GPIO 32至47）
GPBMUX2	0x6F98	2	GPIOBMUX 2寄存器（GPIO 48至63）
GPBDIR	0x6F9A	2	GPIOB 方向寄存器（GPIO 32至63）
GPBPUD	0x6F9C	2	GPIOB 上拉电阻器禁用寄存器（GPIO 32至38）
保留	0x6F9E-0x6FA5	8	/
GPCMUX1	0x6FA6	2	GPIOCMUX1寄存器（GPIO 64至79）
GPCMUX2	0x6FA8	2	GPIOCMUX2寄存器（GPIO 80至87）
GPCDIR	0x6FAA	2	GPIOC 方向寄存器(GPIO 64至GPIO 87)
GPCPUD	0x6FAC	2	GPIOC 上拉电阻器禁用寄存器（GPIO 64至87）
保留	0x6FAE–0x6FBF	18	/
GPIO数据寄存器（不受**EALLOW** 保护）			
GPADAT	0x6FC0	2	GPIO A 数据寄存器（GPIO0至31）
GPASET	0x6FC2	2	GPIO A 数据设定寄存器（GPIO0至31）
GPACLEAR	0x6FC4	2	GPIO A 数据清除寄存器（GPIO0至31）
GPATOGGLE	0x6FC6	2	GPIO A 数据切换寄存器（GPIO0至31）
GPBDAT	0x6FC8	2	GPIOB 数据寄存器（GPIO32至63）
GPBSET	0x6FCA	2	GPIOB 数据设定寄存器（GPIO32至63）
GPBCLEAR	0x6FCC	2	GPIOB 数据清除寄存器（GPIO32至63）
GPBTOGGLE	0x6FCE	2	GPIOB 数据切换寄存器（GPIO32至63）
GPCDAT	0x6FD0	2	GPIOC 数据寄存器（GPIO64至87）
GPCSET	0x6FD2	2	GPIOC 数据设定寄存器（GPIO64至87）
GPCCLEAR	0x6FD4	2	GPIOC 数据清除寄存器（GPIO64至87）
GPCTOGGLE	0x6FD6	2	GPIOC 数据切换寄存器（GPIO64至87）
保留	0x6FD8-0x6FDF	8	/
GPIO中断和低功耗模式选择寄存器（受**EALLOW** 保护）			
GPIOXINT1SEL	0x6FE0	1	XINT1GPIO 输入选择寄存器（GPIO 0至31）
GPIOXINT2SEL	0x6FE1	1	XINT2GPIO 输入选择寄存器（GPIO 0至31）
GPIOXNMISEL	0x6FE2	1	XNMIGPIO 输入选择寄存器（GPIO 0 至31）
GPIOXINT3SEL	0x6FE3	1	XINT3GPIO 输入选择寄存器（GPIO 32至63）
GPIOXINT4SEL	0x6FE4	1	XINT4GPIO 输入选择寄存器（GPIO 32至63）
GPIOXINT5SEL	0x6FE5	1	XINT5GPIO 输入选择寄存器（GPIO 32至63）
GPIOXINT6SEL	0x6FE6	1	XINT6GPIO 输入选择寄存器（GPIO 32至63）

名称	地址	大小(x16)	说明
GPIOINT7SEL	0x6FE7	1	XINT7GPIO 输入选择寄存器（GPIO 32至63）
GPIOLPMSEL	0x6FE8	2	LPMGPIO 选择寄存器（GPIO0至31）
保留	0x6FEA-0x6FFF	22	/

表4-23 GPIO-A外设复用选择矩阵

寄存器位			外设选择			
GPADIR GPADAT GPASET GPACLR GPATOGGLE		**GPAMUX1 GPAQSEL1**	**GPIOx GPAMUX1=0,0**	**PER1 GPAMUX1=0,1**	**PER2 GPAMUX1=1,0**	**PER3 GPAMUX1=1,1**
QUALPRD0	0	1,0	GPIO0 （I/O）	EPWM1A（O）	保留	保留
	1	3,2	GPIO1 （I/O）	EPWM1B（O）	ECAP6 （I/O）	MFSRB （I/O）
	2	5,4	GPIO2 （I/O）	EPWM2A（O）	MCANTX (O)	保留
	3	7,6	GPIO3 （I/O）	EPWM2B（O）	ECAP5 （I/O）	MCLKRB （I/O）
	4	9,8	GPIO4 （I/O）	EPWM3A（O）	MCANRX (I)	保留
	5	11,10	GPIO5 （I/O）	EPWM3B（O）	MFSRA （I/O）	ECAP1 （I/O）
	6	13,12	GPIO6 （I/O）	EPWM4A（O）	EPWMSYNCI （I）	EPWMSYNCO（O）
	7	15,14	GPIO7 （I/O）	EPWM4B（O）	MCLKRA （I/O）	ECAP2 （I/O）
QUALPRD1	8	17,16	GPIO8 （I/O）	EPWM5A（O）	CANTXB（O）	$\overline{\text{ADCSOCAO}}$（O）
	9	19,18	GPIO9 （I/O）	EPWM5B（O）	SCITXDB（O）	ECAP3 （I/O）
	10	21,20	GPIO10 （I/O）	EPWM6A（O）	CANRXB （I）	$\overline{\text{ADCSOCBO}}$（O）
	11	23,22	GPIO11 （I/O）	EPWM6B（O）	SCIRXDB （I）	ECAP4 （I/O）
	12	25,24	GPIO12 （I/O）	$\overline{\text{TZ1}}$（I）	CANTXB（O）	MDXB（O）
	13	27,26	GPIO13 （I/O）	$\overline{\text{TZ2}}$（I）	CANRXB （I）	MDRB （I）
	14	29,28	GPIO14 （I/O）	$\overline{\text{TZ3}}$（I）/$\overline{\text{XHOLD}}$（I）	SCITXDB（O）	MCLKXB （I/O）
	15	31,30	GPIO15 （I/O）	$\overline{\text{TZ4}}$（I）/$\overline{\text{XHOLDA}}$（O）	SCIRXDB （I）	MFSXB （I/O）
		GPAMUX2 GPAQSEL2	**GPAMUX2=0,0**	**GPAMUX2=0,1**	**GPAMUX2=1,0**	**GPAMUX2=1,1**
QUALPRD2	16	1,0	GPIO16 （I/O）	SPISIMOA （I/O）	CANTXB（O）	$\overline{\text{TZ5}}$（I）
	17	3,2	GPIO17 （I/O）	SPISOMIA （I/O）	CANRXB （I）	$\overline{\text{TZ6}}$（I）
	18	5,4	GPIO18 （I/O）	SPICLKA （I/O）	SCITXDB（O）	CANRXA （I）
	19	7,6	GPIO19 （I/O）	$\overline{\text{SPISTEA}}$（I/O）	SCIRXDB （I）	CANTXA（O）
	20	9,8	GPIO20 （I/O）	EQEP1A （I）	MDXA（O）	CANTXB（O）
	21	11,10	GPIO21 （I/O）	EQEP1B （I）	MDRA （I）	CANRXB （I）
	22	13,12	GPIO22 （I/O）	EQEP1S （I/O）	MCLKXA （I/O）	SCITXDB（O）
	23	15,14	GPIO23 （I/O）	EQEP1I （I/O）	MFSXA （I/O）	SCIRXDB （I）
QUALPRD3	24	17,16	GPIO24 （I/O）	ECAP1 （I/O）	EQEP2A （I）	MDXB（O）
	25	19,18	GPIO25 （I/O）	ECAP2 （I/O）	EQEP2B （I）	MDRB （I）
	26	21,20	GPIO26 （I/O）	ECAP3 （I/O）	EQEP2I （I/O）	MCLKXB （I/O）
	27	23,22	GPIO27 （I/O）	ECAP4 （I/O）	EQEP2S （I/O）	MFSXB （I/O）
	28	25,24	GPIO28 （I/O）	SCIRXDA （I）	$\overline{\text{XZCS6}}$（O）	
	29	27,26	GPIO29 （I/O）	SCITXDA（O）	XA19（O）	
	30	29,28	GPIO30 （I/O）	CANRXA （I）	XA18（O）	
	31	31,30	GPIO31 （I/O）	CANTXA（O）	XA17（O）	

表4-24　GPIO-B外设复用选择矩阵

寄存器位			外设选择			
GPBDIR GPBDAT GPBSET GPBCLR GPBTOGGLE		**GPBMUX1 GPBQSEL1**	**GPIOx GPBMUX1=0,0**	**PER1 GPBMUX1=0,1**	**PER2 GPBMUX1=1,0**	**PER3 GPBMUX1=1,1**
QUALPRD0	0	1,0	GPIO32（I/O）	SDAA(I/OC)(1)	EPWMSYNCI（I）	$\overline{\text{ADCSOCAO}}$（O）
	1	3,2	GPIO33（I/O）	SCLA(I/OC)(1)	EPWMSYNCO（O）	$\overline{\text{ADCSOCBO}}$（O）
	2	5,4	GPIO34（I/O）	ECAP1（I/O）	XREADY（I）	
	3	7,6	GPIO35（I/O）	SCITXDA（O）	XR/$\overline{\text{W}}$（O）	
	4	9,8	GPIO36（I/O）	SCIRXDA（I）	$\overline{\text{XZCS0}}$（O）	
	5	11,10	GPIO37（I/O）	ECAP2（I/O）	$\overline{\text{XZCS7}}$（O）	
	6	13,12	GPIO38（I/O）	MCANTX (O)	$\overline{\text{XWE0}}$（O）	
	7	15,14	GPIO39（I/O）	MCANRX (I)	XA16（O）	
QUALPRD1	8	17,16	GPIO40（I/O）	SPIECLK（I/O）	XA0/$\overline{\text{XWE1}}$（O）	
	9	19,18	GPIO41（I/O）	SPIESIMO（I/O）	XA1（O）	
	10	21,20	GPIO42（I/O）	SPIESOMI（I/O）	XA2（O）	
	11	23,22	GPIO43（I/O）	SPIESTEn（I/O）	XA3（O）	
	12	25,24	GPIO44（I/O）	保留	XA4（O）	
	13	27,26	GPIO45（I/O）	保留	XA5（O）	
	14	29,28	GPIO46（I/O）	保留	XA6（O）	
	15	31,30	GPIO47（I/O）	保留	XA7（O）	
		GPBMUX2 GPBQSEL2	**GPBMUX2=0,0**	**GPBMUX2=1,0**	**GPBMUX2=0,1**	**GPBMUX2=1,1**
QUALPRD2	16	1,0	GPIO48（I/O）	ECAP5（I/O）	XD31（I/O）	
	17	3,2	GPIO49（I/O）	ECAP6（I/O）	XD30（I/O）	
	18	5,4	GPIO50（I/O）	EQEP1A（I）	XD29（I/O）	
	19	7,6	GPIO51（I/O）	EQEP1B（I）	XD28（I/O）	
	20	9,8	GPIO52（I/O）	EQEP1S（I/O）	XD27（I/O）	
	21	11,10	GPIO53（I/O）	EQEP1I（I/O）	XD26（I/O）	
	22	13,12	GPIO54（I/O）	SPISIMOA（I/O）	XD25（I/O）	
	23	15,14	GPIO55（I/O）	SPISOMIA（I/O）	XD24（I/O）	
QUALPRD3	24	17,16	GPIO56（I/O）	SPICLKA（I/O）	XD23（I/O）	
	25	19,18	GPIO57（I/O）	$\overline{\text{SPISTEA}}$（I/O）	XD22（I/O）	
	26	21,20	GPIO58（I/O）	MCLKRA（I/O）	XD21（I/O）	
	27	23,22	GPIO59（I/O）	MFSRA（I/O）	XD20（I/O）	
	28	25,24	GPIO60（I/O）	MCLKRB（I/O）	XD19（I/O）	
	29	27,26	GPIO61（I/O）	MFSRB（I/O）	XD18（I/O）	
	30	29,28	GPIO62（I/O）	SCIRXDC（I）	XD17（I/O）	
	31	31,30	GPIO63（I/O）	SCITXDC（O）	XD16（I/O）	

(1)I = 输入，O = 输出，OC = 开漏

表4-25　GPIO-C外设复用选择矩阵

寄存器位			外设选择		
GPCDIR GPCDAT GPCSET GPCCLR GPCTOGGLE		GPCMUX1	GPIOx或PER1 GPCMUX1=0,0	GPIOx或PER1 GPCMUX1=0,1	PER2或PER3 GPCMUX1=1,0or1,1
在其中	0	1,0	GPIO64（I/O）	GPIO64（I/O）	XD15（I/O）
	1	3,2	GPIO65（I/O）	GPIO65（I/O）	XD14（I/O）
	2	5,4	GPIO66（I/O）	GPIO66（I/O）	XD13（I/O）
	3	7,6	GPIO67（I/O）	GPIO67（I/O）	XD12（I/O）
	4	9,8	GPIO68（I/O）	MCANATXD（O）	XD11（I/O）
	5	11,10	GPIO69（I/O）	MCANARXD（I）	XD10（I/O）
	6	13,12	GPIO70（I/O）	MCANBTXD（O）	XD9（I/O）
	7	15,14	GPIO71（I/O）	MCANBRXD（I）	XD8（I/O）
在其中	8	17,16	GPIO72（I/O）	GPIO72（I/O）	XD7（I/O）
	9	19,18	GPIO73（I/O）	GPIO73（I/O）	XD6（I/O）
	10	21,20	GPIO74（I/O）	GPIO74（I/O）	XD5（I/O）
	11	23,22	GPIO75（I/O）	GPIO75（I/O）	XD4（I/O）
	12	25,24	GPIO76（I/O）	GPIO76（I/O）	XD3（I/O）
	13	27,26	GPIO77（I/O）	GPIO77（I/O）	XD2（I/O）
	14	29,28	GPIO78（I/O）	GPIO78（I/O）	XD1（I/O）
	15	31,30	GPIO79（I/O）	GPIO79（I/O）	XD0（I/O）
		GPCMUX2	**GPCMUX2=0,0**	**GPCMUX2=0,1**	**GPCMUX2=1,0或1,1**
在其中	16	1,0	GPIO80（I/O）	GPIO80（I/O）	XA8（O）
	17	3,2	GPIO81（I/O）	GPIO81（I/O）	XA9（O）
	18	5,4	GPIO82（I/O）	GPIO82（I/O）	XA10（O）
	19	7,6	GPIO83（I/O）	GPIO83（I/O）	XA11（O）
	20	9,8	GPIO84（I/O）	GPIO84（I/O）	XA12（O）
	21	11,10	GPIO85（I/O）	GPIO85（I/O）	XA13（O）
	22	13,12	GPIO86（I/O）	GPIO86（I/O）	XA14（O）
	23	15,14	GPIO87（I/O）	GPIO87（I/O）	XA15（O）

通过GPxQSEL1/2 寄存器，用户可为每一个GPIO引脚从四个选择中的选择输入信号类型：

- 信号只同步至SYSCLKOUT时钟域 (GPxQSEL1/2=0,0)：这是复位时所有 GPIO引脚的缺省模式，只将输入信号同步至系统时钟域 (SYSCLKOUT)。
- 使用采样窗口进行限定（GPxQSEL1/2=0,1和1,0）：这个模式中，输入信号同步至系统时钟 (SYSCLKOUT) 后，限定一定数量的周期内不可发生变化。
  - 采样周期由GPxCTRL寄存器的QUALPRD指定，8个信号为一组。 它定义了采样输入信号的SYSCLKOUT节拍数。 采样窗口为3周期采样或者6周期采样，并且只有当所有采样值一致时输出才会发生变化，如图4-22所示。

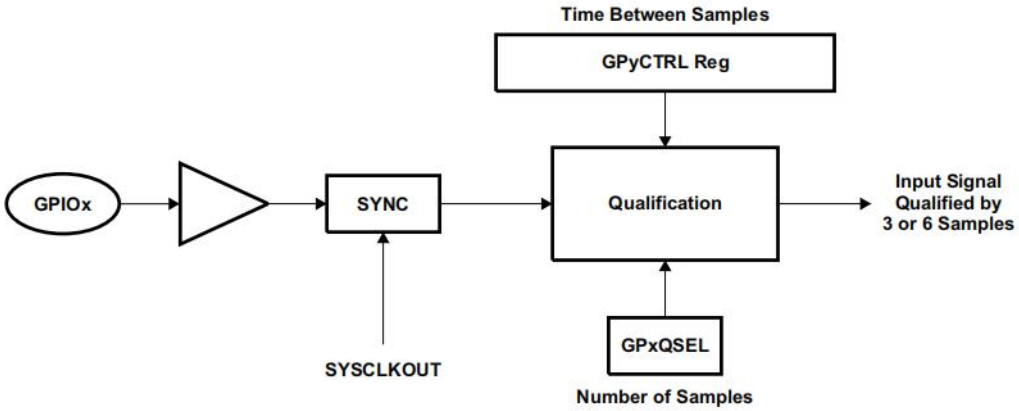


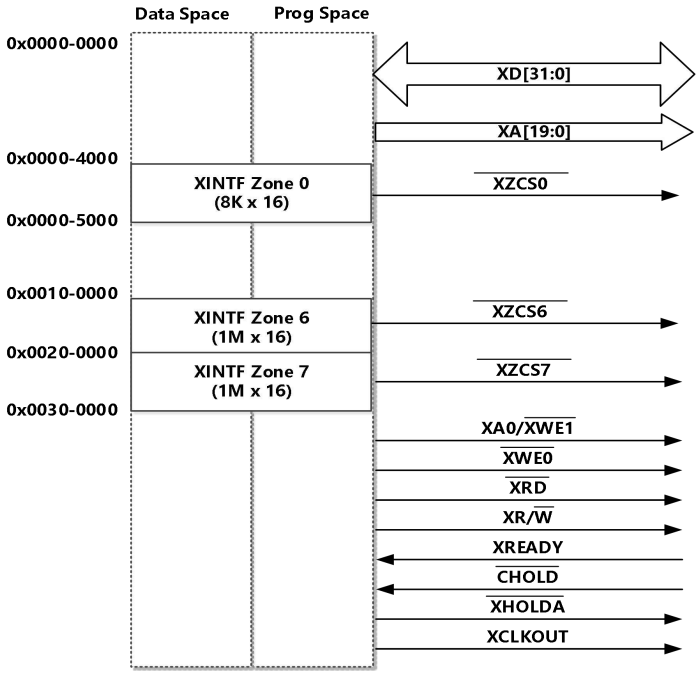
图4-22　使用采样窗口限定信号

◆ 无同步(GPxQSEL1/2=1,1)：这个模式用于无需同步的外设（同步可以在外设内进行）。

F335引脚逻辑中存在多级多路选择，可能会存在一个外设输入信号映射到多个GPIO引脚的情况； 或者当一个外设的输入信号未映射到任意引脚时，此时该输入信号将缺省设定为0或者1，具体状态是外设而定。

4.15. 外部接口(XINTF)

本节给出F335的外部接口（XINTF）简要介绍。XINTF是一个非复用的异步总线，映射为3个固定的区域，如图4-23所示。



A. 每个区域可被设定为具有不同的等待状态、建立和保持时序，并且当执行到一个特定区域的访问时，由区域芯片选择切换支持。这些特性可实现到很多外部存储器和外设的无缝连接。

B. 1-5区被保留用于将来的扩展。

C. 区域0，6，和7一直被启用。

图4-23　外部接口方框图

图4-24和图4-25分别给出了典型16位和32位数据总线的XINTF连接，说明了XA0和$\overline{XWE1}$的信号功能如何根据具体的配置变化。表4-25定义了XINTF 配置和控制寄存器。

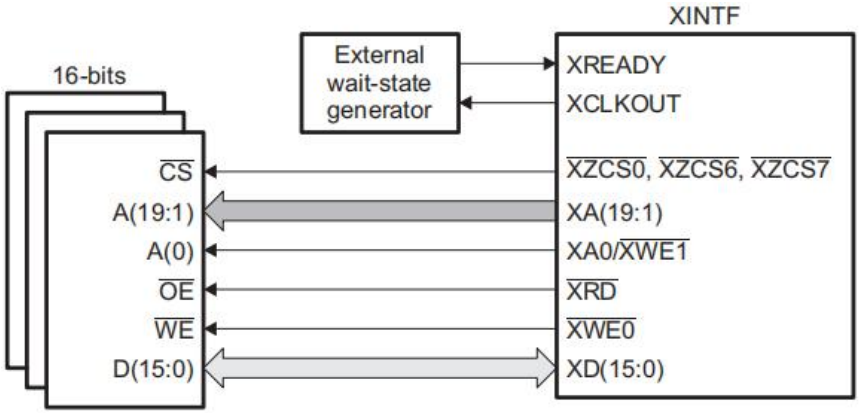


图4-24 16位数据总线的XINTF连接

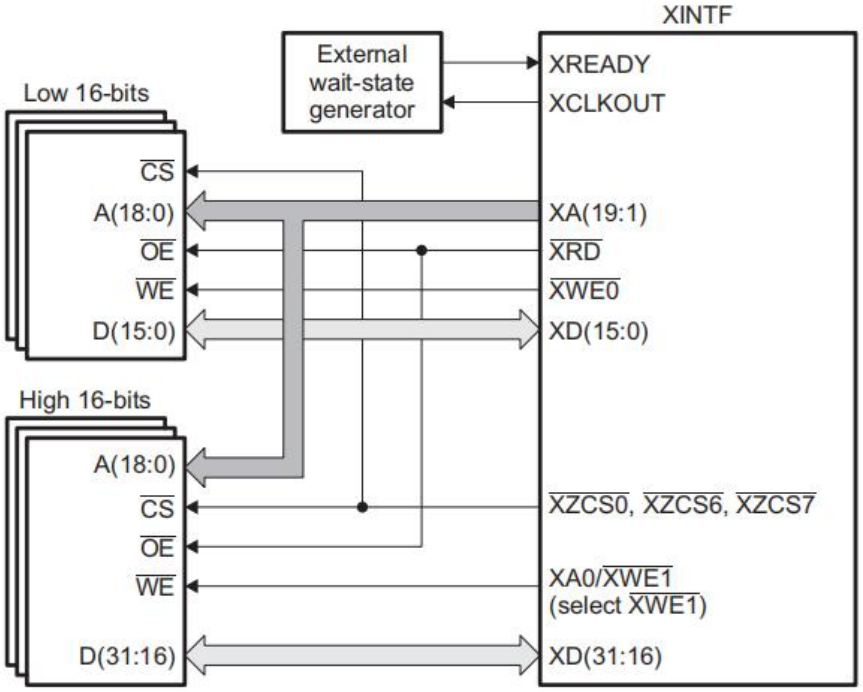


图4-25 32位数据总线的XINTF连接

表4-26 XINTF 配置和控制寄存器映射

名称	地址	大小(x16)	说明
XTIMING0	0x00-0B20	2	XINTF区域0定时寄存器
XTIMING6(1)	0x00-0B2C	2	XINTF区域6定时寄存器
XTIMING7	0x00-0B2E	2	XINTF区域7定时寄存器
XINTCNF2(2)	0x00-0B34	2	XINTF配置寄存器
XBANK	0x00-0B38	1	XINTF控制寄存器
XREVISION	0x00-0B3A	1	XINTF版本寄存器
XRESET	0x00-0B3D	1	XINTF复位寄存器

(1) XTIMING1-XTIMING5 为将来的扩展所保留，目前没有使用。
(2) XINTCNF1 保留，目前没有使用。

5. 电气规范

本节给出了最大绝对额定值和推荐工作条件。

5.1. 最大绝对额定值

表5-1给出了F335器件工作的绝对最大额定值。除非另外说明，表中的数据均在运行温度范围内获得。

表5-1　绝对最大额定值(1) (2)

电源电压范围	V_{DDIO}，V_{DD3VFL}	相对于V_{SS}	-0.3V至4.6V
	V_{DDA2}，V_{DDAIO}	相对于V_{SSA}	-0.3V至4.6V
	V_{DD}	相对于V_{SS}	-0.3V至2.5V
	V_{DD1A18}，V_{DD2A18}	相对于V_{SSA}	-0.3V至2.5V
	V_{SSA2}，V_{SSAIO}，$V_{SS1AGND}$，$V_{SS2AGND}$	相对于V_{SS}	-0.3V至0.3V
	V_{IN}	相对于V_{SS}	-0.3V至4.6V
	V_O	相对于V_{SS}	-0.3V至4.6V
运行环境温度范围	T_A	-40℃至125℃	
结温范围	T_J(3)	-40℃至150℃	
贮存温度范围	T_{stg}(3)	-65℃至150℃	

(1) 在超出绝对最大额定值条件下工作可能会造成器件的永久损坏，长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 所有电压值都是相对于Vss的值，除非额外注明。
(3) 下面两个条件可能会导致整体设备的使用寿命降低：长期高温储存；长时间在最高温度下使用；

5.2. 推荐工作条件

表5-2给出了F335的推荐工作条件，环境为工作温度范围内且自然通风（除非另有说明）。

表5-2　推荐工作条件

参数项	最小值	典型值	最大值	单位
I/O工作电压V_{DDIO}	3.135	3.3	3.465	V
内核工作电压V_{DD}	1.62	1.8	1.98	V
数字和模拟地V_{SS}、V_{SSIO}、V_{SSAIO}、V_{SSA2}、$V_{SS1AGND}$、$V_{SS2AGND}$		0		V
ADC电源电压(3.3V)，V_{DDA2}，V_{DDAIO}	3.135	3.3	3.465	V
ADC电源电压，V_{DD1A18}，V_{DD2A18}	1.71	1.8	1.89	V
闪存电源电压，V_{DD3VFL}	3.135	3.3	3.465	V
器件时钟频率（系统时钟），$f_{SYSCLKOUT}$			150	MHz

5.3. 功耗数据

表5-3 F335 在150MHz SYSCLKOUT 运行条件下的功耗

模式	测试条件	I_{DD}		I_{DDIO}（1）		I_{DDA18}（3）		I_{DDA33}(4)	
		典型值(5)	最大值	典型值(5)	最大值	典型值(5)	最大值	典型值(5)	最大值
可用（闪存）(6)	下列的外设时钟被启用： ● ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6 ● eCAP1, eCAP2, eCAP3, eCAP4, eCAP5, eCAP6 ● eQEP1, eQEP2 ● eCAN-A ● SCI-A, SCI-B（FIFO模式) ● SPI-A（FIFO模式) ● ADC ● I2C ● CPU 定时器0, CPU 定时器1, CPU 定时器2 所有PWM引脚被切换至 150KHz。 所有I/O引脚保持未连接状态(7)	128mA	150mA	14 mA	22mA	45 mA	65mA	9mA	15mA
IDLE（闲置）	闪存被断电。 XCLKOUT 被关闭。下列的外设时 钟被启用： ● eCAN-A ● SCI-A ● SPI-A ● I2C	52mA	75mA	2.5mA	4mA	500uA	700uA	48uA	78uA
STANDBY（待机）	闪存被断电。 外设时钟被关闭。	7mA	12mA	2.5mA	4mA	500uA	700uA	48uA	78uA
HALT(8)	闪存被断电。 外设时钟被关闭。 输入时钟被禁用。(9)	350uA		2.5mA	4mA	500uA	700uA	48uA	78uA

(1) I_{DDIO}电流取决于 I/O 引脚上的电气负载。

(2) IDDA18包括进入VDD1A18和VDD2A18引脚的电流。为了实现所显示的用于IDLE，STANDBY，和HALT的IDDA18电流，必须通过写入 PCLKCR0 寄存器来明确关闭到ADC模块的时钟。

(3) IDDA33包括进入VDDA2和VDDAIO和VDD1A33引脚的电流。

(4) TYP数适用于常温和标称电压。125° C时的最大值，和最大电压(VDD= 2.0V；VDDIO，VDD1A33，VDDA=3.6V)。

(5) 当SARAM运行相同的代码时，IDDH会随着代码从0 等待状态运行而增加。

(6) 下面的操作在环路内完成：

* 数据从SCI-A，SCI-B，SPI-A，McBSP-A，和eCAN-A 端口连续发出。
* 执行乘法/加法运算。
* 看门狗被复位。
* ADC正在执行持续转换。ADC中的数据通过DMA传送到SARAM。
* 执行XINTF的32位读/写。
* GPIO19 被接通。

(7) HALT模式IDD电流将随温度非线性增加。

(8) 如果一个石英晶振或者陶瓷谐振器被用作时钟源，HALF模式将关闭内部振荡器。

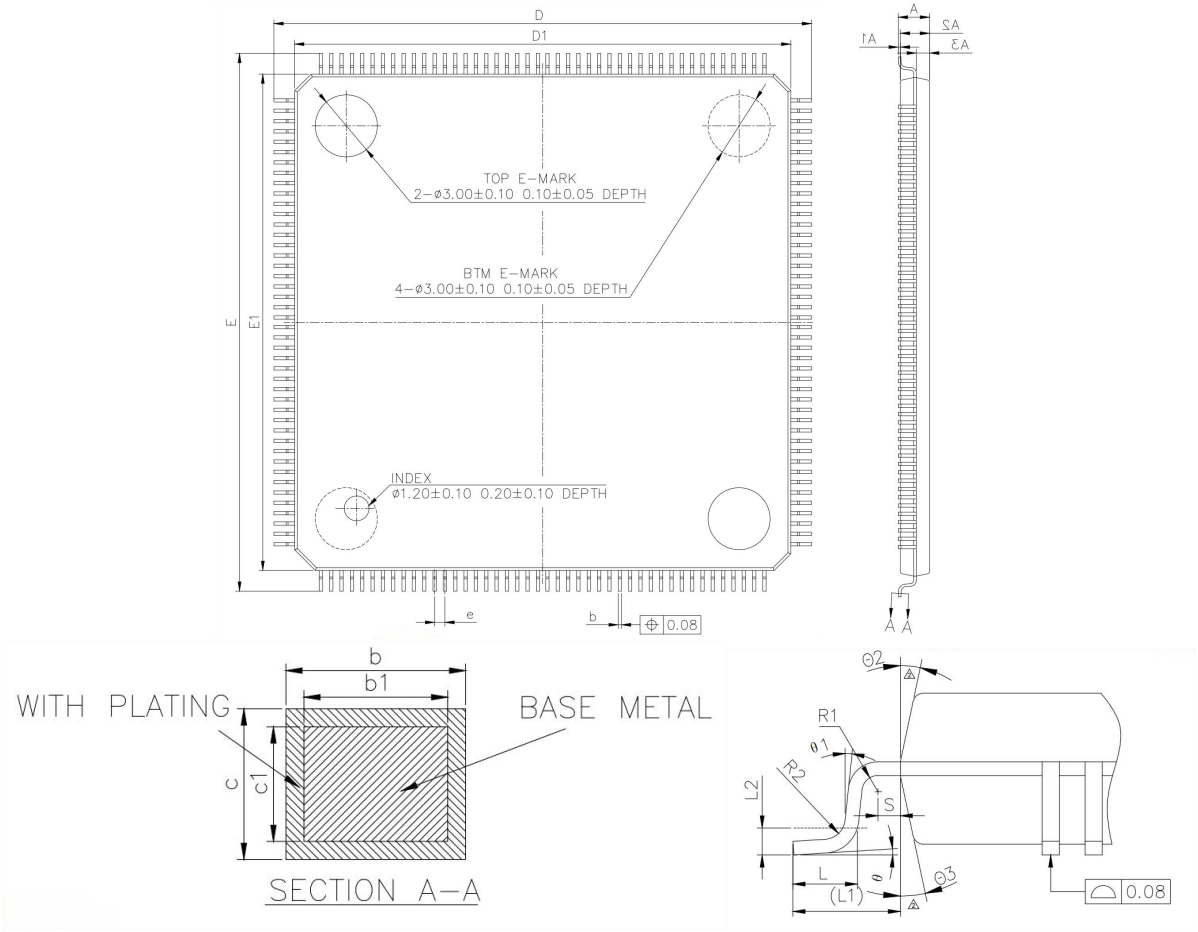
注意事项

外设-器件中执行的I/O复用防止同时使用所有可用外设。这是因为不止一个外设功能可共用一个I/O引脚。然而，可同时打开到所有外设的时钟，虽然这一配置并无实际用途。如果这一操作完成，器件汲取的电流将大于流耗表中的额定值。

6. 封装特性

6.1. LQFP176

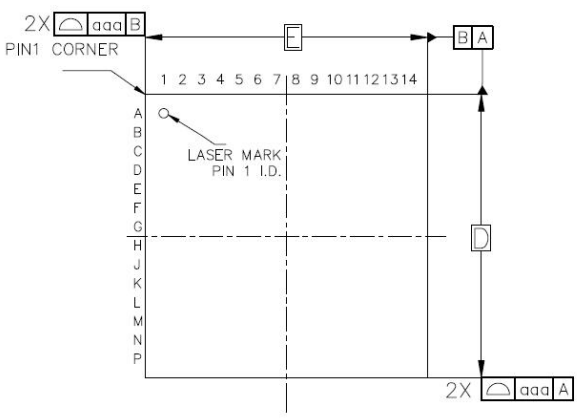
LQFP176，单位：mm



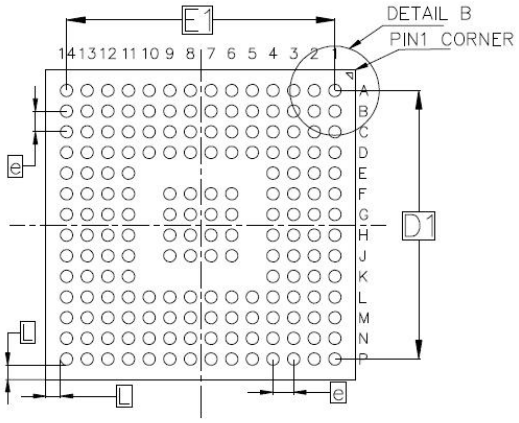
SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17		0.27
b1	0.17	–	0.23
c	0.127	–	0.18
c1	0.119	0.127	0.135
D	25.90	26.00	26.10
D1	23.90	24.00	24.10
E	25.90	26.00	26.10
E1	23.90	24.00	24.10
e	0.45	0.50	0.55
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
θ 1	0°	–	–
θ 2	11°	12°	13°
θ 3	11°	12°	13°

6.2. BGA176

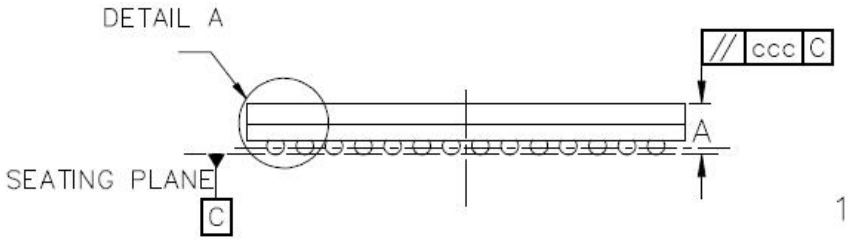
BGA176 单位：mm



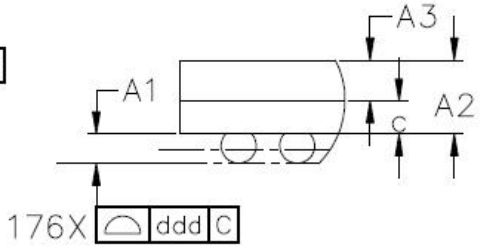
TOP VIEW



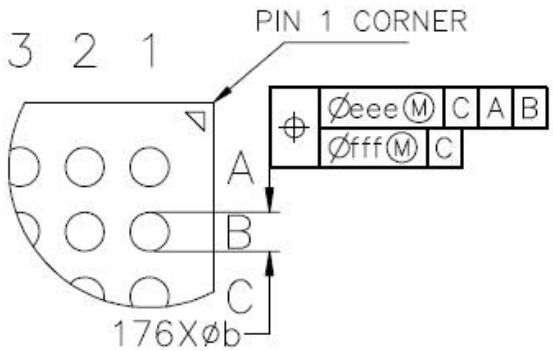
BOTTOM VIEW



SIDE VIEW



DETAIL A(2:1)



DETAIL B(2:1)

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.690	1.760	1.830
A1	0.450	0.500	0.550
A2	1.210	1.260	1.310
A3	0.700 REF		
c	0.510	0.560	0.610
D	14.900	15.000	15.100
D1	13.000 BASIC		
E	14.900	15.000	15.100
E1	13.000 BASIC		
e	1.000 BASIC		
b	0.550	0.600	0.650
L	0.700 REF		
aaa	0.150		
ccc	0.200		
ddd	0.100		
eee	0.100		
fff	0.100		

表6-1　回流焊温度分布

温度分布特点	回流焊工艺
预热/吸潮 最低温度（T_{smin}） 最高温度（T_{smax}） 时间t_s（T_{smin}到T_{smax}）	 150℃ 200℃ 60-120 s
上升斜率（T_{smax}到T_p）	最大值3℃/s
液态温度（T_L） 温度维持在T_L以上的时间（t_L）	217℃ 60-150 s
峰值温度（T_P）	260℃
温度维持在峰值温度的5℃内的时间（t_p）	30 s
下降斜率	最大值6℃/s
25℃到峰值温度的时间	最大值8min

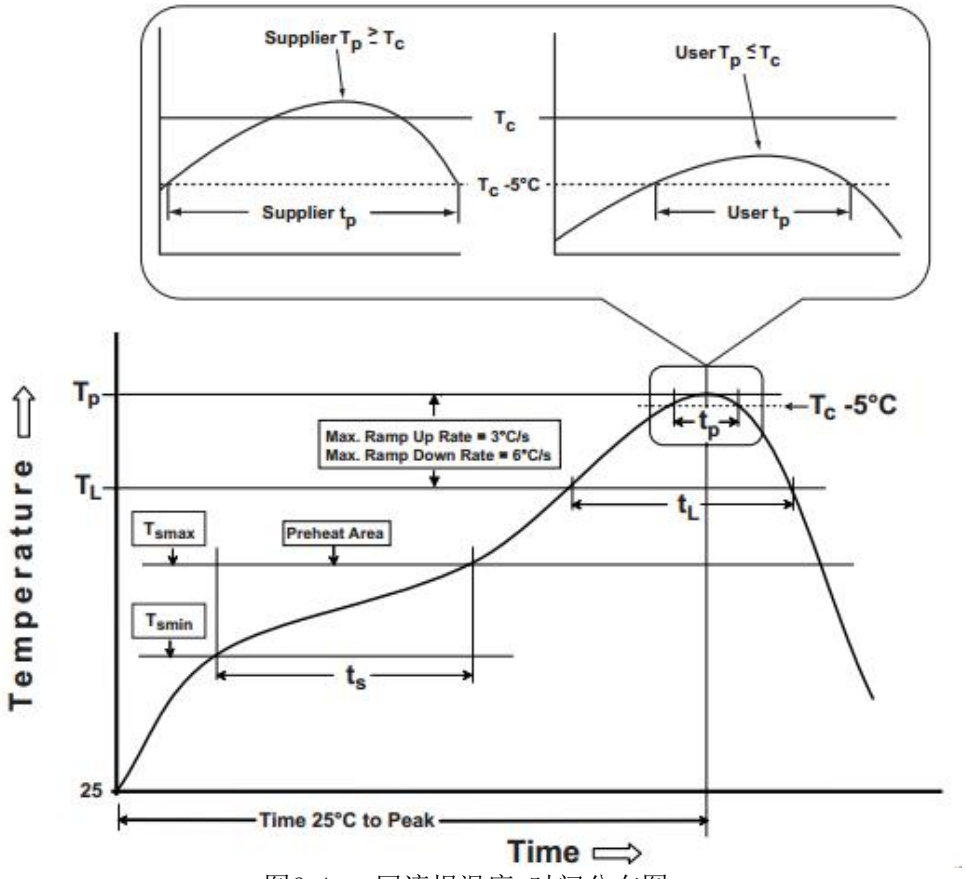


图6-1　回流焊温度-时间分布图

7. 开发支持

我们为F335产品提供了丰富的软硬件开发工具支持，主要包含兼容型集成开发环境（CCS），兼容型硬件仿真器，自主型集成开发环境（IDE），自主型硬件仿真器。

软件支持工具

- 自主型集成开发环境：RISCV IDE正在调试中，近期上市。
- 兼容型集成开发环境：Code Composer Studio™ 集成开发环境(IDE) （IDE版本适配已适配CCS3.3，CCS5.5，CCS6.0，CCS7.4，CCS10.5，CCS12.5）
- 应用算法库
- 应用示例

硬件支持工具

- 自主型硬件仿真器：正在调试中，近期上市。
- 兼容型硬件仿真器：支持基于JTAG的仿真器（XDS100V1，XDS100V2，XDS100V3，XDS110，XDS200，SEED-XDS510，SEED-XDS560）

8. 差异优化

表8-1 差异优化说明

差异项	TMS320F28335	SYS-F335
引脚84/L9	VDD3VFL，3.3V闪存内核电源引脚，这个引脚需要连接至3.3V。	RESERVED0，保留脚，连接无要求。
安全机制	/	在兼容安全机制的基础上，额外提供了增强的安全选项
跛行模式时钟频率	1-5MHz	2-10MHz
MCAN/CANFD	/	额外新增2个灵活数据速率的控制器局域网（MCAN/CANFD），CAN-A管脚复用，配置相关寄存器即可使用。
SPI模块	具有1个SPI模块	额外新增1个SPI接口，共有2个SPI模块（SPI-A/E）

9. 联系方式

总部地址：

- 湖南省长沙市开福区双河路98号金辉商务中心

技术支持：

- 湖南省长沙市开福区双河路98号金辉商务中心 18163717051（欧阳先生）

销售联系：

- 长沙市开福区双河路98号金辉商务中心 15575179977（祁女士）
- 深圳市龙华区盛龙时代A座-1206A 18670701688（冯先生）
- 广州市高新技术创业服务中心天河东路242号705室 18890093999（佘先生）