



实时工业以太网从站控制器 SYS-E252数据手册

2026年03月

历史版本修正记录

版本号	时间	内容描述
V1.0	2024-12	校对文档基本内容和格式调整
V1.1	2026-03	基础内容更新和格式调整

目录

1. 产品特征	1
2. 产品简介	2
3. 功能描述	3
3.1. 内部结构	3
4. 引脚说明和配置	3
4.1. 引脚分配	3
4.2. 引脚总体说明	5
5. 电源连接	14
5.1. 内部稳压器	15
5.1.1. 1.2V内核稳压器	15
5.1.2. 1.2V晶振稳压器	15
6. 寄存器映射	16
6.1. 系统控制和状态寄存器	18
6.2. 背靠背周期的特殊限制	19
6.2.1. 背靠背读写周期	19
6.2.2. 背靠背读周期	20
7. 时钟、复位和功耗管理	21
7.1. 时钟	21
7.2. 复位	21
7.2.1. 芯片级复位	22
7.2.2. 模块级复位	24
7.2.3. 复位寄存器	26
7.2.4. 功耗管理	26
7.2.5. 唤醒事件检测	26
7.2.6. PHY A和PHY B能量检测	26
7.2.7. 唤醒（PME）通知	27
7.2.8. 模块级功耗管理	27
7.2.9. 关闭实时工业以太网内核	28
7.2.10. 芯片级功耗管理	28
7.2.11. 功耗管理寄存器	29
7.3. 器件就绪操作	31
8. 配置脚	32
8.1. 硬配置脚	32
9. 系统中断	33
9.1. 功能概述	33
9.2. 中断源	33
9.2.1. 以太网PHY中断	34
9.2.2. 功耗管理中断	35
9.2.3. 通用定时器中断	35
9.2.4. 实时工业以太网中断	35
9.2.5. 软件中断	36
9.2.6. 器件就绪中断	36
9.2.7. 时钟输出测试模式	36
9.3. 中断寄存器	36

9.3.1. 中断配置寄存器 (IRQ_CFG)	36
9.3.2. 中断状态寄存器 (INT_STS)	39
9.3.3. 中断使能寄存器 (INT_EN)	40
10. 主机总线接口	41
10.1. 读/写控制信号	41
10.2. 控制线极性	41
10.3. 复用地址/数据模式	41
10.3.1. 地址锁存周期	41
10.3.2. 数据周期	42
10.3.3. 实时工业以太网过程RAM数据FIFO访问	46
10.3.4. 复用寻址模式功能时序图	47
10.3.5. 变址寻址模式时序要求	55
11. SPI/SQI从器件	59
11.1. 功能概述	59
11.2. SPI/SQI从机操作	59
11.2.1. 器件初始化	61
11.2.2. SPI配置命令	62
11.2.3. SPI读命令	63
11.2.4. 四输出读操作	67
11.2.5. SPI写命令	70
11.3. SPI/SQI时序要求	75
12. 以太网PHY	77
12.1. 功能概述	77
12.2. PHY寻址	77
12.3. PHY框图	77
12.4. PHY上电流程	78
12.5. Loopback模式	78
12.6. PHY CSR寄存器描述	78
12.6.1. PHA (0x100) 和PHB (0x180) 寄存器	78
12.6.2. PHA (0x104) 和PHB (0x184) 寄存器	80
12.6.3. PHA (0x108) 和PHB (0x188) 寄存器	80
12.6.4. PHA (0x10C) 和PHB (0x18C) 寄存器	80
12.6.5. PHA (0x110) 和PHB (0x190) 寄存器	81
12.6.6. PHA (0x114) 和PHB (0x194) 寄存器	82
12.6.7. PHA (0x118) 和PHB (0x198) 寄存器	82
12.7. PHY 寄存器描述	82
12.7.1. PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) :地址00h	83
12.7.2. PHY x基本状态寄存器 (PHY_BASIC_STATUS_x) :地址01h	84
12.7.3. PHY x标识MSB寄存器 (PHY_ID_MSB_x) :地址02h	85
12.7.4. PHY x标识LSB寄存器 (PHY_ID_LSB_x) :地址03h	85
12.7.5. PHY x自动协商通告寄存器 (PHY_AV_ADV_x) :地址04h	85
12.7.6. PHY x自动协商链接伙伴页面能力寄存器 (PHY_AN_LP_ABILITY_x) :地址05h	86
12.7.7. PHY x自动协商扩展寄存器 (PHY_AN_ADV_x) :地址06h	87
12.7.8. PHY x自动协商下一页发送寄存器 (PHY_AN_NP_TX_x) :地址07h	87
12.7.9. PHY x自动协商下一页接收寄存器 (PHY_AN_NP_RX_x) :地址08h	88
12.7.10. PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS_x) :地址0dh	88
12.7.11. PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA_x) :地址0eh	88

13. 实时工业以太网	89
13.1. 实时工业以太网功能概述	89
13.2. 分布式时钟	89
13.2.1. SYNC/LATCH引脚复用	89
13.2.2. SYNC IRQ映射	90
13.2.3. SYNC脉冲长度	90
13.2.4. SYNC/LATCH I/O时序要求	90
13.3. PDI选择和配置	90
13.4. 数字I/O PDI	91
13.4.1. 输出看门狗行为	91
13.4.2. OE_EXT输出看门狗行为	91
13.4.3. 输入数据采样	91
13.4.4. 输出数据更新	91
13.4.5. OUTVALID极性	91
13.4.6. 数字I/O时序要求	91
13.5. 主机接口PDI	93
13.6. GPIO	93
13.7. 用户RAM	93
13.8. EEPROM可配置寄存器	93
13.9. 端口接口	95
13.9.1. 端口0和端口2（内部PHY A或外部MII）	95
13.9.2. 端口1（内部PHY B）	97
13.9.3. PHY配置	97
13.9.4. PHY链路状态	97
13.9.5. 增强型链路检测	97
13.9.6. 100BASE-FX支持	97
13.9.7. 外部PHY时序	98
13.10. LED	100
13.11. 实时工业以太网 CSR和过程数据RAM访问	100
13.11.1. 实时工业以太网 CSR 读操作	100
13.11.2. 实时工业以太网 CSR写操作	101
13.11.3. 实时工业以太网过程RAM 读操作	102
13.11.4. 实时工业以太网过程RAM写操作	104
13.12. 实时工业以太网复位	106
13.13. 实时工业以太网CSR和过程数据RAM访问寄存器（可直接寻址）	106
13.13.1. 实时工业以太网过程RAM读数据FIFO（PRAM_RD_DATA）	106
13.13.2. 实时工业以太网过程RAM写数据FIFO（PRAM_WR_DATA）	107
13.13.3. 实时工业以太网CSR接口数据寄存器（CSR_DATA）	107
13.13.4. 实时工业以太网CSR接口命令寄存器（CSR_CMD）	108
13.13.5. 实时工业以太网过程RAM读地址和长度寄存器（PRAM_RD_ADDR_LEN）	109
13.13.6. 实时工业以太网过程RAM读命令寄存器（PRAM_RD_CMD）	109
13.13.7. 实时工业以太网过程RAM写地址和长度寄存器（PRAM_WR_ADDR_LEN）	110
13.13.8. 实时工业以太网过程RAM写命令寄存器（PRAM_WR_CMD）	111
13.14. 实时工业以太网内核CSR寄存器（可间接寻址）	111
13.14.1. 类型寄存器	115
13.14.2. 版本寄存器	115
13.14.3. 编译寄存器	115

13.14.4. FMMU支持寄存器	116
13.14.5. SYNCCONTROLUNIT支持寄存器	116
13.14.6. RAM大小寄存器	116
13.14.7. 端口描述符寄存器	116
13.14.8. 实时工业以太网从站控制器功能支持寄存器	117
13.14.9. 已配置站寄存器	118
13.14.10. 已配置站别名寄存器	118
13.14.11. 写寄存器使能寄存器	119
13.14.12. 写寄存器保护寄存器	119
13.14.13. 实时工业以太网从站控制器写寄存器使能寄存器	120
13.14.14. 实时工业以太网从站控制器写寄存器保护寄存器	120
13.14.15. 实时工业以太网从站控制器复位实时工业以太网寄存器	120
13.14.16. 实时工业以太网从站控制器复位PDI寄存器	121
13.14.17. 实时工业以太网从站控制器 DL控制寄存器	121
13.14.18. 物理读/写偏移寄存器	123
13.14.19. 实时工业以太网从站控制器 DL状态寄存器	123
13.14.20. AL控制寄存器	124
13.14.21. AL状态寄存器	125
13.14.22. AL状态代码寄存器	125
13.14.23. 运行LED改写寄存器	126
13.14.24. PDI控制寄存器	126
13.14.25. 实时工业以太网从站控制器配置寄存器	127
13.14.26. ASIC配置寄存器	128
13.14.27. 保留的寄存器	128
13.14.28. PDI配置寄存器	129
13.14.29. SYNC/LATCH PDI配置寄存器	130
13.14.30. 扩展PDI配置寄存器	131
13.14.31. 实时工业以太网事件屏蔽寄存器	134
13.14.32. AL事件屏蔽寄存器	134
13.14.33. 实时工业以太网事件请求寄存器	134
13.14.34. AL事件请求寄存器	135
13.14.35. 接收错误计数器寄存器	137
13.14.36. 转发的接收错误计数器寄存器	137
13.14.37. 实时工业以太网 处理单元错误计数器寄存器	138
13.14.38. PDI错误计数器寄存器	138
13.14.39. PDI错误代码寄存器	138
13.14.40. 丢失链路计数器寄存器	139
13.14.41. 看门狗分频器寄存器	139
13.14.42. 看门狗时间PDI寄存器	139
13.14.43. 看门狗时间过程数据寄存器	140
13.14.44. 看门狗状态过程数据寄存器	140
13.14.45. 看门狗计数器过程数据寄存器	140
13.14.46. 看门狗计数器PDI寄存器	141
13.14.47. EEPROM配置寄存器	141
13.14.48. EEPROM PDI 访问状态寄存器	141
13.14.49. EEPROM控制/状态寄存器	142
13.14.50. EEPROM地址寄存器	143
13.14.51. EEPROM数据寄存器	144
13.14.52. MII管理控制/状态寄存器	144

13. 14. 53. PHY地址寄存器	145
13. 14. 54. PHY寄存器地址寄存器	145
13. 14. 55. PHY数据寄存器	146
13. 14. 56. MII管理实时工业以太网访问状态寄存器	146
13. 14. 57. MII管理PDI访问状态寄存器	146
13. 14. 58. PHY端口状态寄存器	147
13. 14. 59. FMMU寄存器	148
13. 14. 60. SYNCCONTROLUNIT寄存器	151
13. 14. 61. 接收时间端口0寄存器	154
13. 14. 62. 接收时间端口1寄存器	154
13. 14. 63. 接收时间端口2寄存器	155
13. 14. 64. 系统时间寄存器	155
13. 14. 65. 接收时间实时工业以太网处理单元寄存器	155
13. 14. 66. 系统时间偏移寄存器	156
13. 14. 67. 系统时间延时寄存器	156
13. 14. 68. 系统时间差值寄存器	156
13. 14. 69. 速度计数器起始值寄存器	156
13. 14. 70. 速度计数器差值寄存器	157
13. 14. 71. 系统时间差值滤波器深度寄存器	157
13. 14. 72. 速度计数器滤波器深度寄存器	157
13. 14. 73. 循环单元控制寄存器	157
13. 14. 74. 激活寄存器	158
13. 14. 75. 同步信号寄存器的脉冲长度	159
13. 14. 76. 激活状态寄存器	159
13. 14. 77. SYNC0状态寄存器	160
13. 14. 78. SYNC1状态寄存器	160
13. 14. 79. 起始时间循环操作寄存器	160
13. 14. 80. 下一个SYNC1脉冲寄存器	161
13. 14. 81. SYNC0周期时间寄存器	161
13. 14. 82. SYNC1周期时间寄存器	161
13. 14. 83. LATCH0控制寄存器	161
13. 14. 84. LATCH1控制寄存器	162
13. 14. 85. LATCH0状态寄存器	162
13. 14. 86. LATCH1状态寄存器	163
13. 14. 87. LATCH0时间上升沿寄存器	163
13. 14. 88. LATCH0时间下降沿寄存器	163
13. 14. 89. LATCH1时间上升沿寄存器	164
13. 14. 90. LATCH1时间下降沿寄存器	164
13. 14. 91. 实时工业以太网缓冲区变化事件时间寄存器	164
13. 14. 92. PDI缓冲区起始时间事件寄存器	165
13. 14. 93. PDI缓冲区变化事件时间寄存器	165
13. 14. 94. 产品ID寄存器	165
13. 14. 95. 供应商ID寄存器	166
13. 14. 96. 数字I/O输出数据寄存器	166
13. 14. 97. 通用输出寄存器	166
13. 14. 98. 通用输入寄存器	166
13. 14. 99. 用户RAM	167
13. 14. 100. 数字I/O输入数据寄存器	167
13. 14. 101. 过程数据RAM	167

14. EEPROM接口	168
14.1. I2C接口时序要求	168
15. 芯片模式配置	169
15.1. HBI子配置	169
16. 通用定时器和自由运行时钟	170
16.1. 通用定时器	170
16.2. 自由运行时钟	170
16.3. 通用定时器和自由运行时钟寄存器	170
16.3.1. 通用定时器配置寄存器 (GPT_CFG)	171
16.3.2. 通用定时器计数寄存器 (GPT_CNT)	171
16.3.3. 自由运行25 MHz计数器寄存器 (FREE_RUN)	172
17. 其他	172
17.1. 其他系统配置和状态寄存器	172
17.1.1. 芯片ID和版本 (ID_REV)	172
17.1.2. 字节顺序测试寄存器 (BYTE_TEST)	172
17.1.3. 置寄存器 (HW_CFG)	173
18. 封装尺寸	175
19. 选型规则	176
20. 联系方式	176

E252实时工业以太网从站控制器

1. 产品特征

关键特性

- 带8个地址控制单元和8个同步管理单元的2/3端口实时工业以太网从站控制器
- 通过8/16位总线与大多数8/16位嵌入式控制器和32位嵌入式控制器接口
- 支持铜缆模式 Auto-MDIX的集成以太网PHY
- 低功耗模式允许系统进入休眠模式，直到被主器件寻址
- 电缆诊断支持
- 集成1.2V稳压器以实现3.3V单电源操作
- 低引脚数和小尺寸封装
- SPI/QSPI支持
- 数字I/O模式，优化系统成本
- 第3个端口可实现灵活的网络配置
- 全面的功耗管理功能
 - 3种掉电级别
 - 唤醒指示事件信号
- 电源和I/O
 - 集成上电复位电路
 - 门锁性能超过150 mA，符合EIA/JESD78 II类
 - JEDEC 3A类ESD性能
 - 3.3V单电源（集成1.2V稳压器）
- 附加功能
 - 多功能GPIO
 - 能够使用低成本25 MHz晶振，从而降低BOM成本
- 封装
 - 符合 RoHS标准的无铅绿色封装
 - 64引脚 QFN封装（9x9mm）
 - 64引脚 TQFP-EP封装（10x10mm）
- 温度选型
 - A级：-40℃~85℃，工业级
 - E级：-40℃~125℃，工业增强级

典型应用

- 电机运动控制
- 过程/工厂自动化
- 通信模块和接口卡
- 传感器
- 液压阀和气动阀系统
- 操作员界面

2. 产品简介

E252是一款集成两个以太网PHY的2/3端口实时工业以太网从站控制器，每个以太网PHY包含一个全双工100BASE-TX收发器且支持100 Mbps（100BASE-TX）工作速率。E252支持铜缆模式 Auto-MDIX，允许采用直接连接或交叉LAN电缆。通过外部光纤收发器支持100BASE-FX。

E252包括一个实时工业以太网从站控制器，此实时工业以太网从站控制器具有8 KB双端口存储器（DPRAM）和8个地址控制单元（FMMU）。每个FMMU均执行将逻辑地址映射到物理地址的任务。实时工业以太网从站控制器还包括8个同步管理单元（SyncControlUnit），允许在实时工业以太网主器件和本地应用之间进行数据交换。每个同步管理单元的方向和工作模式由实时工业以太网主器件配置。提供两种工作模式：缓冲模式和邮箱模式。在缓冲模式下，本地单片机和实时工业以太网主器件可同时写入器件。E252中的缓冲区始终包含最新数据。如果新数据在旧数据可读出前到达，则旧数据将丢失。在邮箱模式下，本地单片机和实时工业以太网主器件通过握手来访问缓冲区，从而确保不会丢失任何数据。提供两个用户可选的主机总线接口选项：

- 变址寄存器访问本实现提供3个变址/数据寄存器存储区，每个存储区单独进行字节/字-双字转换。内部寄存器的访问方式是：先写入3个变址寄存器之一，接着读取或写入相应的数据寄存器。3个变址/数据寄存器存储区支持最多3个独立的驱动器线程，而不会出现访问冲突。每个线程可写入其分配的变址寄存器，而不会出现被其他线程改写的问题。同一32位变址/数据寄存器中需要2个16位周期或4个8位周期，但这些访问可以交错进行。支持对过程数据FIFO进行直接（非变址）读写访问。直接FIFO访问提供单独的字节/字-双字转换，支持对变址/数据寄存器进行交错访问。
- 复用地址/数据总线本实现提供复用的地址和数据总线，同时支持单地址阶段和双地址阶段。通过地址选通装载地址，然后通过读/写选通进行数据访问。同一32位双字中需要2个连续的16位数据周期或4个连续的8位数据周期。这些访问必须按顺序进行，而不能交错访问其他寄存器。支持对过程数据FIFO进行突发读写访问，具体方法是：先执行一个地址周期，接着执行多个读写数据周期。

HBI支持8/16位大尾数法（高字节优先）、小尾数法（低字节优先）和混合尾数法操作。两个过程数据RAM FIFO将HBI与实时工业以太网从站控制器接口，方便主机CPU与实时工业以太网从器件之间的过程数据信息传输。凭借可配置的主机中断引脚，器件可将任何内部中断通知给主机CPU。

SPI/四SPI从站控制器提供低引脚数的同步从接口，方便器件与主机系统之间的通信。凭借SPI/四SPI从器件，可以访问系统CSR、内部FIFO和存储器。该器件支持一条和多条采用递增、递减和静态寻址的寄存器读写命令。支持单、双和四位通道，时钟速率最高达80 MHz。

E252支持多种功耗管理和唤醒功能。E252可置于低功耗模式。支持手动唤醒。该信号非常适合通过远程以太网唤醒事件来触发系统上电。该器件可通过主机处理器命令或其中一种唤醒事件退出低功耗状态。对于没有单片机的简单数字模块，E252还可在数字I/O模式下工作。在此模式下，可通过实时工业以太网主器件控制或监视16个数字信号。为实现星

型或树形网络拓扑，可将器件配置为3端口从器件，从而提供额外的MII端口。该端口可连接到外部PHY，成为当前菊花链的一个抽头；或者也可连接到另一个E252，构成4端口解决方案。MII端口可以指向上行方向（作为端口0）或下行方向（作为端口2）。

对于LED支持，每个端口包含一个标准运行指示器和一个链路/活动指示器。该器件包含64位分布式时钟,用于实现高精度同步以及提供本地数据采集时序的准确信息。

E252可配置为由采用集成的3.3V转1.2V内部稳压器的3.3V单电源供电。可选择禁止内部稳压器，以便使用高精度的外部稳压器，从而降低系统功耗。

3. 功能描述

3.1. 内部结构

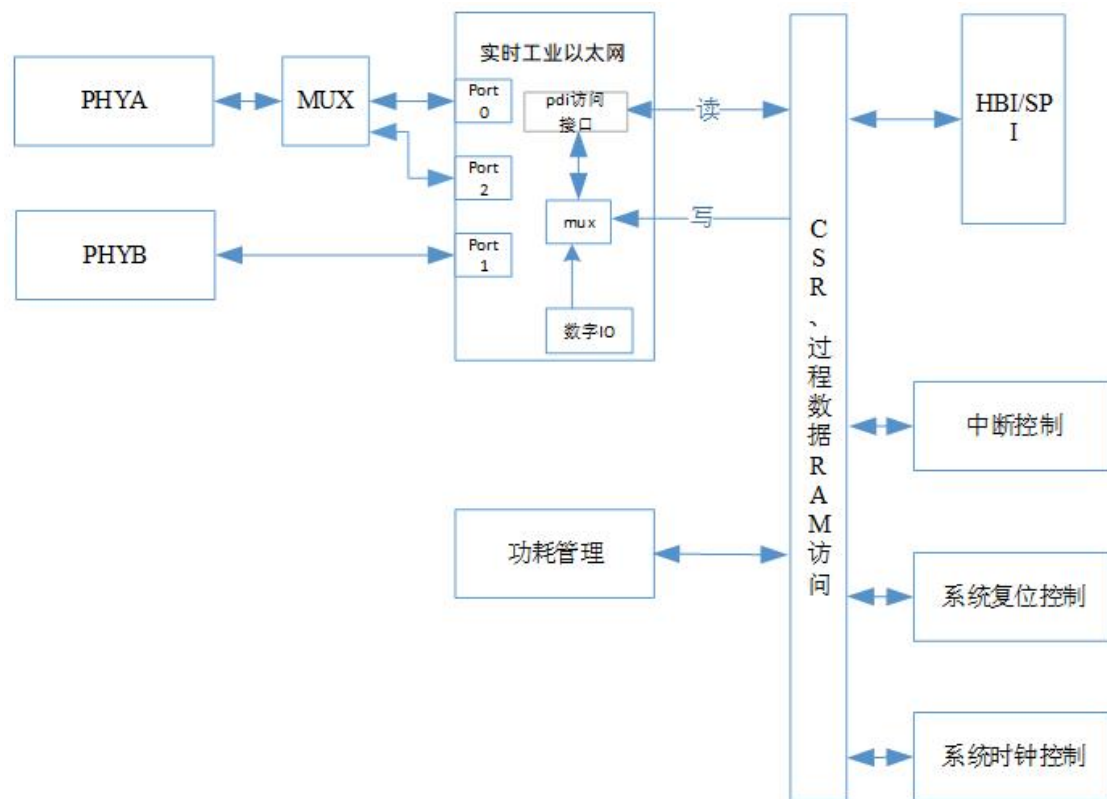


图 3-1 E252 功能框图

4. 引脚说明和配置

4.1. 引脚分配

表 4-1 引脚分配

引脚编号	HBI变址寻址模式引脚名称	HBI复用模式引脚名称	数字I/O模式引脚名称	SPI（使能GPIO）模式引脚名称	SPI（使能MII）模式引脚名称
1	OSCI				
2	OSCO				
3	OSCVDD12				

引脚 编号	HBI变址寻址 模式引脚名称	HBI复用 模式引脚 名称	数字I/O 模式 引脚名称	SPI（使能 GPIO） 模式引脚名称	SPI（使能 MII） 模式引脚名称
4	OSCVSS				
5	VDD33				
6	VDDCR				
7	REG_EN				
8	FXLOSEN				
9	FXSDENA				
10	FXSDENB				
11	RST#				
12	D2	AD2	SOF	SIO2	
13	D1	AD1	EOF	SO/SIO1	
14	VDDIO				
15	D14	AD14	DIGIO8	GPI8/GPO8	MII_TXD3/ TX_SHIFT1
16	D13	AD13	DIGIO7	GPI7/GPO7	MII_TXD2/ TX_SHIFT0
17	D0	AD0	WD_STATE	SI/SIO0	
18	SYNC1/LATCH1				
19	D9	AD9	LATCH_IN	SCK	
20	VDDIO				
21	D12	AD12	DIGIO6	GPI6/GPO6	MII_TXD1
22	D11	AD11	DIGIO5	GPI5/GPO5	MII_TXD0
23	D10	AD10	DIGIO4	GPI4/GPO4	MII_TXEN
24	VDDCR				
25	A1	ALELO	OE_EXT	-	MII_CLK25
26	A3	-	DIGIO11	GPI11/GPO11	MII_RXDV
27	A4	-	DIGIO12	GPI12/GPO12	MII_RXD0
28	CS		DIGIO13	GPI13/GPO13	MII_RXD1
29	A2	ALEHI	DIGIO10	GPI10/GPO10	LINKACTLED2/ MII_LINKPOL
30	WR/ENB		DIGIO14	GPI14/GPO14	MII_RXD2
31	RD/RD_WR		DIGIO15	GPI15/GPO15	MII_RXD3
32	VDDIO				
33	A0/D15	AD15	DIGIO9	GPI9/GPO9	MII_RXER
34	SYNC0/LATCH0				
35	D3	AD3	WD_TRIG	SIO3	
36	D6	AD6	DIGIO0	GPI0/GPO0	MII_RXCLK
37	VDDIO				
38	VDDCR				
39	D7	AD7	DIGIO1	GPI1/GPO1	MII_MDC

引脚 编号	HBI变址寻址 模式引脚名称	HBI复用 模式引脚 名称	数字I/O 模式 引脚名称	SPI（使能 GPIO） 模式引脚名称	SPI（使能 MII） 模式引脚名称
40	D8	AD8	DIGIO2	GPI2/GPO2	MII_MDIO
41	TESTMODE				
42	EESDA				
43	EESCL				
44	IRQ				
45	RUNLED/E2PSIZE				
46	LINKACTLED1/CHIP_MODE1				
47	VDDIO				
48	LINKACTLED0/CHIP_MODE0				
49	D4	AD4	DIGIO3	GPI3/GPO3	MII_LINK
50	D5	AD5	OUTVALID	SCS#	
51	VDD33TXRX1				
52	TXNA				
53	TXPA				
54	RXNA				
55	RXPA				
56	VDD12TX1				
57	RBIAS				
58	VDD33BIAS				
59	VDD12TX2				
60	RXPB				
61	RXNB				
62	TXPB				
63	TXNB				
64	VDD33TXRX2				
外露 焊盘	VSS				

4.2. 引脚总体说明

本节包含E252各个引脚的说明。引脚说明已划分为如下各个功能组：

- LAN端口A引脚说明
- LAN端口B引脚说明
- LAN端口A和端口B的电源和通用引脚说明
- 实时工业以太网 MII端口和配置脚引脚说明
- 主机总线引脚说明
- SPI/SQI引脚说明
- 实时工业以太网分布式时钟引脚说明
- 实时工业以太网数字I/O和GPIO引脚说明

- EEPROM引脚说明
- LED和配置脚引脚说明
- 其他引脚说明
- JTAG引脚说明
- 内核和I/O电源引脚说明

表 4-2 缓冲器类型说明

缓冲器类型	说明
IS	施密特触发器输入
VIS	施密特触发器输入
VO8	具有8 mA灌电流和8 mA 拉电流的输出
VOD8	具有8 mA灌电流的漏极开路输出
VO12	具有12 mA灌电流和12 mA拉电流的输出
VOD12	具有12 mA灌电流的漏极开路输出
VOS12	具有12 mA拉电流的源极开路输出
VO16	具有16 mA灌电流和16 mA拉电流的输出
PU	50 μ A（典型值）内部上拉。除非引脚说明中另外说明，否则始终使能内部上拉。 内部上拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉高的负载时，必须添加外部电阻。
PD	50 μ A（典型值）内部下拉。除非引脚说明中另外说明，否则始终使能内部下拉。 内部下拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉低的负载时，必须添加外部电阻。
AI	模拟输入
AIO	模拟双向
ICLK	晶振输入引脚
OCLK	晶振输出引脚
P	电源引脚

表 4-3 LAN端口A引脚说明

引脚	名称	符号	缓冲器类型	说明
1	端口A TP TX/ RX正通道1	TXPA	AIO	端口A双绞线发送/接收正通道1。请参见注1。
	端口A FX TX 正通道			端口A光纤发送正通道。
1	端口A TP TX/ RX负通道1	TXNA	AIO	端口A双绞线发送/接收负通道1。请参见注1。
	端口A FX TX 负通道			端口A光纤发送负通道。
1	端口A TP TX/ RX正通道2	RXPA	AIO	端口A双绞线发送/接收正通道2。请参见注1。

引脚	名称	符号	缓冲器类型	说明
	端口A FX RX 正通道		AI	端口A光纤接收正通道。
1	端口A TP TX/ RX负通道2	RXNA	AIO	端口A双绞线发送/接收负通道2。请参见注1。
	端口A FX RX 负通道		AI	端口A光纤接收负通道。
1	端口A FX-SD 使能配置脚	<u>FXSDEN</u> <u>A</u>	AI	端口A FX-SD使能。该配置 脚输入在FX-SD和铜制双绞线模式间选择。当该引脚接GND33A时，选择铜缆模式，否则作为光纤模式的SD引脚使用；请参见注2。

注1：在铜制双绞线模式下，通道1与通道2一个用作发送对，一个用作接收对。双绞线引脚的引脚名称符号适用于正常连接。如果使能了HP Auto-MDIX 并且检测到或手动选择了反向连接，则RX和TX引脚将在内部交换。

注2：配置脚引脚通过带下划线的符号名称标识。配置脚值在上电复位时或RST#置为无效时锁存。更多信息，请参见配置脚。

注： 端口A连接到实时工业以太网端口0或2。

表 4-4 LAN端口B引脚说明

引脚	名称	符号	缓冲器类型	说明
1	端口B TP TX/ RX正通道1	TXPB	AIO	端口B双绞线发送/接收正通道1。请参见注3。
	端口B FX TX 正通道			端口B光纤发送正通道。
1	端口B TP TX/ RX负通道1	TXNB	AIO	端口B双绞线发送/接收负通道1。请参见注3。
	端口B FX TX 负通道			端口B光纤发送负通道。
1	端口B TP TX/ RX正通道2	RXPB	AIO	端口B双绞线发送/接收正通道2。请参见注3。
	端口B FX RX 正通道		AI	端口B光纤接收正通道。
1	端口B TP TX/ RX负通道2	RXNB	AIO	端口B双绞线发送/接收负通道2。请参见注3。
	端口B FX RX 负通道		AI	端口B光纤接收负通道。
1	端口B FX-SD 使能配置脚	<u>FXSDEN</u> <u>B</u>	AI	端口B FX-SD使能。该配置 脚输入在FX-SD和铜制双绞线模式间选择。当该引脚接GND33A时，选择铜缆模式，否则作为光纤模式的SD引脚使用；请参见注4。

注3：在铜制双绞线模式下，通道1与通道2一个用作发送对，一个用作接收对。双绞线引脚的引脚名称符号适用于正常连接。如果使能了 HP Auto-MDIX 并且检测到或手动选择了反向连接，则 RX 和TX 引脚将在内部交换。

注4：配置脚引脚通过带下划线的符号名称标识。配置脚值在上电复位时或RST#置为无效时锁存。更多信息，请参见配置脚。

注：端口B连接至实时工业以太网端口1。

表 4-5 LAN端口A和端口B的电源和通用引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	偏置参考	RBIAS	AI	用于内部偏置电路。连接至外部12.1 k Ω 、1%精度的电阻（接地）。 有关连接信息，请参见器件的参考原理图。 注：标称电压为1.2V，电阻将消耗约1 mW的功率。
1	PHY_mdc时钟选择信号	FXLOSEN	VIS/VO8	选择PHY的MII管理接口的时钟信号来源。 0：实时工业以太网输出 1：时钟控制模块输出
1	+3.3V端口A 模拟电源	VDD33TXRX1	P	请参见注5。
1	+3.3V端口B 模拟电源	VDD33TXRX2	P	请参见注5。
1	+3.3V主偏置 电源	VDD33BIAS	P	请参见注5。
1	端口A发送器+1.2V电源	VDD12TX1	P	该引脚由外部1.2V 电源供电或者由器件的内部稳压器通过PCB 供电。该引脚必须连接至VDD12TX2 引脚，才能正常工作。 请参见注5。
1	端口B发送器+1.2V电源	VDD12TX2	P	该引脚由外部1.2V 电源供电或者由器件的内部稳压器通过PCB 供电。该引脚必须连接至VDD12TX1 引脚，才能正常工作。 请参见注5。

注5：有关连接的更多信息，请参见电源连接、器件参考原理图以及器件LANCheck原理图清单。

表 4-6 实时工业以太网 MII端口和配置脚引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	25 MHz时钟	MII_CLK2₅	VO12注6	该引脚是自由运行的25 MHz时钟，可用作PHY 的时钟输入。
4	接收数据MII端口	MII_RXD[3:0]	VIS (PD)	这些引脚从外部PHY接收数据。
1	接收数据有效 MII 端口	MII_RXDV	VIS (PD)	该引脚从外部PHY接收数据有效信号。
1	接收错误MII端口	MII_RXER	VIS (PD)	该引脚从外部PHY接收错误信号。
1	接收时钟MII端口	MII_RXCLK	VIS (PD)	该引脚从外部PHY接收时钟。
4	发送数据MII端口	MII_TXD[3:0]	VO8	这些引脚向外部PHY发送数据。
	MII发送时序移位配置脚	TX_SHIFT[1:0]	VIS (PU) 注7	这些配置脚配置外部MII 总线发送时序移位硬配置脚 的值。请参见注8。 TX_SHIFT[1]在MII_TXD[3]上， TX_SHIFT[0] 在 MII_TXD[2] 上。

引脚编号	名称	符号	缓冲器类型	说明
1	发送数据使能MII端口	MII_TXEN	VO8	该引脚向外部PHY发送数据使能信号。
1	链路状态MII端口	MII_LINK	VIS	该引脚由PHY 提供，指示已建立100 Mbps 全双工链 路。极性可由link_pol_strap_mii配置脚配置。
1	SMI时钟	MII_MDC	VO8	该引脚是外部PHY的串行管理时钟。
1	SMI数据	MII_MDIO	VIS/VO8	该引脚是外部PHY的串行管理接口数据输入/输出。 注：需要外部上拉来确保 MDIO 信号的非驱动状态为逻辑1。

注6：建议使用串联端接电阻来实现最佳PCB信号完整性。

注7：可能需要外接上拉，具体取决于外部MAC/PHY 器件的输入电流负载。

注8：配置脚引脚通过带下划线的符号名称标识。配置脚值在上电复位时或RST# 置为无效时锁存。更多信息，请参见配置脚。

表 4-7 主机总线引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	读	RD	VIS	该引脚是主机总线读选通引脚。 通常为低电平有效，极性可通过PDI 配置寄存器的 HBI读取以及读/写极性位更改（HBI模式）。
	读或写	RD/WR	VIS	该引脚是主机总线方向控制引脚。与ENB引脚配合 使用时，它指示读或写操作。 正常极性是为1时读取，为0时写入（R/nW），但可 通过PDI配置寄存器的HBI读取以及读/写极性位更改（HBI模式）。
1	写	WR	VIS	该引脚是主机总线写选通引脚。 通常为低电平有效，极性可通过PDI 配置寄存器的 HBI写入以及使能极性位更改（HBI模式）。
	使能	ENB	VIS	该引脚是主机总线数据使能选通引脚。与RD_WR引 脚配合使用时，它指示数据工作阶段。 通常为低电平有效，极性可通过PDI 配置寄存器的 HBI写入以及使能极性位更改（HBI模式）。
1	片选	CS	VIS	该引脚是主机总线片选引脚，指示器件被选择用于 当前传输。 通常为低电平有效，极性可通过PDI 配置寄存器的 HBI片选极性位更改（HBI 模式）。
5	地址	A[4:0]	VIS	这些引脚为非复用地址模式提供地址。 在16位数据模式下，不使用bit 0。
16	数据	D[15:0]	VIS/VO8	这些引脚是非复用地址模式的主机总线数据总线。 在8位数据模式下，不使用bit 15-8，其对应的输入和 输出驱动器被禁止。

	地址和数据	AD[15:0]	VIS/VO8	<p>这些引脚是复用地址模式的主机总线地址/数据线。</p> <p>Bit 15-8为单阶段复用地址模式提供地址的高字节。</p> <p>Bit 7-0为单阶段复用地址模式提供地址的低字节，为 双阶段复用地址模式提供地址的高字节和低节。</p> <p>在8位数据双阶段复用地址模式下，不使用bit 15-8， 其对应的输入和输出驱动器被禁止。</p>
1	地址锁存器使能高字节	ALEHI	VIS	<p>该引脚指示复用地址模式的地址阶段。它用于在双 阶段复用地址模式下装载高地址字节。</p> <p>通常为低电平有效（在上升沿保存地址），极性可 通过PDI配置寄存器的HBI ALE极性位配置（HBI 模式）。</p>
1	地址锁存器使能低字节	ALELO	VIS	<p>该引脚指示复用地址模式的地址阶段。它用于在单 阶段复用地址模式下装载高地址字节和低地址字 节，在双阶段复用地址模式下装载低地址字节。</p> <p>通常为低电平有效（在上升沿保存地址），极性可 通过PDI配置寄存器的HBI ALE极性位配置（HBI 模式）。</p>

表 4-8 SPI/SQI引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	SPI/SQI从片选	SCS#	VIS (PU)	该引脚是SPI/SQI 从片选输入。低电平时，选择SPI/ SQI 从器件进行SPI/SQI 传输。高电平时， SPI/SQI 串行数据输出为三态。
1	SPI/SQI从串行时钟	SCK	VIS (PU)	该引脚是SPI/SQI从串行时钟输入。
4	SPI/SQI从串行数据输入/输出	SIO[3:0]	VIS/VO8 (PU)	这些引脚是多位I/O的SPI/SQI从数据输入和输出。
	SPI从串行数据输入	SI	VIS (PU)	该引脚是SPI从串行数据输入。SI与SIO0引脚共用。
	SPI从串行数据输出	SO	VO8 (PU) 注9	该引脚是SPI从串行数据输出。 SO与SIO1引脚共用。

注9：虽然该引脚是SPI指令的输出，但它包含上拉，因为它还是SIO bit 1。

表 4-9 实时工业以太网分布式时钟引脚说明

引脚编号	名称	符号	缓冲器类型	说明
2	同步	SYNC[1] SYNC[0]	VO8/VOD8/VOS8	<p>这些引脚是分布式时钟同步（输出）或锁存（输入）信号。方向可按位配置。</p> <p>注：装载EEPROM之前，不驱动这些信号（高阻态）。</p>
	锁存器	LATCH[1] LATCH[0]	VIS	

表 4-10 实时工业以太网数字I/O和GPIO 引脚说明

引脚编号	名称	符号	缓冲器类型	说明
------	----	----	-------	----

引脚编号	名称	符号	缓冲器类型	说明
16	通用输入	GPI[15:0]	VIS	这些引脚是通用输入，直接映射到通用输入寄存器。不提供通用输入的一致性。
	通用输出	GPO[15:0]	VO8/VOD8	这些引脚是通用输出，反映不带看门狗保护时通用输出寄存器的值。 注：装载EEPROM之前，不驱动这些信号（高阻态）。
16	数字I/O	DIGIO[15:0]	VIS/VO8	这些引脚为输入/输出或双向数据。 注：装载EEPROM之前，不驱动这些信号（高阻态）。
1	输出有效	OUTVALID	VO8	该引脚指示输出有效并且可被捕捉到外部寄存器中。 注：装载EEPROM之前，不驱动该信号（高阻态）。
1	锁存器输入	LATCH_IN	VIS	该引脚是外部数据锁存器信号。输入数据在每次识别到LATCH_IN上升沿时进行采样。
1	看门狗触发信号	WD_TRIG	VO8	该引脚是SyncControlUnit看门狗触发信号输出。 注：装载EEPROM之前，不驱动该信号（高阻态）。
1	看门狗状态	WD_STATE	VO8	该引脚是SyncControlUnit看门狗状态输出。0表示看门狗已超时。 注：装载EEPROM之前，不驱动该信号（高阻态）。
1	帧起始	SOF	VO8	该引脚是帧起始输出，指示以太网/实时工业以太网帧的起始。 注：装载EEPROM之前，不驱动该信号（高阻态）。
1	帧结束	EOF	VO8	该引脚是帧结束输出，指示以太网/实时工业以太网帧的结束。 注：装载EEPROM之前，不驱动该信号（高阻态）。
1	输出使能	OE_EXT	VIS	该引脚是输出使能输入。低电平时，它会清零输出数据。

表 4-11 EEPROM引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	EEPROM I2C串行数据输入/输出	EESDA	VIS/VOD8	当器件正访问外部EEPROM时，该引脚是I2C串行数据输入/漏极开路输出。 注：该引脚必须始终通过外部电阻上拉。
1	EEPROM I2C 串行时钟	EESCL	VOD8	当器件正访问外部EEPROM时，该引脚是I2C时钟漏极开路输出。 注：该引脚必须始终通过外部电阻上拉。

表 4-12 LED 和配置脚引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	链路/活动 LED 端口 2	LINKACTLED2	VOD12/ VOS12	该引脚是端口 2 的链路/ 活动 LED 输出（熄灭 = 无链路； 点亮 = 有链路但无活动； 闪烁 = 有链路且有 活动）。 该引脚配置为漏极开路/ 源极开路输出。该引脚的漏 极开路与源极开路以及极性的选择取决于复位时采 样的配置脚值。 注：更多信息，请参见 LED。
	MII 端口 链路极性配置脚	MII_LINKPOL	VIS (PU)	该配置脚通过设置 link_pol_strap_mii 的值来配置 MII_LINK 引脚的极性。请参见注 10。
1	运行 LED	RUNLED	VOD12/ VOS12	该引脚是运行 LED 输出，由 AL 状态寄存器控制。 该引脚配置为漏极开路/ 源极开路输出。该引脚的漏 极开路与源极开路以及极性的选择取决于复位时采 样的配置脚值。 注：更多信息，请参见 LED。
	EEPROM 大小配置脚	E2PSIZE	VIS (PU)	该配置脚配置 EEPROM 大小硬配置脚的值。请参见注 10。 低电平选择 1 Kb（128 x 8）至 16 Kb（2K x 8）。 高电平选择 32 Kb（4K x 8）至 4 Mb（512K x 8）。
1	链路/活动 LED 端口 1	LINKACTLED1	VOD12/ VOS12	该引脚是端口 1 的链路/ 活动 LED 输出（熄灭 = 无链路； 点亮 = 有链路但无活动； 闪烁 = 有链路且有 活动）。 该引脚配置为漏极开路/ 源极开路输出。该引脚的漏 极开路与源极开路以及极性的选择取决于复位时采 样的配置脚值。 注：更多信息，请参见 LED。
	芯片模式配置脚 1	CHIP_MODE1	VIS (PU)	该配置脚与 CHIP_MODE0 共同配置芯片模式硬配置脚的值。请参见注 10。
1	链路/活动 LED 端口 0	LINKACTLED0	VOD12/ VOS12	该引脚是端口 0 的链路/ 活动 LED 输出（熄灭 = 无链路； 点亮 = 有链路但无活动； 闪烁 = 有链路且有 活动）。 该引脚配置为漏极开路/ 源极开路输出。该引脚的漏 极开路与源极开路以及极性的选择取决于复位时采 样的配置脚值。 注：更多信息，请参见 LED。
	芯片模式配置脚 0	CHIP_MODE0	VIS (PU)	该配置脚与 CHIP_MODE1 共同配置芯片模式硬配置脚的值。请参见注 10。

注 10：配置脚引脚通过带下划线的符号名称标识。配置脚值在上电复位时或 RST# 置为无效时锁存。更多信息，请参见配置脚。

表 4-13 其他引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	中断输出	IRQ	VO8/VOD8	中断请求输出。该信号的极性、来源和缓冲器类型 可通过中断配置寄存器（IRQ_CFG）配置。更多信息，请参见系统中断。
1	系统复位输入	RST#	VIS/VOD8 (PU)	作为输入时，该低电平有效信号允许外部硬件复位 器件。该器件还包含内部上电复位电路。因此，如 果无需外部硬件复位，则可将该信号保持未连接状 态。请参见工作特性中详细介绍的复位时序要求使用该信号。 作为输出时，该信号在POR 或响应来自主控制器或 主机接口的实时工业以太网 复位命令序列期间被驱动为低 电平。
1	稳压器使能	REG_EN	AI	当连接3.3V电压时，将使能内部1.2V稳压器。
1	PHY参考时钟选择信号	TESTMODE	VIS (PD)	该引脚为PHY的参考时钟选择信号，时钟来源为XTAL锁存时钟或晶振时钟。
1	晶振输入	OSCI	ICLK	外部25 MHz 晶振输入。该引脚也可由单端时钟振荡 器驱动。如果采用这种方法，OSCO 应保持未连接 状态。
1	晶振输出	OSCO	OCLK	外部25 MHz晶振输出。
1	晶振+1.2V 电源	OSCVDD12	P	除非通过REG_EN配置为稳压器关闭模式，否则通过 片上稳压器供电。
1	晶振地	OSCVSS	P	晶振地。

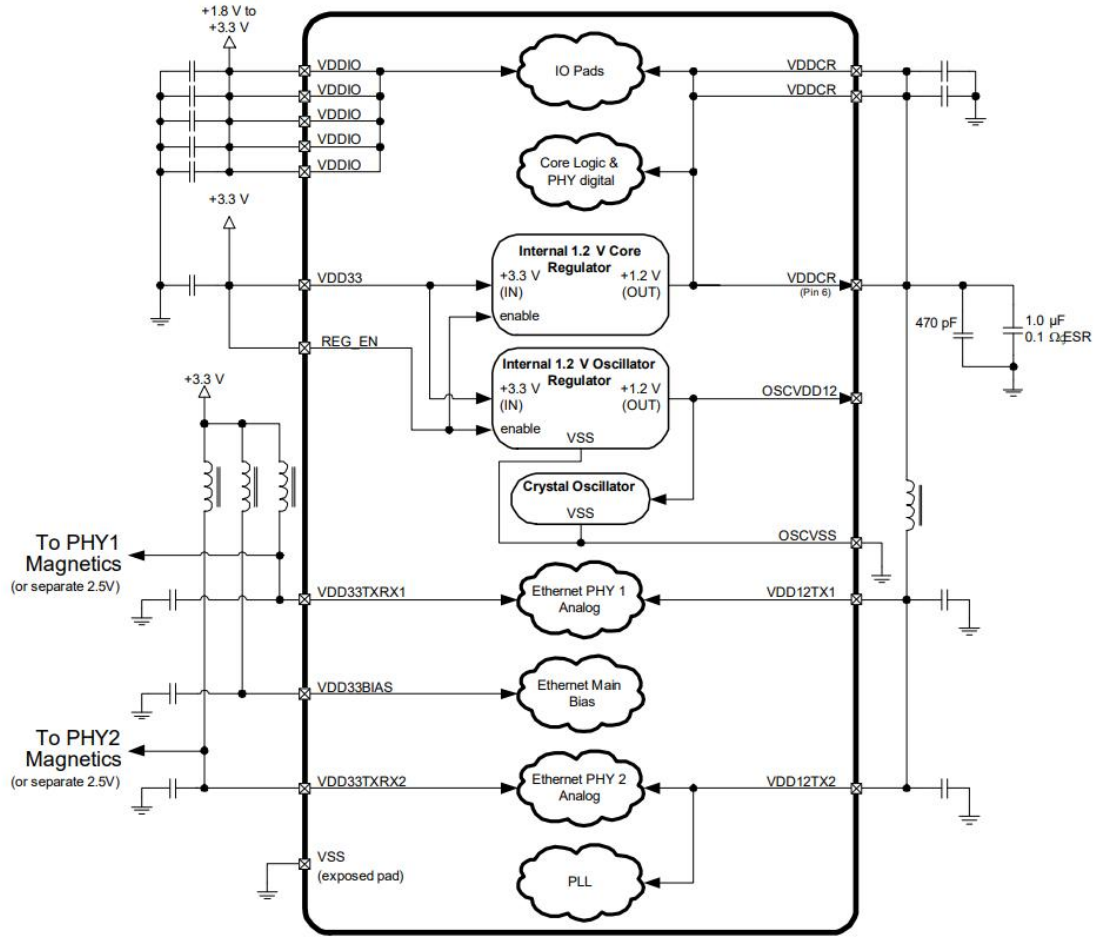
表 4-13 内核和I/O电源引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	稳压器+3.3V 电源	VDD33	P	内部稳压器+3.3V电源。请参见注11。 注：即使内部稳压器被禁止，也必须为该引脚 提供+3.3V电压。
5	+3.3V I/O电 源	VDDIO	P	+3.3V I/O电源。请参见注11。
3	+1.2V数字 内核电源	VDDCR	P	除非通过REG_EN配置为稳压器关闭模式，否则通 过片上稳压器供电。 应在引脚6 上使用并连接地的1 μ F 和470 pF 去耦电 容。请参见注11。
1 焊盘	地	VSS	P	公共接地端。此外露焊盘必须通过过孔阵列 连接到 地平面。

注11：有关更多连接信息，请参考第5节“电源连接”部分中的设备参考原理图

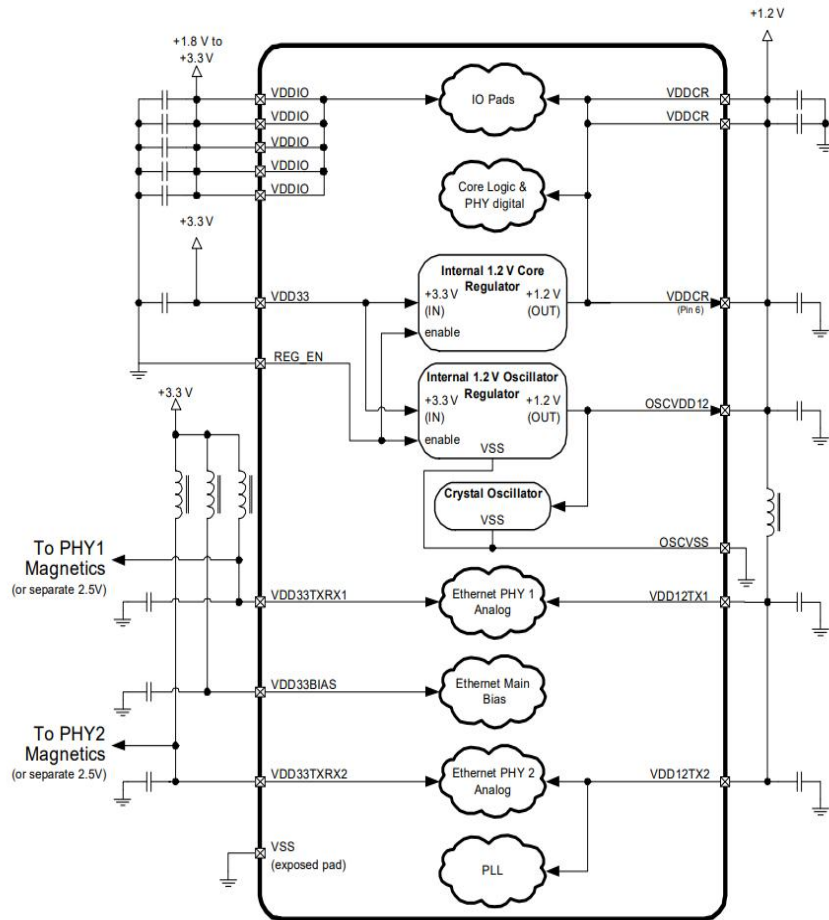
5. 电源连接

图 5-1和图 5-2分别给出了使能和禁止稳压器时的器件电源连接。



注：按需为PCB添加旁路电容和大电容

图 5-1 使能稳压器时的电源连接



注：按需为PCB添加旁路电容和大电容

图 5-2 禁止稳压器时的电源连接

5.1. 内部稳压器

E252包含两个内部1.2V 稳压器：

- ◆ 1.2V内核稳压器
- ◆ 1.2V晶振稳压器

5.1.1. 1.2V内核稳压器

内核稳压器为主要内核数字逻辑、I/O 焊盘和PHY的数字逻辑提供1.2V 电压，可用于通过外部连接为PHY模拟部分提供1.2V 电源。

当REG_EN输入引脚连接至3.3V 时，内核稳压器将使能并在VDD33引脚上获得3.3V 电压。必须将一个1.0uF ESR电容连接至与稳压器关联的VDDCR引脚。

当REG_EN输入引脚连接至VSS时，将禁止内核稳压器。但是，必须仍为VDD33引脚提供3.3V电压。随后，必须从外部为VDDCR引脚输入1.2V内核电压。

5.1.2. 1.2V晶振稳压器

晶振稳压器为晶振提供1.2V电压。当REG_EN输入引脚连接至3.3V时，晶振稳压器将使能并在VDD33引脚上获得3.3V电压。无需外部电容。

当REG_EN输入引脚连接至VSS时，将禁止晶振稳压器。但是，必须仍为VDD33引脚

提供3.3V电压。随后，必须从外部为OSCVDD12引脚输入1.2V晶振电压。

6. 寄存器映射

本章将详细介绍器件寄存器映射并汇总各种可直接寻址的系统控制和状态寄存器（Control and Status Register, CSR）。有关系统CSR 的详细说明，请参见与其功能对应的各个章节。器件的各个子模块中提供了更多可间接寻址的寄存器。这些寄存器的相应章节也提供了详细说明。

可直接寻址的寄存器

- ◆ 请参见实时工业以太网 CSR和过程数据RAM访问寄存器（可直接寻址）
- ◆ 请参见系统控制和状态寄存器
- ◆ 请参见PHY CSR寄存器（可直接寻址）

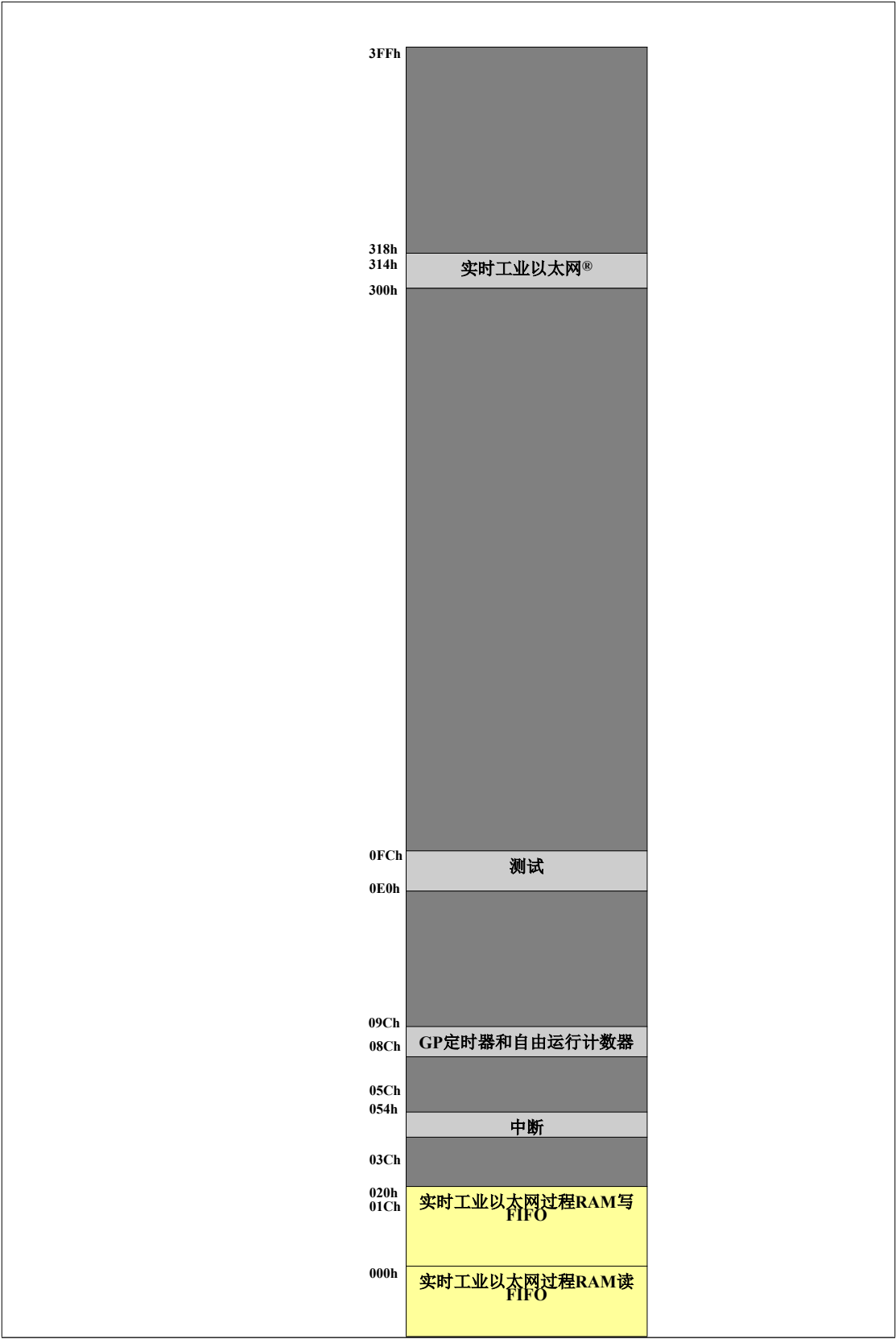
可间接寻址的寄存器

- ◆ 请参见PHY寄存器
- ◆ 请参见实时工业以太网内核CSR寄存器（可间接寻址）

下图中从总体上给出了器件的基础寄存器存储器映射。该存储器映射未按比例绘制，仅用于一般参考。下表提供了所有 可直接寻址的CSR及其相应地址的汇总。

注：请参见寄存器命名提供了寄存器位类型定义。

并非所有器件寄存器均映射到存储器或可直接寻址。有关各种器件寄存器的可访问性的详细信息，请参见上面列出的各寄存器小节。



注：并未显示所有寄存器

3FFh	Reserved
318h 317h	CSR和过程数据RAM访问寄存器
300h 2FFh	Reserved
1FCh 1FBh	复位控制寄存器
1F8h 1F7h	Reserved
11Ch 11Bh	PHY CSR寄存器
100h 0FFh	Reserved
088h 084h	功耗管理控制寄存器 (PMT_CTRL)
083h 078h	Reserved
074h 073h	硬件配置寄存器 (HW_CFG)
068h 064h	字节顺序测试寄存器 (BYTE_TEST)
063h 060h	Reserved
05Ch 054h	中断
050h 04Fh	芯片ID和版本 (ID_REV)
03Dh 03Ch	Reserved
020h 01Ch	Process RAM Write FIFO
000h	Process RAM Read FIFO

图 6-1 寄存器地址映射

6.1. 系统控制和状态寄存器

系统CSR是可直接寻址的存储器映射寄存器，其基址偏移范围为050h至314h。这些寄存器可由主机通过主机总线接口（Host Bus Interface，HBI）或SPI/SQI寻址。有关各种器件模式及其相应地址配置的详细信息，请参见概述。

下表按顺序列出了系统CSR及其相应地址。当触发芯片级复位时，所有系统CSR均复位为默认值。

系统CSR可分为以下几个子类别：其中每个子类别均位于相应的章节，并包含相关寄存器的系统CSR说明。寄存器说明的分类如下：

- ◆ 请参见复位寄存器
- ◆ 请参见功耗管理寄存器
- ◆ 请参见中断寄存器
- ◆ 请参见实时以太网 CSR和过程数据RAM访问寄存器（可直接寻址）
- ◆ 请参见其他系统配置和状态寄存器

注：未列出的寄存器保留供将来使用。

表 6-1 系统控制和状态寄存器

地址	寄存器名称（符号）
000h-01Ch	实时以太网过程RAM读数据FIFO（PRAM_RD_DATA）
020h-03Ch	实时以太网过程RAM写数据FIFO（PRAM_WR_DATA）
050h	芯片ID和版本（ID_REV）
054h	中断配置寄存器（IRQ_CFG）
058h	中断状态寄存器（INT_STS）
05Ch	中断允许寄存器（INT_EN）
064h	字节顺序测试寄存器（BYTE_TEST）
074h	硬件配置寄存器（HW_CFG）
084h	功耗管理控制寄存器（PMT_CTRL）
08Ch	通用定时器配置寄存器（GPT_CFG）
090h	通用定时器计数寄存器（GPT_CNT）
09Ch	自由运行25 MHz计数器寄存器（FREE_RUN）
复位寄存器	
1F8h	复位控制寄存器（RESET_CTL）
实时以太网寄存器	
300h	实时以太网 CSR接口数据寄存器（CSR_DATA）
304h	实时以太网 CSR接口命令寄存器（CSR_CMD）
308h	实时以太网过程RAM读地址和长度寄存器（PRAM_RD_ADDR_LEN）
30Ch	实时以太网过程RAM读命令寄存器（PRAM_RD_CMD）
310h	实时以太网过程RAM写地址和长度寄存器（PRAM_WR_ADDR_LEN）
314h	实时以太网过程RAM写命令寄存器（PRAM_WR_CMD）

6.2. 背靠背周期的特殊限制

6.2.1. 背靠背读写周期

务必注意，背靠背主机读写操作的时序存在特殊限制。这些限制关系到在任何可能影响寄存器的写周期后对寄存器进行的读操作。在所有情况下，写入寄存器与新值可被读取之间都存在一段延时。在其他情况下，写入寄存器与在其他寄存器上产生后续副作用之间也存在一段延时。

为了防止主机在写操作后读取过期数据，确定了最小等待周期。下表详细说明了这些周期。主机处理器需要在写入指示的寄存器之后等待指定的时间周期，才能读取表中指定的资源。请注意，所需的等待周期取决于写操作后读取的寄存器。

对字节顺序测试寄存器（BYTE_TEST）寄存器执行“空”读取是一种保证满足最低读写时序限制的简便方法。下表给出了在读取指示的寄存器前所需的空读次数。该表中的

BYTE_TEST 读取次数基于45 ns的最小周期时序。对于总线速度较慢的微处理器，只要总时间等于或大于表中指定的时间，就可以减少读取次数。请注意，只要满足最小时间周期，就无需空读BYTE_TEST寄存器。

请注意，根据所用的主机接口模式，基本主机接口周期可能本来就已提供足够的读写间隔时间。这是系统设计和寄存器访问机制确保正确时序所必需的。例如，对同一寄存器的读写操作可能快于对不同寄存器的读写操作。

对于8位和16位写周期，背靠背读写操作的等待时间仅适用于对寄存器最后一个字节或字的写操作，此操作将完成一次双字传送。

对于变址地址模式HBI操作，背靠背读写操作的等待时间仅适用于访问内部寄存器和FIFO。它不适用于主机总线接口变址寄存器或主机总线接口配置寄存器。

表 6-2 写后读时序规则

写入后...	等待的纳秒数...	或读取BYTE_TEST的次数... (假定Tcyc为45 ns)	读取前...
任意寄存器	45	1	同一寄存器或受写入影响的任何其他寄存器
中断配置寄存器 (IRQ_CFG)	60	2	中断配置寄存器 (IRQ_CFG)
中断允许寄存器 (INT_EN)	90	2	中断配置寄存器 (IRQ_CFG)
	60	2	中断状态寄存器 (INT_STS)
中断状态寄存器 (INT_STS)	180	4	中断配置寄存器 (IRQ_CFG)
	170	4	中断状态寄存器 (INT_STS)
功耗管理控制寄存器 (PMT_CTRL)	165	4	功耗管理控制寄存器 (PMT_CTRL)
	170	4	中断配置寄存器 (IRQ_CFG)
	160	4	中断状态寄存器 (INT_STS)
通用定时器配置寄存器 (GPT_CFG)	55	2	通用定时器配置寄存器 (GPT_CFG)
	170	4	通用定时器计数寄存器 (GPT_CNT)
实时工业以太网过程RAM写数据 (PRAM_WR_DATA)	50	2	实时工业以太网过程RAM写命令寄存器 (PRAM_WR_CMD)

6.2.2. 背靠背读周期

对于特定的背靠背主机读操作也存在限制。这些限制关系到在读取有副作用的资源后对特定寄存器进行的读操作。在许多情况下，读取器件后要经过一段延时，控制和状态寄存器值才会出现预期的变化。

为了防止主机在背靠背读取时读取过期数据，确定了最小等待周期。下表详细说明了这些周期。主机处理器在对特定的资源组合执行连续读操作之间需要等待指定的时间周期。等待周期取决于所读取的寄存器组合。

对字节顺序测试寄存器 (BYTE_TEST) 寄存器执行“空”读取是一种保证满足最小等待时间限制的简便方法。下表还给出了背靠背读操作所需的空读次数。该表中的BYTE_TEST读取次数基于Tcyc的最小时序 (45 ns)。对于总线速度较慢的微处理器，只要总时间等于或大于表中指定的时间，就可以减少读取次数。只要满足最小时间周期，就无需空读BYTE_TEST寄存器。

请注意，根据所用的主机接口模式，基本主机接口周期可能本来就已提供足够的读操作间隔时间。这是系统设计和寄存器访问机制确保正确时序所必需的。例如，对同一寄存器的多重读操作可能快于对不同寄存器的多重读操作。

对于8位和16位读周期，仅当读取寄存器最后一个字节或字之后（此操作将完成一次双字传送），背靠背读操作才需要等待时间。双字传送内的字节或字访问之间没有等待要求。

表 6-3 读后读时序规则

读取后...	等待的纳秒数...	或读取 BYTE_TEST的次 数... (假定Tcyc为 45ns)	读取前...
实时以太网过程RAM读数据 FIFO (PRAM_RD_DATA)	50	2	实时以太网过程RAM读命令寄 存器 (PRAM_RD_CMD)

7. 时钟、复位和功耗管理

7.1. 时钟

器件可按照各个子模块的要求生成所有系统时钟。时钟子系统由以下部分组成：

- ◆ 晶振
- ◆ PHY PLL

晶振

器件需要固定频率25 MHz时钟源供内部时钟振荡器和PLL使用。这通常通过将25 MHz晶振连接到时钟电路中指定的OSCI和OSCO引脚来提供，请参见时钟电路。此时钟也可以通过使用单端25 MHz时钟源驱动OSCI输入引脚来提供。如果选择单端源，则时钟输入必须连续运行，器件才能正常工作。节能模式允许振荡器或外部时钟输入暂停。请参见芯片级功耗管理所述禁止晶振。

对于系统级验证，可以使能将晶振输出到IRQ引脚上。请参见时钟输出测试模式。晶振由专用稳压器或单独的输入引脚供电。

PHY PLL

PHY PLL接收25 MHz的参考时钟，它除了供内部时钟使用外，还会输出用于产生器件子系统时钟的主系统时钟。PHY PLL可以禁止，如芯片级功耗管理所述。仅当收到请求并且PHY端口处于掉电模式时，才会禁止PHY PLL。

PHY PLL由外部输入引脚供电，通常由器件的1.2V内核稳压器供电。请参见电源连接。

7.2. 复位

器件提供多个硬件和软件复位源，这允许对器件的不同级别进行复位。所有复位可分

为如下几节所述的三种复位类型：

- ◆ 芯片级复位
 - 上电复位（POR）
 - RST#引脚复位
 - 实时工业以太网系统复位
- ◆ 多模块复位
 - 数字复位（DIGITAL_RST）
- ◆ 单模块复位
 - 端口A PHY复位
 - 端口B PHY复位
 - 实时工业以太网控制器复位

器件支持使用配置脚来对各种器件参数进行自动自定义配置。这些配置脚值在所有芯片级复位位置为无效时进行设置，可用于在上电或引脚（RST#）复位时轻松设置芯片的默认参数。

下表汇总了各种复位源对器件的影响。

表 7-1 复位源和受影响的器件功能

模块/功能	POR	RST#引脚	实时工业以太网系统复位	数字复位	实时工业以太网模块复位
25 MHz振荡器	(1)				
稳压器	(2)				
实时工业以太网内核	X	X	X	X	X
PHY A	X	X	X		
PHY B	X	X	X		
通用PHY	(3)				
电压监控	(3)				
PLL	(3)				
SPI/SQI从器件	X	X	X	X	
主机总线接口	X	X	X	X	
功耗管理	X	X	X	X	
通用定时器	X	X	X	X	
自由运行计数器	X	X	X	X	
系统CSR	X	X	X	X	
配置脚锁存	是	是	是	否(4)	
EEPROM加载程序运行	是	是	是	是	是
三态输出引脚(5)	是	是	是		
RST#引脚驱动为低电平	是		是		
注： 1. POR由XTAL稳压器执行，而不在系统级执行 2. POR在稳压器内部执行 3. POR在PHY内部执行 4. 配置脚输入不会重新锁存 5. 仅限用于配置脚的输出引脚					

7.2.1. 芯片级复位

芯片级复位事件激活所有内部复位，可有效复位整个器件。芯片级复位通过触发以下

任何输入事件启动：

- ◆ 上电复位（POR）
- ◆ RST#引脚复位
- ◆ 实时工业以太网系统复位

首先可通过轮询字节顺序测试寄存器（BYTE_TEST）确定芯片级复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位的完成必须通过轮询硬件配置寄存器（HW_CFG）或功耗管理控制寄存器（PMT_CTRL）的READY位直至该位置1来确定。READY位置1时表示复位已完成且器件已准备好接受访问。

除了硬件配置寄存器（HW_CFG）、功耗管理控制寄存器（PMT_CTRL）、字节顺序测试寄存器（BYTE_TEST）和复位控制寄存器（RESET_CTL）外，当READY位清零时，对任何内部资源进行读访问都不应通过软件完成。在READY位置1之前，对任何地址的写操作均是无效的。

芯片级复位涉及可变输出电平焊盘的调节、配置脚的锁存以及主复位的生成。

配置脚锁存

在POR、实时工业以太网复位或RST#引脚复位期间，配置脚锁存将开启。在POR、实时工业以太网复位或RST#引脚复位释放后，配置脚锁存将关闭。

主复位和时钟生成复位

在使能输出引脚后，复位与主系统时钟同步而成为主复位。主复位用于生成本地复位以及复位时钟生成。

7.2.1.1. 上电复位（POR）

当器件刚上电或者断开电源并将其重新施加到器件时，将发生上电复位。此事件会复位器件内的所有电路。此复位的结果是锁存配置脚并执行EEPROM加载。POR用于触发可变电平I/O焊盘的调节以及芯片级复位。

POR也可用作系统级复位。RST#变为漏极开路输出，并在POR期间置为有效。其目的是在实时工业以太网内核复位时完全复位实时工业以太网从器件并/或使外部PHY保持复位。作为漏极开路输出，RST#应线或到系统复位中。

注：以太网PHY应连接至RST#引脚，以使PHY在实时工业以太网从器件就绪前保持复位。否则，远端链路伙伴会检测来自PHY的有效链路信号，并会“打开”其端口而假定本地实时工业以太网从器件已就绪。

在所有电压均工作前，不会驱动RST#引脚。如果系统需要在电源斜升期间保持复位，则需要外部系统级解决方案。

施加有效电压后，POR复位通常需要约21 ms。

7.2.1.2. RST#引脚复位

将RST#输入引脚驱动为低电平会启动芯片级复位。此事件会复位器件内的所有电路。使用此复位输入是可选的，但使用时，必须将其驱动复位和配置脚时序中指定的时间段，请参见复位和配置脚时序。此复位的结果是锁存配置脚并执行EEPROM加载。

RST#引脚复位通常需要约10ns。

注：RST#引脚在内部拉高。如果未使用，此信号可保持未连接状态。请勿依靠内部上

拉电阻驱动器件外部的信号。

有关RST#引脚的说明，请参见其他引脚说明表格。

7.2.1.3. 实时工业以太网系统复位

实时工业以太网系统复位由三个独立的连续帧/命令组成的特殊序列启动，其功能与RST#引脚复位相同，除了在实时工业以太网系统复位期间，RST#引脚变为漏极开路输出，并且置为有效的的时间至少需要80 ms。

RST#是漏极开路输出，应线或到系统复位中。

注：将RST#引脚连接到系统复位的目的是对实时工业以太网从器件执行完全复位。实时工业以太网主器件只在极其罕见的情况下发起复位，即本地单片机因严重事件停止且无法被通知重新初始化时。

7.2.2. 模块级复位

模块级复位包含各种复位寄存器位输入，并为各种模块生成复位。模块级复位可影响一个或多个模块。

7.2.2.1. 多模块复位

多模块复位激活多个内部复位，但不会复位整个芯片。配置脚不会在多模块复位时锁存。多模块复位通过将以下位置为有效来启动：

- 数字复位（DIGITAL_RST）

首先可通过轮询字节顺序测试寄存器（BYTE_TEST）确定多模块复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位的完成必须通过轮询硬件配置寄存器（HW_CFG）或功耗管理控制寄存器（PMT_CTRL）的READY位直至该位置1来确定。READY位置1时表示复位已完成且器件已准备好接受访问。

除了硬件配置寄存器（HW_CFG）、功耗管理控制寄存器（PMT_CTRL）、字节顺序测试寄存器（BYTE_TEST）和复位控制寄存器（RESET_CTL）外，当READY位清零时，对任何内部资源进行读访问都不应通过软件完成。在READY位置1之前，对任何地址的写操作均是无效的。

注：数字复位不会复位指定为NASR的寄存器位。

- 数字复位（DIGITAL_RST）

通过将复位控制寄存器（RESET_CTL）的DIGITAL_RST位置1来执行数字复位。数字复位将复位器件的所有子模块，但以太网PHY除外。EEPROM加载在此复位后执行。数字复位后不会锁存配置脚。

数字复位通常需要约1.3ms。

7.2.2.2. 单模块复位

单模块复位将仅复位指定的模块。单模块复位不会锁存配置脚。单模块复位通过触发以下复位来启动：

- 端口A PHY复位
- 端口B PHY复位
- 实时工业以太网控制器复位

端口A PHY复位

端口A PHY复位通过将复位控制寄存器（RESET_CTL）的PHY_A_RST位或PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的软复位位置1来执行。完成端口A PHY复位后，PHY_A_RST位和软复位位自动清零。器件的其他模块不会受到此复位的影响。

端口A PHY复位的完成可通过轮询复位控制寄存器（RESET_CTL）中的PHY_A_RST位或PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的软复位位是否清零来确定。在正常情况下，发生端口A PHY复位后，PHY_A_RST和软复位位将清零约102 us。

注：当使用软复位位复位端口A PHY时，不会复位指定为NASR的寄存器位。

除了上述方法外，端口A PHY会在从PHY掉电模式恢复后自动复位。此复位的不同之处在于PHY掉电模式复位不会重载或复位任何PHY寄存器。更多信息，请参见PHY掉电模式。

如果端口A PHY处于100BASE-FX模式，它将在增强型链路检测功能在端口0（双端口模式或三端口下行模式）或端口2（三端口上行模式）上检测到错误时复位。

端口B PHY复位

端口B PHY复位通过将复位控制寄存器（RESET_CTL）的PHY_B_RST位或PHY x基本控制寄存器

（PHY_BASIC_CONTROL_x）中的软复位位置1来执行。完成端口B PHY复位后，PHY_B_RST位和软复位位自动清零。器件的其他模块不会受到此复位的影响。

端口B PHY复位的完成可通过轮询复位控制寄存器（RESET_CTL）中的PHY_B_RST位或PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的软复位位是否清零来确定。在正常情况下，发生端口B PHY复位后，PHY_B_RST和软复位位将清零约102 μs。

注：当使用软复位位复位端口B PHY时，不会复位指定为NASR的寄存器位。

除了上述方法外，端口B PHY会在从PHY掉电模式恢复后自动复位。此复位的不同之处在于PHY掉电模式复位不会重载或复位任何PHY寄存器。更多信息，请参见PHY掉电模式。

有关端口B PHY复位的更多信息，请参见复位。

如果端口B PHY处于100BASE-FX模式，它会在增强型链路检测功能在端口1上检测到错误时复位。

实时工业以太网控制器复位

完全的器件和系统复位可通过实时工业以太网主器件或本地主机向实时工业以太网从站控制器复位实时工业以太网寄存器（对于主器件）或实时工业以太网从站控制器复位PDI寄存器（对于本地主机）写入值序列0x52（“R”）、0x45（“E”）和0x53（“S”）来启动。这将触发实时工业以太网系统复位中所述的复位，请参见实时工业以太网系统复位。

实时工业以太网控制器的单独复位可通过将复位控制寄存器（RESET_CTL）中的实时工业以太网RST位置1来执行。

这将复位实时工业以太网内核及其寄存器。它还将复位实时工业以太网CSR和过程数据RAM访问逻辑并将复位实时工业以太网CSR和过程数据RAM访问寄存器（可直接寻址）中所述的寄存器，请参见实时工业以太网CSR和过程数据RAM访问逻辑和实时工业以太网

CSR和过程数据RAM访问寄存器（可直接寻址）。

由于实时工业以太网模块将通过EEPROM重新配置器件，主机接口将被禁止，直至复位完成。复位是否完成必须通过HBI和SPI/SQI从器件复位相关的方法来确定，请参见主机总线接口和SPI/SQI从器件。

7.2.3. 复位寄存器

7.2.3.1. 复位控制寄存器（RESET_CTL）

偏移量： 1F8h 大小： 32 位

此寄存器包含软件控制的复位。

注：当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可以读取此寄存器。如果主机接口处于复位状态，则返回的数据可能无效。

不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

位	说明	类型	默认值
31:7	保留	RO	-
6	实时工业以太网®复位 将此位置1会复位实时工业以太网内核。当实时工业以太网内核从复位状态释放时，此位自动清零。当此位置1时，对此位的所有写操作都会被忽略。	R/W SC	0b
5	保留	RO	-
4	保留	RO	-
3	保留	RO	-
2	端口B PHY复位（PHY_B_RST） 将该位置1会复位端口B PHY。内部逻辑使PHY自动保持复位状态至少102 μs。当端口B PHY从复位状态释放时，该位自动清零。当该位置1时，将忽略对该位的所有写操作。	R/W SC	0b
1	端口A PHY复位（PHY_A_RST） 将此位置1会复位端口A PHY。内部逻辑自动将PHY复位保持至少102 μs。当端口A PHY从复位状态释放时，此位自动清零。当此位置1时，对此位的所有写操作都会被忽略。	R/W SC	0b
0	数字复位（DIGITAL_RST） 将此位置1会复位整个芯片（PLL、端口B PHY和端口A PHY除外）。所有系统CSR均会复位（任何NASR类型的位除外）。 将此位置1会复位整个芯片（PLL、端口B PHY和端口A PHY除外）。所有系统CSR均会复位（任何NASR类型的位除外）。 当芯片从复位状态释放时，此位自动清零。当此位置1时，对此位的所有写操作都会被忽略。	R/W SC	0b

7.2.4. 功耗管理

器件支持多个模块和芯片级功耗管理功能以及唤醒事件检测和通知。

7.2.5. 唤醒事件检测

7.2.6. PHY A和PHY B能量检测

PHY低功耗模式会降低PHY功耗。在PHY低功耗模式下，当在电缆上检测到能量（通常来自链路脉冲）时，PHY将从掉电状态恢复，并将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的ENERGYON中断位置1。

如果通过PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）使能中断，PHY将产生中断。此中断反映在中断状态寄存器（INT_STS）中的bit 26（PHY_INT_A，用于PHY A）和bit 27（PHY_INT_B，用于PHY B）中。INT_STS寄存器位将触发IRQ中断输出引脚（如果使能），如“以太网PHY中断”中所述。

能量检测PHY中断还会将功耗管理控制寄存器（PMT_CTRL）的相应能量检测状态端口A（ED_STS_A）或能量检测状态端口B（ED_STS_B）位置1。能量检测使能端口A（ED_EN_A）和能量检测使能端口B（ED_EN_B）位将使能相应的状态位作为PME事件。

注：任何PHY中断均会将上述状态位置1。主机应仅允许PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中相应的PHY中断源。

7.2.7. 唤醒（PME）通知

下图给出了用于控制PME中断的逻辑的简化框图。

PME模块处理电源管理控制寄存器（PMT_CTRL）中PHY B能量检测状态端口B（ED_WOL_STS_B）位和PHYA能量检测状态端口A（ED_WOL_STS_A）位的锁存。

该模块还使用相应的使能位（能量检测使能端口B（ED_EN_B）和能量检测使能端口A（ED_EN_A））屏蔽状态位，并将结果组合在一起，在中断状态寄存器（INT_STS）中生成电源管理中断事件（PME_INT）状态位。然后，PME_INT状态位被电源管理事件中断使能（PME_INT_EN）位屏蔽，并与其他中断源组合，以驱动IRQ输出pin。

注：无论PME_INT_EN的设置如何，INT_STS寄存器中的PME中断状态位（PME_INT）都将置1。

当功耗管理控制寄存器（PMT_CTRL）的PM_WAKE位置1时，PME事件将在某些特定芯片级功耗模式下自动唤醒系统，如退出低功耗中所述。

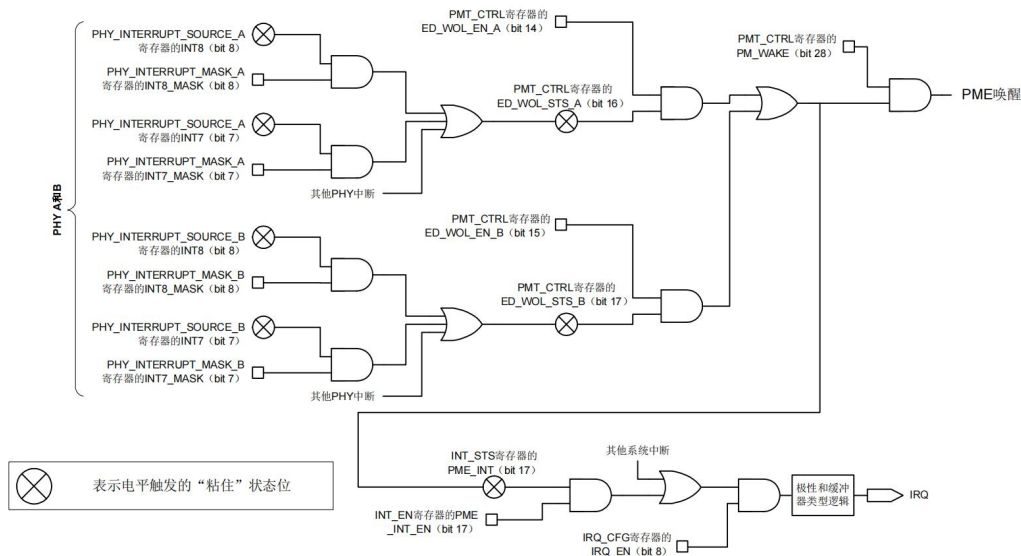


图 7-1 PME中断信号生成

7.2.8. 模块级功耗管理

器件支持通过软件控制的时钟来禁止各个模块以降低功耗。

注：禁止各个模块不会自动复位模块，只会将该模块置于静态非工作状态，以降低器件的功耗。如果重新使能模块前不执行模块复位，则务必注意确保模块处于禁止后可重新使能的状态。

7.2.9. 关闭实时以太网内核

可通过将功耗管理控制寄存器（PMT_CTRL）中的实时以太网DIS位置1来禁止整个实时以太网内核。为安全起见，要将此位置1，必须连续两次写入1。写0将复位计数。

7.2.9.1. LED引脚掉电

所有LED输出可通过将功耗管理控制寄存器（PMT_CTRL）中的LED_DIS位置1来禁止漏极开路/源极开路LED不进行驱动。推挽式LED仍进行驱动，但会设置为无效状态。

7.2.10. 芯片级功耗管理

器件支持掉电模式，以允许应用最大程度降低功耗。

通过禁止如“功耗管理状态”中所述时钟来降低功耗。在任何功耗状态下，都会保存所有配置数据。除非在寄存器说明中特别指出，否则寄存器内容不受影响。

共有1个正常工作功耗状态D0和3个节能状态：D1、D2和D3。尽管适用于各种唤醒检测功能，但功耗状态不会直接使能，也不会由这些功能强制执行。

D0：正常模式——这是此器件的正常工作模式。在此模式下，所有功能均可用。任何芯片级复位（POR、RST#引脚复位和实时以太网系统复位）后即会自动进入此模式。

D1：禁止系统时钟，使能XTAL、PLL和网络时钟——在此低功耗模式下，将禁止来自PLL时钟的所有时钟。如果网络时钟通过PHY或外部提供，其保持使能状态。晶振和PLL保持使能状态。可以手动或自动退出此模式。此模式可用于PHY通用掉电模式和PHY低功耗模式。

D2：禁止系统时钟，请求PLL禁止，使能XTAL——在此低功耗模式下，将禁止来自PLL时钟的所有时钟。PLL被允许禁止（如果两个PHY均处于能量检测或通用掉电模式，则将禁止）。如果通过PHY或外部提供，网络时钟保持使能状态。晶振保持使能状态。可以手动或自动退出此模式。

此模式用于PHY低功耗模式。此模式可用于PHY通用掉电模式。

D3：禁止系统时钟，禁止PLL，禁止XTAL——在此低功耗模式下，将禁止来自PLL时钟的所有时钟。PLL将被禁止。外部网络时钟关闭。晶振被禁止。只能手动退出此模式。

此模式可用于PHY通用掉电模式。

设置此功耗状态前，主机必须通过将PHY x基本控制寄存器

（PHY_BASIC_CONTROL_x）的掉电（PHY_PWR_DWN）位置1来将PHY置于通用掉电模式。

表 7-2 功耗管理状态

时钟源	D0	D1	D2	D3
25 MHz晶振	开	开	开	关
PLL	开	开	关(2)	关
系统时钟（100 MHz、50 MHz、25 MHz和其他频率）	开	关	关	关
网络时钟	可用(1)	可用(1)	可用(1)	关(3)

时钟源	D0	D1	D2	D3
1. 如果通过PHY或外部提供 2. PLL被请求关闭，并且如果两个PHY均处于通用掉电模式，则将禁止 3. PHY时钟关闭，外部时钟关闭				

7.2.10.1. 进入低功耗模式

要从正常模式（D0）进入任一低功耗模式（D1-D3），请遵循以下步骤：

1. 向功耗管理控制寄存器（PMT_CTRL）中的PM_MODE和PM_WAKE字段写入所需值。
2. 请参见唤醒事件检测设置所需的唤醒检测。
3. 请参见唤醒（PME）通知设置适当的唤醒通知。
4. 确保器件处于可安全置于低功耗模式（发送所有数据包、禁止接收器并处理/刷新数据包等）的状态。
5. 将功耗管理控制寄存器（PMT_CTRL）中的PM_SLEEP_EN位置1。

注： 无法在 PM_SLEEP_EN 位置 1 的同时更改 PM_MODE 字段，也无法在更改 PM_MODE 字段的同时将 PM_SLEEP_EN 位置 1。

进入任一低功耗模式后，硬件配置寄存器（HW_CFG）和功耗管理控制寄存器（PMT_CTRL）中的器件就绪（READY）位将被强制为低电平。

注： 进入任一节能状态后，主机接口将不起作用。

7.2.10.2. 退出低功耗模式

可以手动或自动退出低功耗模式。

自动唤醒将基于“唤醒（PME）通知”中所述的事件进行。通过功耗管理控制寄存器（PMT_CTRL）中的功耗管理唤醒（PM_WAKE）位来使能自动唤醒。

在以下情况下，将通过主机发起手动唤醒：

- 对器件执行HBI写操作（CS和WR或者CS、RD_WR和ENB）。尽管在唤醒器件并执行读操作前会忽略所有写操作，主机仍应该指示写入字节顺序测试寄存器（BYTE_TEST）来唤醒设备。在器件唤醒前，不应尝试写入任何其他地址。

- 对器件执行SPI/SQI周期（SCS#低电平和SCK高电平）。尽管在器件唤醒前会忽略所有读写操作，主机仍应该指示通过读取字节顺序测试寄存器（BYTE_TEST）来唤醒器件。在器件唤醒前，不应尝试读取和写入任何其他地址。

要确定主机接口何时正常工作，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）或功耗管理控制寄存器（PMT_CTRL）中的器件就绪（READY）位来确定器件何时完全唤醒。

对于自动和手动唤醒，一旦器件恢复到节能状态D0且PLL已重新稳定，器件就绪（READY）位即变为高电平。此时，功耗管理控制寄存器（PMT_CTRL）中的PM_MODE和PM_SLEEP_EN字段也将清零。

在正常情况下，器件将在2 ms内唤醒。

7.2.11. 功耗管理寄存器

7.2.11.1. 功耗管理寄存器 (PMT_CTRL)

偏移量: 084h 大小: 32位

此读写寄存器控制器件的功耗管理功能。器件的就绪状态通过此寄存器的器件就绪 (READY) 位来确定。

注：对当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可以读取此寄存器。如果主机接口处于复位状态，则返回的数据可能无效。
不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

表 7-3 功耗管理寄存器

位	说明	类型	默认值
31:29	<p>功耗管理模式 (PM_MODE) 此寄存器字段用于确定当功耗管理休眠使能 (PM_SLEEP_EN) 位置1时将进入的芯片级功耗管理模式。</p> <p>000: D0 001: D1 010: D2 011: D3 100: 保留 101: 保留 110: 保留 111: 保留</p> <p>如果功耗管理休眠使能 (PM_SLEEP_EN) 位正在被写入1，则对此字段的写操作将被忽略。 此字段在器件唤醒时清零。</p>	R/W/SC	000b
28	<p>功耗管理休眠使能 (PM_SLEEP_EN) 将此位置1会进入通过功耗管理模式 (PM_MODE) 字段指定的芯片级功耗管理模式。</p> <p>0: 器件未处于低功耗休眠状态 1: 器件处于低功耗休眠状态 此位不能与PM_MODE寄存器字段同时写入。PM_MODE字段必须置1，然后必须将此位置1才能使器件正常工作。</p> <p>如果功耗管理模式 (PM_MODE) 正在写入新值，则向此位写入值1将被忽略。</p> <p>注：尽管硬件不会阻止，但当功耗管理模式 (PM_MODE) 的值为“D0”时，不应向此位写入值1。 此字段在器件唤醒时清零。</p>	R/W/SC	0b
27	<p>功耗管理唤醒 (PM_WAKE) 此位置1时，将使能基于PME事件的自动唤醒。</p> <p>0: 仅手动唤醒 1: 使能自动唤醒</p>	R/W	0b
26	<p>LED禁止 (LED_DIS) 此位用于禁止LED输出。漏极开路/源极开路LED不进行驱动。推挽式LED仍进行驱动，但会设置为无效状态。</p> <p>0: 使能LED 1: 禁止LED</p>	R/W	0b

位	说明	类型	默认值
25:22	保留	RO	-
21	实时工业以太网®内核时钟禁止 此位用于禁止实时工业以太网内核的时钟。 0: 使能时钟 1: 禁止时钟 要将此位置1, 必须连续两次写入1。写0 将复位计数。	R/W	0b
20	保留	RO	-
19:18	保留	RO	-
17	能量检测状态端口B (ED_STS_B) 该位指示端口B PHY上是否发生了能量检测。 要将该位清零, 还需要将PHY中的事件清除。事件源在“功耗管理”中说明。	R/W C	0b
16	能量检测状态端口A (ED_STS_A) 此位指示端口A PHY上发生的能量检测。 要将此位清零, 还需要将PHY中的事件清除。“功耗管理”中介绍了事件源。	R/W C	0b
15	能量检测使能端口B (ED_EN_B) 如果置1, 当端口B中出现能量检测或WoL事件时, 中断状态寄存器 (INT_STS) 中的PME_INT位将置为有效。	R/W	0b
14	能量检测使能端口A (ED_EN_A) 如果置1, 当端口A中出现能量检测或WoL事件时, 中断状态寄存器 (INT_STS) 中的PME_INT位将置为有效。	R/W	0b
13:10	保留	RO	-
9	保留	RO	-
8:7	保留	RO	-
6:5	保留	RO	-
4	保留	RO	-
3:1	保留	RO	-
0	器件就绪 (READY) 此位置1时指示器件已准备好接受访问。上电、RST#复位、从节能状态恢复、实时工业以太网芯片级或模块级复位或者数字复位后, 主机处理器可查询此字段来了解器件是否稳定并处于完全工作状态。 此位的上升沿将使INT_STS中的器件就绪 (READY) 位置为有效, 并且可引起中断 (如果使能中断)。 注: 当 READY 位 清零时, 除 HW_CFG、PMT_CTRL、BYTE_TEST和RESET_CTL寄存器外, 禁止对任何内部资源进行读访问。在此位置1前, 对任何地址的写操作均是无效的。 注: 此位与硬件配置寄存器 (HW_CFG) 的bit 27相同。	RO	0b

7.3. 器件就绪操作

器件支持就绪状态寄存器位, 该位用于向主机软件指示器件何时完全准备好进行操作。此位可通过功耗管理控制寄存器 (PMT_CTRL) 或硬件配置寄存器 (HW_CFG) 读取。

上电复位、RST#复位、实时工业以太网芯片级复位或数字复位后, 器件就绪 (READY) 位指示器件已读取并通过EEPROM的内容进行配置。

通过复位控制寄存器 (RESET_CTL) 进行的实时工业以太网复位将使实时工业以太网

内核从EEPROM重载，从而暂时导致器件就绪（READY）位变为低电平。

进入除D0外的任何节能状态（请参见芯片级功耗管理）都将导致器件就绪（READY）位变为低电平。唤醒后，一旦器件恢复到节能状态D0并且PLL已重新稳定，器件就绪（READY）位即变为高电平。

8. 配置脚

配置脚允许将器件的各种功能自动配置为用户定义的值。硬配置脚在上电复位（POR）、实时工业以太网复位或引脚复位（RST#）时锁存。

配置脚包括用于防止信号在未连接时悬空的内部电阻。如果特定配置脚连接负载，则应使用外部上拉或下拉电阻增大内部电阻，以确保内部电阻在锁存前达到所需电压。也可通过增加外部电阻来改变内部电阻。

注：系统设计人员必须确保配置脚引脚满足复位和配置脚时序中指定的时序要求，请参见复位和配置脚时序。如果配置脚引脚在锁存前未处于正确的电压值，器件可能捕捉到不正确的配置脚值。

8.1. 硬配置脚

硬配置仅在上电复位（POR）、实时工业以太网复位或引脚复位（RST#）时锁存。这些配置脚用作直接配置值或寄存器默认值。下表提供了所有硬配置脚及其相关引脚的列表。请参见引脚说明和配置中完整定义的这些配置脚及其引脚分配。

表 8-1 硬配置脚定义

配置脚名称	说明	引脚
eeeprom_size_strap	EEPROM大小配置脚：配置EEPROM大小范围。低电平选择1 Kb（128 x 8）至16 Kb（2K x 8）。 高电平选择32 Kb（4K x 8）至4 Mb（512K x 8）。	E2PSIZE
chip_mode_strap[1:0]	实时工业以太网®芯片模式配置脚：此配置脚决定活动端口数和端口类型。 00 = 双端口模式。端口0和端口1连接至内部PHY A和PHY B。 01 = 保留 10 = 3端口下行模式。端口0和端口1连接至内部PHY A和PHY B。端口2连接至外部MII引脚。 11 = 3端口上行模式。端口2和端口1连接至内部PHY A和PHY B。端口0连接至外部MII引脚。	CHIP_MODE1 和 CHIP_MODE0
link_pol_strap_mii	实时工业以太网 MII端口链路极性配置脚：此配置脚决定MII_LINK 引脚的极性。 0 = MII_LINK低电平，表示已建立100 Mbps 全双工链路 1 = MII_LINK高电平，表示已建立100 Mbps 全双工链路	MII_LINKPOL

tx_shift_strap[1:0]	实时工业以太网 MII 端口发送时序移位配置脚：这些配置脚决定 MII 端口的 MII 发送时序移位值。 00 = 20 ns 01 = 30 ns 10 = 0 ns 11 = 10 ns	TX_SHIFT[1:0]
fx_mode_strap_1	PHY A FX 模式配置脚：此配置脚设置为高电平时，为 PHY A 选择 FX 模式。	FXLOSEN: FXSDENA
fx_mode_strap_2	PHY B FX 模式配置脚：此配置脚设置为高电平时，为 PHY B 选择 FX 模式。	FXLOSEN: FXSDENB
fx_los_strap_1	PHY A FX-LOS 选择配置脚：此配置脚设置为高电平时，为 PHY A 选择信号损失模式。	FXLOSEN
fx_los_strap_2	PHY B FX-LOS 选择配置脚：此配置脚设置为高电平时，为 PHY B 选择信号损失模式。	FXLOSEN:

9. 系统中断

9.1. 功能概述

本章介绍器件的系统中断结构。器件提供了这个多层可编程中断结构，此结构通过系统中断控制器来控制。可编程系统中断由各个器件子模块在内部生成，并可配置为通过 IRQ 中断输出引脚生成单个外部主机中断。主机中断的可编程性质为用户提供了根据应用要求优化性能的能力。IRQ 中断缓冲器类型、极性和置为无效间隔是可修改的。IRQ 中断可配置为漏极开路输出，以便与其他器件共用中断。所有内部中断均可屏蔽并且能够触发 IRQ 中断。

9.2. 中断源

器件能生成以下类型的中断：

- ◆ 以太网 PHY 中断
- ◆ 功耗管理中断
- ◆ 通用定时器中断（GPT）
- ◆ 实时工业以太网中断
- ◆ 软件中断（通用）
- ◆ 器件就绪中断
- ◆ 时钟输出测试模式

所有中断均通过排列成多层类分支结构的寄存器进行访问和配置。器件中断结构的顶层是中断状态寄存器（INT_STS）、中断使能寄存器（INT_EN）和中断配置寄存器（IRQ_CFG）。

中断状态寄存器（INT_STS）和中断使能寄存器（INT_EN）聚合并使能/禁止来自各个器件子模块的所有中断，将它们组合在一起以产生 IRQ 中断。这两个寄存器为通用定时器、软件和器件就绪中断提供直接中断访问/配置。可以在这两个寄存器内直接监视、使能/禁止和清除这些中断。此外，还为实时工业以太网从器件、功耗管理和以太网 PHY 中断提供了事件指示。这些中断的区别在于中断源在其他子模块寄存器中生成和清除。INT_STS 寄存器不提供有关子模块内的哪个特定事件引起中断的详细信息，需要软件轮询额外的子模块中断寄存器才能确定准确的中断源并将其清除。对于涉及多个寄存器的中断，只有在处理了

中断并在其中断源清除后，才能在INT_STS寄存器中将其清除。

中断配置寄存器（IRQ_CFG）负责使能/禁止IRQ中断输出引脚以及配置其属性。IRQ_CFG寄存器允许修改IRQ引脚缓冲器类型、极性和置为无效间隔。置为无效定时器可保证IRQ输出的最小中断置为无效周期，可通过中断配置寄存器（IRQ_CFG）的中断置为无效间隔（INT_DEAS）字段进行编程。全零设置将禁止置为无效定时器。无论何种原因，置为无效间隔都从IRQ引脚置为无效时开始。

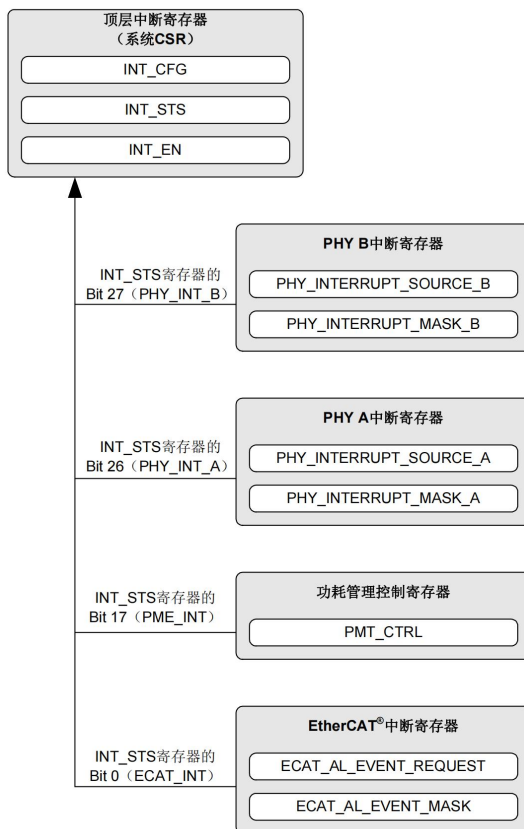


图 9-1 功能中断层级

以下各节详细介绍了每个中断类别及其相关的寄存器。有关所有中断寄存器中各位的定义，请参见相应功能的章节。

9.2.1. 以太网PHY中断

每个以太网PHY都提供一组相同的中断源。中断状态寄存器（INT_STS）的顶层PHY A中断事件（PHY_INT_A）和PHY B中断事件（PHY_INT_B）位为PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的PHY中断事件发生提供指示。

PHY中断通过各自的PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）使能/禁止。PHY中断源可通过PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）确定和清除。各个中断基于以下事件生成：

- ENERGYON激活
- 自动协商完成
- 检测到远程故障

- 链路中断（链路状态置为无效）
- 链路接通（链路状态有效）
- 自动协商LP应答
- 并行检测故障
- 收到自动协商页
- 检测到LAN唤醒事件

为了使中断事件触发外部IRQ中断引脚，必须在相应的PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中允许所需的PHY中断事件，中断使能寄存器（INT_EN）的PHY A中断事件使能（PHY_INT_A_EN）和/或PHY B中断事件使能（PHY_INT_B_EN）位必须置1且IRQ输出必须通过中断配置寄存器（IRQ_CFG）的IRQ使能（IRQ_EN）位使能。

有关以太网PHY中断的更多详细信息，请参见PHY中断。

9.2.2.功耗管理中断

器件提供了多个功耗管理事件中断源。中断状态寄存器（INT_STS）的顶层功耗管理中断事件（PME_INT）位提供发生功耗管理控制寄存器（PMT_CTRL）中功耗管理中断事件的指示。

功耗管理控制寄存器（PMT_CTRL）提供所有功耗管理条件的使能/禁止以及状态。其中包括PHY上的能量检测。

为了使功耗管理中断事件触发外部IRQ中断引脚，必须在功耗管理控制寄存器（PMT_CTRL）中允许所需的功耗管理中断事件，中断使能寄存器（INT_EN）的功耗管理事件中断使能（PME_INT_EN）位必须置1且必须通过中断配置寄存器（IRQ_CFG）的bit 8 IRQ使能（IRQ_EN）使能IRQ输出。

功耗管理中断只是器件功耗管理功能的一部分。有关功耗管理的更多详细信息，请参见功耗管理。

9.2.3.通用定时器中断

顶层中断状态寄存器（INT_STS）和中断使能寄存器（INT_EN）中提供GP定时器（GPT_INT）中断。此中断在通用定时器计数寄存器（GPT_CNT）从0折回FFFFh时发出，在中断状态寄存器（INT_STS）的GP定时器（GPT_INT）位写1时清除。

为了使通用定时器中断事件触发外部IRQ中断引脚，必须通过通用定时器配置寄存器（GPT_CFG）中的通用定时器使能（TIMER_EN）位使能GPT，中断使能寄存器（INT_EN）的GP定时器中断使能（GPT_INT_EN）位必须置1且必须通过中断配置寄存器（IRQ_CFG）的IRQ使能（IRQ_EN）位使能IRQ输出。

有关通用定时器的更多详细信息，请参见通用定时器。

9.2.4.实时以太网中断

中断状态寄存器（INT_STS）的顶层实时以太网®中断事件提供发生AL事件请求寄存器中实时以太网中断事件的指示。AL事件屏蔽寄存器提供所有实时以太网中断条件的使能/禁止。AL事件请求寄存器提供所有实时以太网中断的状态。

为了使实时以太网中断事件触发外部IRQ中断引脚，必须在AL事件屏蔽寄存器中

使能所需的实时工业以太网中断，中断使能寄存器（INT_EN）的实时工业以太网®中断事件使能位必须置1且必须通过中断配置寄存器（IRQ_CFG）的IRQ使能（IRQ_EN）位使能IRQ输出。

有关实时工业以太网中断的更多详细信息，请参见实时工业以太网®章节。

9.2.5. 软件中断

顶层中断状态寄存器（INT_STS）和中断使能寄存器（INT_EN）中提供了通用软件中断。当中断使能寄存器（INT_EN）的软件中断使能（SW_INT_EN）位从清零切换为置1（即，在使能的上升沿）时，将产生中断状态寄存器（INT_STS）的软件中断（SW_INT）位。此中断提供了一种简单的软件产生中断的方法，设计为用于常规软件使用。

为了使软件中断事件触发外部IRQ中断引脚，必须通过中断配置寄存器（IRQ_CFG）的IRQ使能（IRQ_EN）位使能IRQ输出。

9.2.6. 器件就绪中断

顶层中断状态寄存器（INT_STS）和中断使能寄存器（INT_EN）中提供了器件就绪中断。中断状态寄存器（INT_STS）的器件就绪（READY）位用于指示器件已准备好在上电或复位条件后接受访问。在中断状态寄存器（INT_STS）中对该位写1会将其清零。

为了使器件就绪中断事件触发外部IRQ中断引脚，中断使能寄存器（INT_EN）的器件就绪中断使能（READY_EN）位必须置1且必须通过中断配置寄存器（IRQ_CFG）的IRQ使能（IRQ_EN）位使能IRQ输出。

9.2.7. 时钟输出测试模式

要实现系统级调试，可通过将中断配置寄存器（IRQ_CFG）的IRQ时钟选择（IRQ_CLK_SELECT）位置1将晶振时钟使能到IRQ引脚上。

IRQ引脚应通过IRQ缓冲器类型（IRQ_TYPE）位设置为推挽式驱动器以获得最佳效果。

9.3. 中断寄存器

本节详细介绍与可直接寻址中断相关的系统CSR。这些寄存器用于控制、配置和监视IRQ中断输出引脚以及各种器件中断源。有关整个可直接寻址寄存器映射的概述，请参见寄存器映射。

表 9-1 中断寄存器

地址	寄存器名称（符号）
054h	中断配置寄存器（IRQ_CFG）
058h	中断状态寄存器（INT_STS）
05Ch	中断使能寄存器（INT_EN）

9.3.1. 中断配置寄存器（IRQ_CFG）

偏移量： 054h 大小： 32位

此读/写寄存器用于配置和指示IRQ信号的状态。

表 9-2 中断配置寄存器

位	说明	类型	默认值
31:24	中断置为无效间隔 (INT_DEAS) 此字段用于确定中断请求置为无效间隔 (10微秒的倍数)。 将此字段设置为0会使器件禁止INT_DEAS间隔、复位间隔计数器并发出任何待处理中断。如果向此字段写入新的非零值, 任何后续中断都将遵循新设置。	R/W	00h
23:15	保留	RO	-
14	中断置为无效间隔清零 (INT_DEAS_CLR) 向此寄存器写入1会将中断控制器中的置为无效计数器清零, 从而使新的置为无效间隔开始 (无论中断控制器当前是否处于有效的置为无效间隔)。 0: 正常工作 1: 清零置为无效计数器	R/W SC	0h
13	中断置为无效状态 (INT_DEAS_STS) 此位置1时表示中断控制器当前处于置为无效间隔中并且可能的中断将不会发送到IRQ引脚。此位清零时表示中断控制器当前未处于置为无效间隔中并且中断将发送到IRQ引脚。 0: 中断控制器未处于置为无效间隔中 1: 中断控制器处于置为无效间隔中	RO	0b
12	主器件中断 (IRQ_INT) 此只读位用于指示内部IRQ线的状态, 无论IRQ_EN位的设置或中断置为无效功能的状态如何。当此位置1时, 使能的中断之一当前处于有效状态。 0: 没有使能的中断处于有效状态 1: 一个或多个使能的中断处于有效状态	RO	0b
11:9	保留	RO	-
8	IRQ使能 (IRQ_EN) 此位控制IRQ引脚的最终中断输出。清零时, IRQ输出禁止且永久置为无效。 此位对任何内部中断状态位均不起作用。 0: 禁止IRQ引脚上的输出 1: 使能IRQ引脚上的输出	R/W	0b
7:5	保留	RO	-
4	IRQ极性 (IRQ_POL) 清零时, 此位使IRQ线用作低电平有效输出。置1时, IRQ输出高电平有效。当IRQ (通过IRQ_TYPE位) 配置为漏极开路输出时, 此位被忽略且中断始终低电平有效。 0: IRQ低电平有效输出 1: IRQ高电平有效输出	R/W NASR 注1	0b
3:2	保留	RO	-
1	IRQ时钟选择 (IRQ_CLK_SELECT) 当此位置1时, IRQ引脚上可输出晶振时钟。这用于系统调试, 目的为观察时钟, 不适用于任何功能目的。 注: 当使用此位时, IRQ引脚应设置为推挽式驱动器。	R/W	0b
0	IRQ缓冲器类型 (IRQ_TYPE)	R/W NASR	0b

位	说明	类型	默认值
	<p>当此位清零时，IRQ引脚用作漏极开路输出，用于线或中断配置。置1时，IRQ为推挽式驱动器。</p> <p>注：当配置为漏极开路输出时，IRQ_POL位被忽略且中断输出始终低电平有效。</p> <p>0：IRQ引脚漏极开路输出</p> <p>1：IRQ引脚推挽式驱动器</p>	注1	

注1：当复位控制寄存器（RESET_CTL）中的DIGITAL_RST位置1时，不会复位指定为NASR的寄存器位。

9.3.2. 中断状态寄存器 (INT_STS)

偏移量: 058h 大小: 32位

表 9-3 中断状态寄存器

位	说明	类型	默认值
31	软件中断 (SW_INT) 当中断使能寄存器 (INT_EN) 的软件中断使能 (SW_INT_EN) 位设置为高电平时, 将产生此中断。写入1将清除此中断。	R/WC	0b
30	器件就绪 (READY) 此中断用于指示器件已准备好在上电或复位条件后接受访问。	R/WC	0b
29	保留	RO	-
28	保留	RO	-
27	PHY B中断事件 (PHY_INT_B) 此位指示来自PHY B的中断事件。中断源可通过轮询PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 确定。	RO	0b
26	PHY A中断事件 (PHY_INT_A) 此位指示来自PHY A的中断事件。中断源可通过轮询PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 确定。	RO	0b
25:23	保留	RO	-
22	保留	RO	-
21:20	保留	RO	-
19	GP定时器 (GPT_INT) 当通用定时器计数寄存器 (GPT_CNT) 从0折回FFFFh时, 将发出此中断。	R/WC	0b
18	保留	RO	-
17	功耗管理中断事件 (PME_INT) 当按功耗管理控制寄存器 (PMT_CTRL) 中的配置检测到功耗管理事件时, 将发出此中断。写入1将清零此位。要将此位清零, 必须先将功耗管理控制寄存器 (PMT_CTRL) 中的所有未屏蔽位清零。 注: 中断置为无效间隔不适用于PME中断。	R/WC	0b
16:13	保留	RO	-
12	保留	RO	-
11:3	保留	RO	-
2:1	保留	RO	-
0	实时工业以太网®中断事件 此位指示实时工业以太网中断事件。中断源可通过轮询AL事件请求寄存器确定。	RO	0b

此寄存器包含中断的当前状态。值1表示满足相应中断条件, 而值0表示未满足中断条件。此寄存器的位反映了中断源的状态, 与在中断使能寄存器 (INT_EN) 中是否使能中断源作为中断无关。当指示为R/WC时, 向相应位写入1将响应并清除中断。

9.3.3. 中断使能寄存器 (INT_EN)

偏移量: 05Ch 大小: 32位

表 9-4 中断使能寄存器

位	说明	类型	默认值
31	软件中断使能 (SW_INT_EN)	R/W	0b
30	器件就绪中断使能 (READY_EN)	R/W	0b
29	保留	RO	-
28	保留	RO	-
27	PHY B中断事件使能 (PHY_INT_B_EN)	R/W	0b
26	PHY A中断事件使能 (PHY_INT_A_EN)	R/W	0b
25:23	保留	RO	-
22	保留	RO	-
21:20	保留	RO	-
19	GP定时器中断使能 (GPT_INT_EN)	R/W	0b
18	保留	RO	-
17	功耗管理事件中断使能 (PME_INT_EN)	R/W	0b
16:13	保留	RO	-
12	保留	RO	-
11:3	保留	RO	-
2:1	保留	RO	-
0	实时工业以太网®中断事件使能	R/W	0b

此寄存器包含IRQ输出引脚的中断使能。向任何一位写入1均会使能相应中断作为IRQ的中断源。中断状态寄存器 (INT_STS) 寄存器中的位仍将反映中断源的状态，与在此寄存器中是否使能中断源作为中断无关（软件中断使能 (SW_INT_EN) 除外）。有关每个中断的说明，请参见中断状态寄存器 (INT_STS) 中的各位，这些位的布局与此寄存器的布局相同。

10. 主机总线接口

主机总线接口（HBI）模块提供高速异步从接口，简化了器件与主机系统之间的通信。HBI允许访问系统CSR、内部FIFO和存储器，并基于字节顺序选择来处理字节交换。

下面概述了HBI提供的功能：

- ◆ 地址总线输入：支持两种寻址模式，分别是复用地址/数据总线和支持地址索引寄存器访问的解复用地址总线。模式选择通过配置输入来完成。
- ◆ 可选数据总线宽度：主机数据总线宽度是可选的。支持16位和8位数据模式。该选择通过配置输入来完成。写入数据时，HBI执行字节/字到双字汇编；读取数据时，HBI会保持跟踪字节/字数。在16位模式下，不支持单字节访问。
- ◆ 可选读/写控制模式：提供两种控制模式。单独的读取和写入引脚或者使能和方向引脚。模式选择通过配置输入来完成。
- ◆ 可选控制信号极性：片选、读/写和地址锁存信号的极性可通过配置输入选择。
- ◆ 动态字节顺序控制：HBI支持基于字节顺序信号选择大尾数法和小尾数法的主机字节顺序。该高度灵活的接口提供混合字节顺序的方法来访问寄存器和存储器。根据器件寻址模式的不同，该信号可以是受配置寄存器控制的信号，或者作为选通地址输入的一部分。
- ◆ 直接FIFO访问：FIFO直接选择信号将直接对实时工业以太网过程RAM写数据FIFO（仅复用地址模式）执行所有主机写操作，并且直接从实时工业以太网过程RAM读数据FIFO（仅复用地址模式）执行所有主机读操作。该信号作为地址输入的一部分选通。

10.1. 读/写控制信号

器件支持两种不同的读/写信号方法：

- ◆ 读（RD）和写（WR）选通是单独引脚上的输入。
- ◆ 读信号和写信号从使能输入（ENB）和方向输入（RD_WR）解码。

10.2. 控制线极性

器件支持对以下各项进行极性控制：

- ◆ 芯片选择输入（CS）
- ◆ 读选通（RD）/方向输入（RD_WR）
- ◆ 写选通（WR）/使能输入（ENB）
- ◆ 地址锁存控制（ALELO和ALEHI）

10.3. 复用地址/数据模式

在复用地址/数据模式下，地址、FIFO直接选择和字节顺序选择输入与数据总线共用。支持两种方法，即单阶段地址（利用多达16个地址/数据引脚）和双阶段地址（仅利用低8位数据位）。

10.3.1. 地址锁存周期

10.3.1.1. 单阶段地址锁存

在单阶段模式下，所有地址位、FIFO直接选择信号和字节顺序选择均通过ALELO信号

的后沿选通到器件中。地址锁存在全部16个地址/数据引脚上实现。在8位数据模式下，引脚AD[15:8]专用于寻址，不必通过读写操作连续驱动这些具有有效地址的高地址线。但由于器件始终不会驱动这些引脚，因此这种称为部分地址复用的操作是可以接受的。

可选择通过CS信号限定ALELO信号。使能限定时，CS必须在ALELO期间有效，以选通地址输入。未使能限定时，CS在地址阶段期间状态为无关。

地址将被保留以供未来所有读写操作使用，直至发生复位事件或加载新地址。这样，无需多次执行地址锁存操作也可对同一地址多次发出读写请求。

10.3.1.2. 双阶段地址锁存

在双阶段模式下，地址低8位通过ALELO信号的无效边沿选通到器件中，剩余的地址高位、FIFO直接选择信号和字节顺序选择均通过ALEHI信号的后沿选通到器件中。选通可采用任意顺序。在8位数据模式下，不使用引脚AD[15:8]。在16位数据模式下，引脚D[15:8]仅用于数据。

可选择通过CS信号限定ALELO和ALEHI信号。使能限定时，CS必须在ALELO和ALEHI期间有效，以选通地址输入。未使能限定时，CS在地址阶段期间状态为无关。

地址将被保留以供未来所有读写操作使用，直至发生复位事件或加载新地址。这样，无需多次执行地址锁存操作也可对同一地址多次发出读写请求。

10.3.1.3. 地址位到地址/数据引脚的映射

在8位数据模式下，地址bit 0与引脚AD[0]复用，地址bit 1与引脚AD[1]复用，以此类推。最高地址位是bit 9，与引脚AD[9]（单阶段）或AD[1]（双阶段）复用。锁存到器件中的地址被视为字节地址，包含1K字节（0至3FFh）。

在16位数据模式下，地址bit 1与引脚AD[0]复用，地址bit 2与引脚AD[1]复用，以此类推。最高地址位是bit 9，与引脚AD[8]（单阶段）或AD[0]（双阶段）复用。锁存到器件中的地址被视为字地址，包含512字（0至1FFh）。

当地址发送到器件的其余部分时，将被转换为字节地址。

10.3.1.4. 字节顺序选择到地址/数据引脚的映射

字节顺序选择包含在复用地址中，从而允许主机系统基于所用的存储器地址动态选择字节顺序。这允许通过混合字节顺序的方法来访问寄存器和存储器。

字节顺序选择与最后一个地址位之前一位的数据引脚复用。

10.3.1.5. FIFO直接选择到地址/数据引脚的映射

将FIFO直接选择信号包含在复用地址中，从而允许主机系统将实时工业以太网过程RAM数据FIFO视为较大的扁平地址空间进行寻址。

FIFO直接选择信号与最后一个地址位之前两位的数据引脚复用。

10.3.2. 数据周期

主机数据总线可以是16位或8位宽，而所有内部寄存器均是32位宽。在8位或16位数据模式下，主机总线接口执行字/字节到双字的转换。要执行读/写操作，需要在同一双字中执行两次或四次连续访问。

10.3.2.1. 写周期

当CS和WR有效时（或当ENB有效且RD_WR指示写操作时），将发生写周期。地址锁存周期期间已捕捉主机地址和字节顺序。

在写周期的后沿（WR、CS或ENB变为无效），主机数据将被捕捉到HBI中的寄存器内。根据总线宽度的不同，捕捉的数据可以是字或字节。对于8位或16位数据模式，其用作双字汇编，受影响的字或字节由低地址输入确定。此时，字节交换也是基于字节顺序完成的。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至执行读周期以后。

功耗管理期间以及功耗管理之后的写操作

D0以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至执行读周期以后。

8位和16位访问

在8位或16位数据模式下，主机需要执行两次16位/四次8位写操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字/字节，前提是对其余的字或字节执行额外的写操作。

注： 在同一双字汇编周期写入相同的字或字节会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

写字节/字计数器会保持跟踪写操作次数。在写周期的后沿，计数器递增计数。所有写操作均发生后，便会对内部寄存器执行32位写操作。

如果功耗管理模式设置为D0以外的任何模式，则写字节/字计数器复位。

10.3.2.2. 读周期

当CS和RD有效时（或当ENB有效且RD_WR指示读操作时），将发生读周期。地址锁存周期期间已捕捉主机地址和字节顺序。

在读周期开始时，会选择相应的寄存器，其中的数据会被驱动到数据引脚上。根据总线宽度的不同，读取的数据可以是字或字节。对于8位或16位数据模式，返回的字节或字由字节顺序和低地址输入确定。

初始化完成的轮询

器件初始化之前，HBI将不会返回有效数据。要确定HBI何时工作，应轮询字节顺序测试寄存器（BYTE_TEST）。每次轮询都应包含地址锁存周期和一个数据周期。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）的器件就绪（READY）位来确定器件何时完全配置。

功耗管理期间以及功耗管理之后的读操作

在D0以外的任何功耗管理模式期间，来自主机总线的读操作都将被忽略。如果功耗管理模式在有效读周期期间切换回D0，则读周期的尾端将被忽略。内部寄存器不受影响，HBI的状态不会改变。

8位和16位访问

对于某些寄存器访问，主机需要执行两次连续的16位/四次连续的8位读操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字或字节，前提是对其余的字或字节执行额外的读操作。

注：从同一双字读取相同的字或字节会引发未定义或不需要的操作。HBI硬件不会阻止该操作。HBI仅计数是否已完成四次字节读操作。

读字节/字计数器保持跟踪读操作次数。该计数器与上述写计数器是相互独立的。在读周期的后沿，计数器递增计数。在最后一次读取双字时，会执行内部读操作以更新任何“读取时更改”CSR。

如果功耗管理模式设置为D0以外的任何模式，则读字节/字计数器复位。

特殊CSR处理

即时位

任何由硬件事件更新的寄存器位均从读周期开始时保持不变，以防止该位在读周期期间发生更改。

16位或8位模式下的多字节/字即时寄存器

一些寄存器具有跨越多个字节或字的“即时”字段或相关字段。对于16位和8位数据读操作，这些字段的值可能在各主机读周期之间发生更改。为避免读取中间值，这些寄存器在读取第一个字节或字时锁定，在读取最后一个字节或字时解锁。

如果功耗管理模式设置为D0以外的任何模式，则寄存器将解锁。

“读取时更改”寄存器和FIFO

FIFO或“读取时更改”寄存器在读周期结束时更新。

对于16位和8位模式，最后一个字节或字仅指示和发生一个内部读周期。

“读取时更改”即时寄存器位

如上文所述，具有即时位的寄存器从读周期开始时保持不变，另外具有跨越字节或字的多个位的寄存器在16位和8位访问时锁定。虽然保持不变或锁定期间发生的硬件事件仍会更新即时位，但即时位仅在读周期结束时才会受影响（例如，被清零）且硬件事件会丢失。

为了避免这种情况，各个CSR会将硬件事件更新延迟至读操作或多次读操作之后。

复位或初始化期间的寄存器轮询

一些寄存器支持在复位或器件初始化期间轮询，以确定何时可访问器件。对于这些寄存器，只可执行一次读操作，而无需读取其他字或字节。寄存器的同一字节或字可反复重读。

支持16位或8位读取或者可在复位或器件初始化期间读取的寄存器在其寄存器说明中进行了注释。

10.3.2.3. 主机字节顺序

器件支持大尾数法和小尾数法两种主机字节顺序，具体取决于地址锁存周期期间锁存的字节顺序选择。当字节顺序选择为低电平时，主机访问为小尾数法；当字节顺序选择为高电平时，主机访问为大尾数法。在典型应用中，字节顺序选择连接高位地址线，从而基于地址进行字节顺序选择。该高度灵活的接口为寄存器和存储器提供混合字节顺序访问方

法以进行PIO和主机DMA访问。所有内部总线均为32位，并且采用小尾数法的字节顺序。主机总线接口的内部逻辑基于相应的字节顺序位以及最低有效地址位的状态重新排列字节的顺序。小尾数法见图 10-1和大尾数法见图 10-2，给出了支持的字节顺序配置的数据路径操作以及数据总线大小。

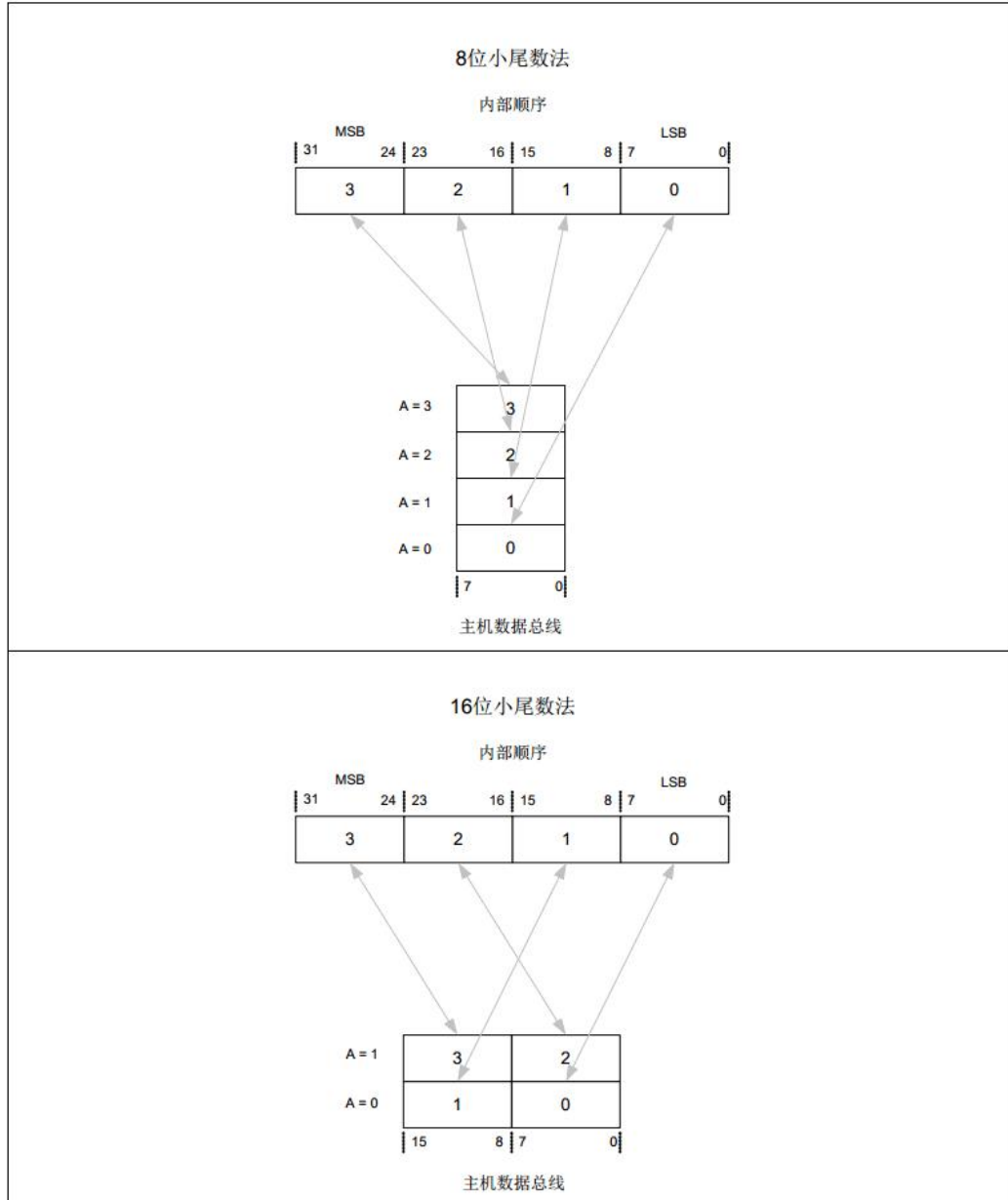


图 10-1 小尾数法

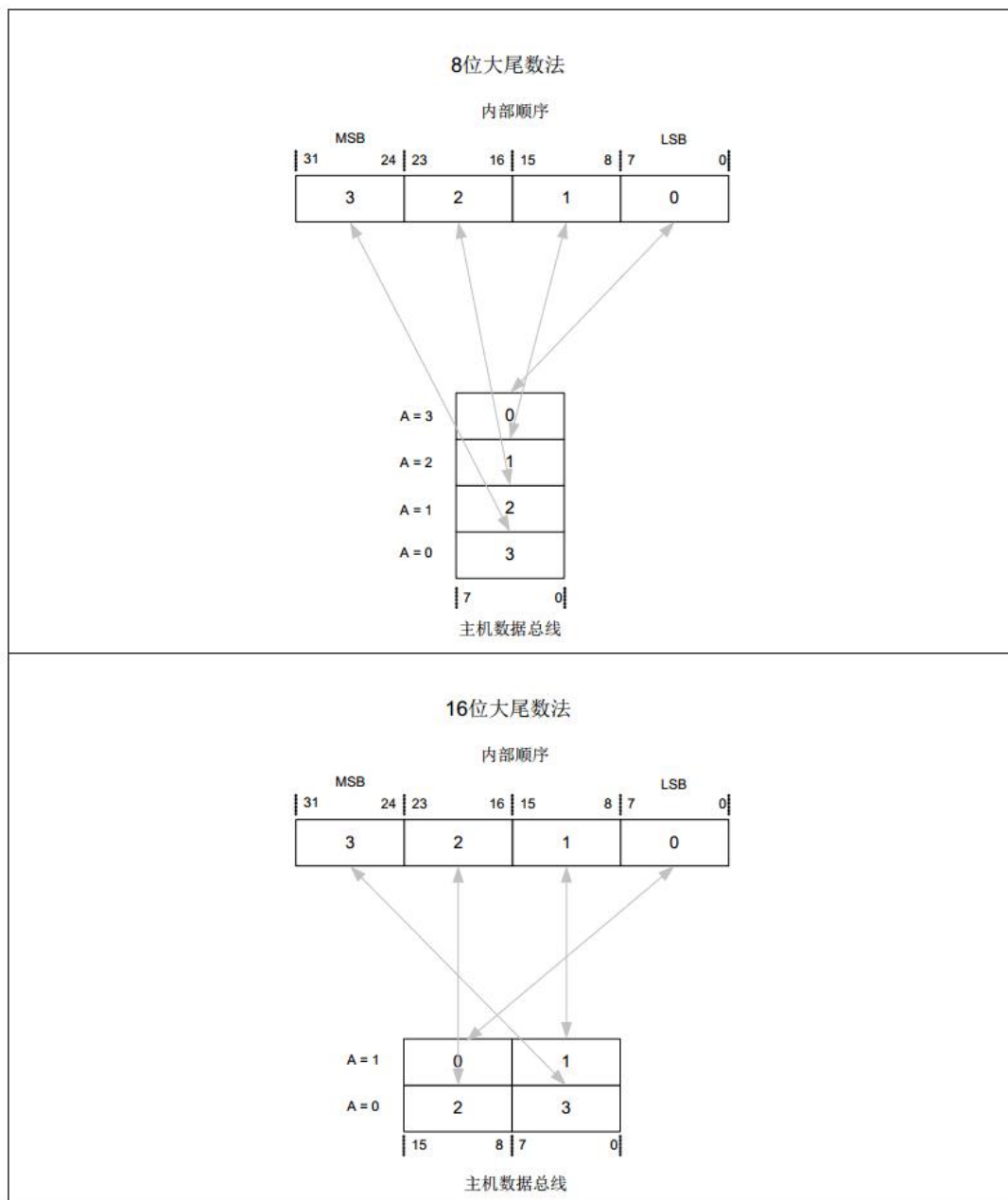


图 10-2 大尾数法

10.3.3. 实时工业以太网过程RAM数据FIFO访问

10.3.3.1. FIFO直接选择地址

FIFO直接选择信号允许主机系统将实时工业以太网过程RAM数据FIFO视为较大的扁平地址空间进行寻址。当地址锁存周期期间锁存的FIFO直接选择信号有效时，将对实时工业以太网过程RAM写数据FIFO执行所有主机写操作，并从实时工业以太网过程RAM读数据FIFO执行所有主机读操作。仅解码锁存的低地址信号，以选择正确的字节或字。该模式将忽略所有其他的地址输入。所有其他操作均相同（双字汇编和FIFO弹出等）。

FIFO直接选择访问的字节顺序取决于地址锁存周期期间锁存的字节顺序选择。读取实时工业以太网过程RAM读数据FIFO时不支持突发访问。但是，由于FIFO直接选择信号在复位事件发生或者新地址加载之前一直保留，因此无需多次执行地址锁存操作也可多次发出

读写请求。

10.3.4. 复用寻址模式功能时序图

以下各时序图给出了不同地址/数据配置和总线大小条件下的示例复用寻址模式读写周期。这些图并未涵盖支持的所有主机总线排列，但可选用于详细介绍复用寻址工作模式下的主要配置差异（总线大小和双/单阶段地址锁存）。

对于本节中的时序图，应注意以下几点：

- ◆ 本节中的时序图描述了高电平有效的 ALEHI/ALELO、CS、RD 和 WR 信号。这些信号的极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI ALE 极性、HBI 片选极性、HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。
- ◆ 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见字节顺序选择到地址/数据引脚的映射。
- ◆ 在时序图中利用 RD 和 WR 信号，另外还支持备用的 RD_WR 和 ENB 信号。HBI 读/写模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。RD_WR 和 ENB 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。
- ◆ 可选择通过 PDI 配置寄存器（HBI 模式）的 HBI ALE 限定位用 CS 信号限定 ALELO 和/或 ALEHI。
- ◆ 在双阶段地址锁存模式下，ALEHI 和 ALELO 周期的顺序可以是任意的。可能跳过 ALELO 和 ALEHI 周期的其中一个，也可能两个周期都跳过，器件保留锁存的最后一个地址。
- ◆ 在单阶段地址锁存模式下，可能跳过 ALELO 周期，器件保留锁存的最后一个地址。

注： 在 8 位和 16 位模式下，通常不会跳过 ALELO 周期，因为需要访问连续的字节或字才能满足完整的双字周期。但是，一些寄存器允许单字节或字访问，在这种情况下，可以对这些寄存器执行多次访问，而无需重新锁存重复的地址。

- ◆ 对于 16 位和 8 位模式，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（上述寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。

10.3.4.1. 双阶段地址锁存

本节中的各图详细描述了双阶段地址锁存时复用寻址模式下的16位和8位读操作和写操作。

16位读操作

地址从AD[7:0]按顺序锁存。地址阶段不使用或驱动AD[15:8]。接着会读取AD[15:0]。为双字的另外16位重复该周期。

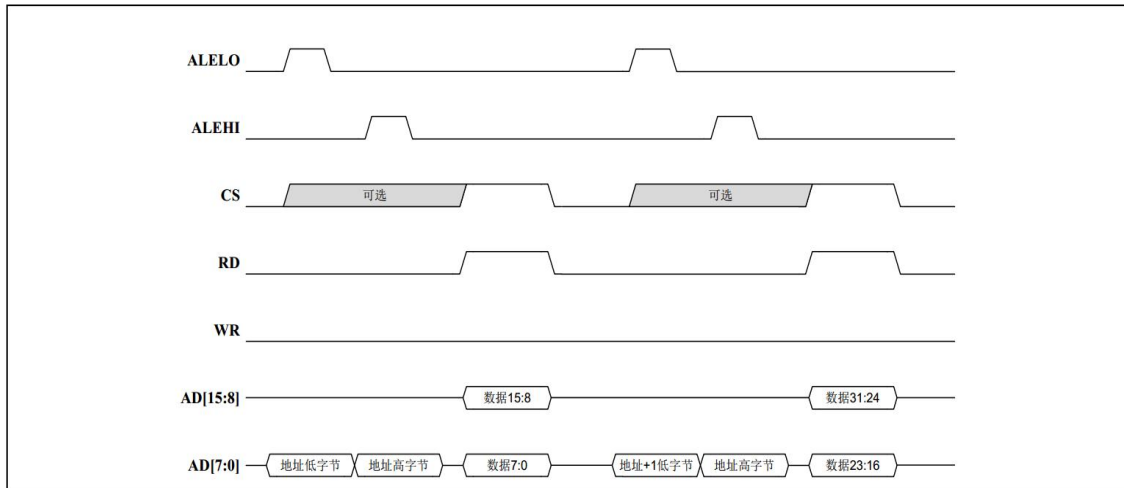


图 10-3 双阶段锁存时的复用寻址（16位读操作）

抑制ALEHI时的16位读操作

地址从AD[7:0]按顺序锁存。地址阶段不使用或驱动AD[15:8]。接着会读取AD[15:0]。随后，会更新低地址以访问另外一个字。

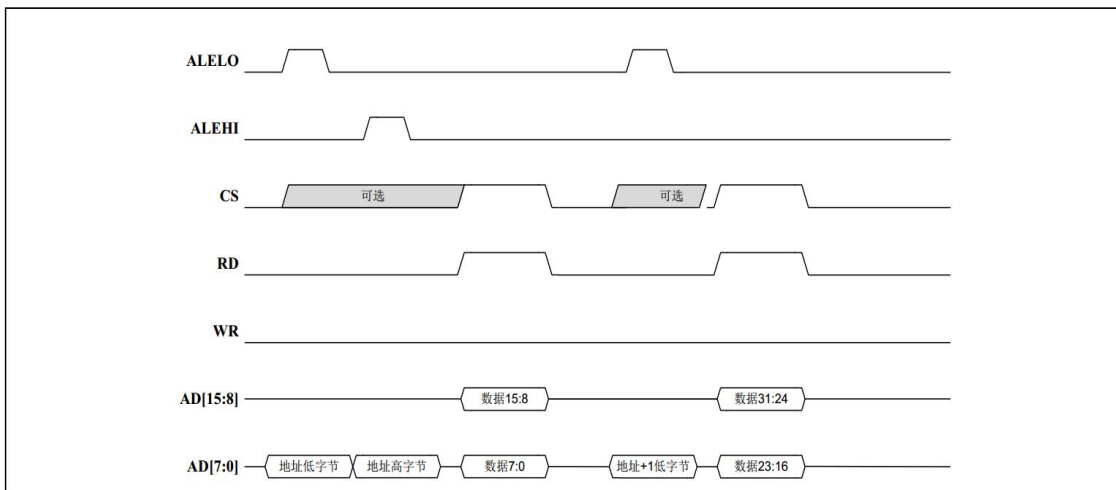


图 10-4 双阶段锁存时的复用寻址（16位读操作，无ALEHI）

16位写操作

地址从AD[7:0]按顺序锁存。地址阶段不使用或驱动AD[15:8]。接着会写入AD[15:0]。为双字的另外16位重复该周期。

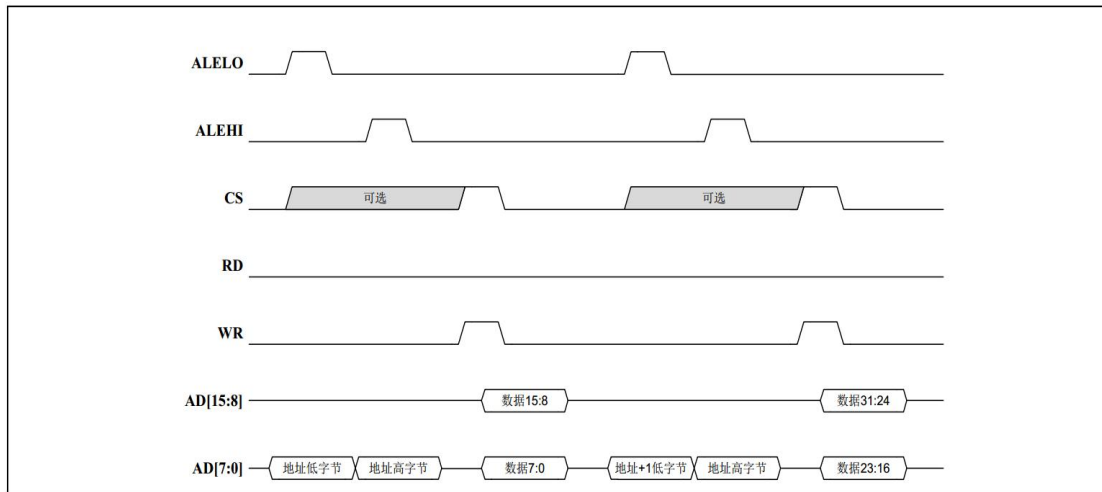


图 10-5 双阶段锁存时的复用寻址（16位写操作）

抑制ALEHI时的16位写操作

地址从AD[7:0]按顺序锁存。地址阶段不使用或驱动AD[15:8]。接着会写入AD[15:0]。随后，会更新低地址以访问另外一个字。

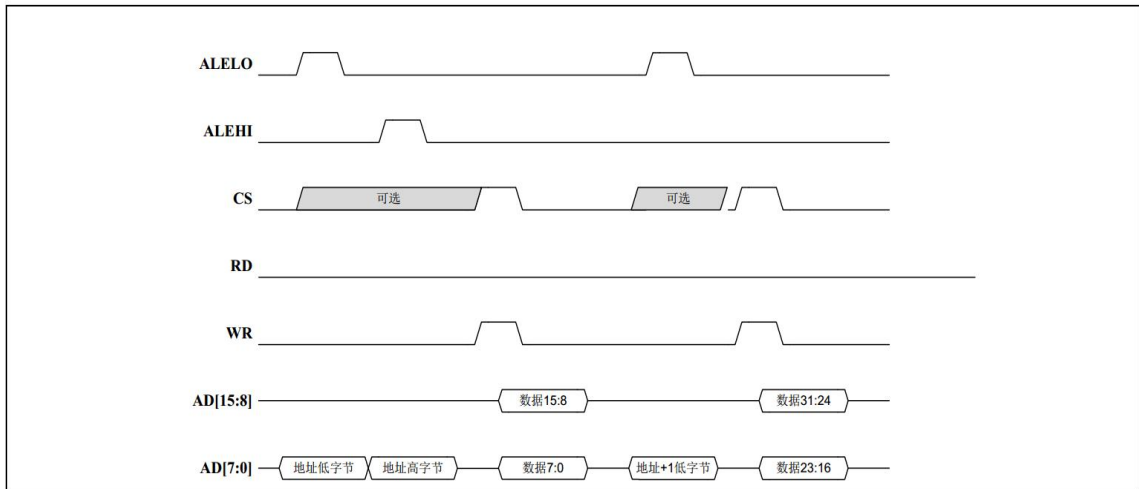


图 10-6 双阶段锁存时的复用寻址（16位写操作，无ALEHI）

对常量地址的16位读操作和写操作

地址从AD[7:0]按顺序锁存。地址阶段不使用或驱动AD[15:8]。接着会对AD[15:0]执行读写混合操作。

注： 在通常，需要对同一双字中的两个字分别执行一次16位读操作，在此期间需要通过ALELO更改低地址。对同一个字执行16位读操作和写操作是一个特例。

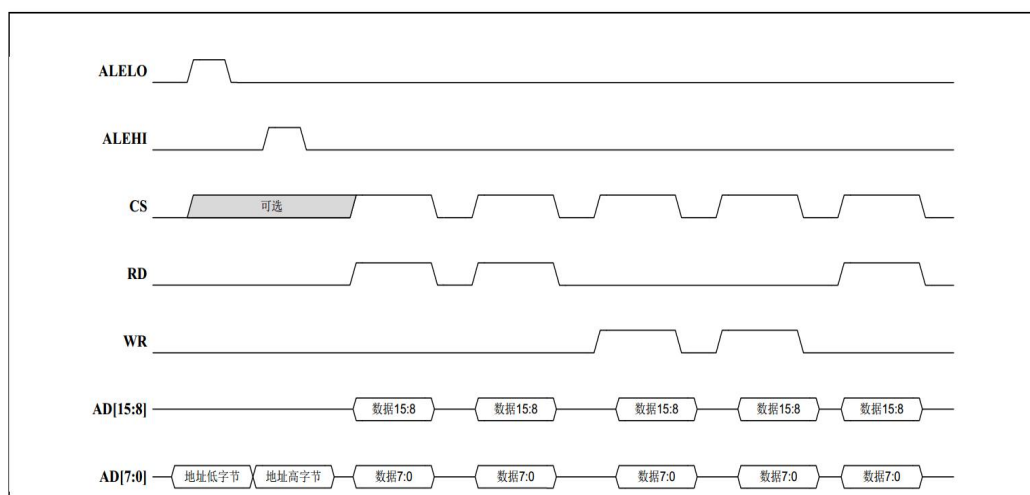


图 10-7 双阶段锁存时的复用寻址（对常量地址进行16位读操作和写操作）

8位读操作

地址从AD[7:0]按顺序锁存。接着会读取AD[7:0]。不会使用或驱动AD[15:8]引脚。为双字中的其他字节重复该周期。

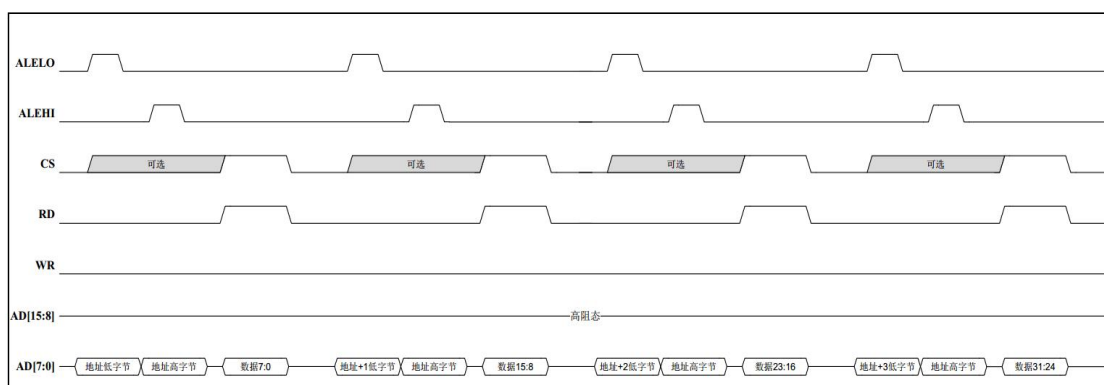


图 10-8 双阶段锁存时的复用寻址（8位读操作）

8位写操作

地址从AD[7:0]按顺序锁存。接着会写入AD[7:0]。不会使用或驱动AD[15:8]引脚。为双字中的其他字节重复该周期。

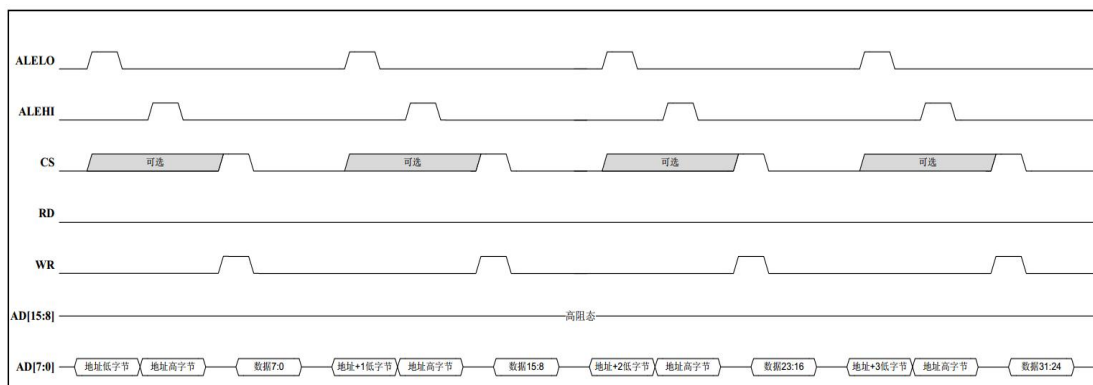


图 10-9 双阶段锁存时的复用寻址（8位写操作）

抑制ALEHI时的8位写操作

地址从AD[7:0]按顺序锁存。接着会写入AD[7:0]。不会使用或驱动AD[15:8]引脚。随后，会更新低地址以访问其他字节。

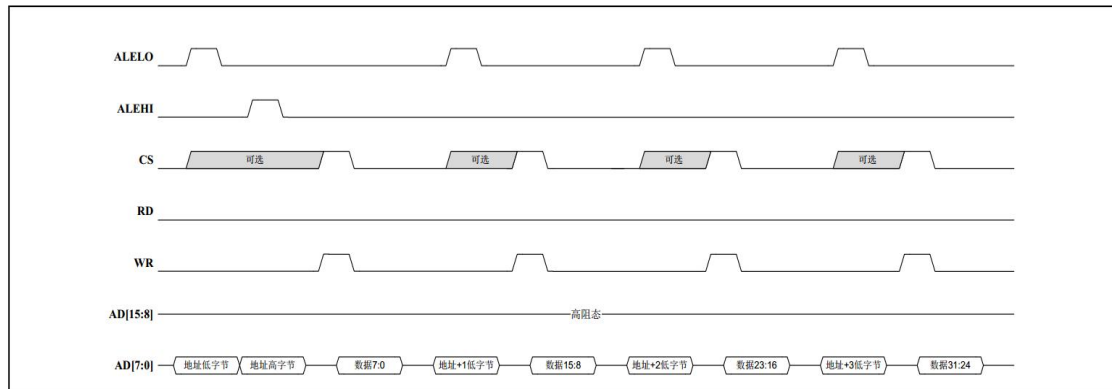


图 10-10 双阶段锁存时的复用寻址（8位写操作，无ALEHI）

对常量地址的8位读操作和写操作

地址从AD[7:0]按顺序锁存。接着会对AD[7:0]执行读写混合操作。不会使用或驱动AD[15:8]引脚。

注： 通常，需要对同一双字中的四个字节分别执行一次8位读操作，在此期间至少需要通过ALELO更改低地址。对同一个字节执行8位读操作和写操作是一个特例。

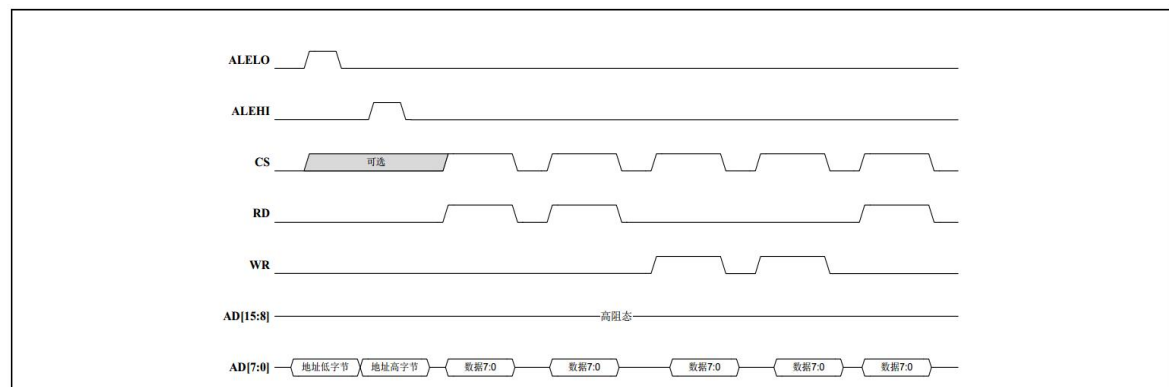


图 10-11 双阶段锁存时的复用寻址（对常量地址进行8位读操作和写操作）

10.3.4.2. 单阶段地址锁存

本节中的各图详细描述了单阶段寻址时复用寻址模式下的16位和8位工作模式。

16位读操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会读取AD[15:0]。为双字的另外16位重复该周期。

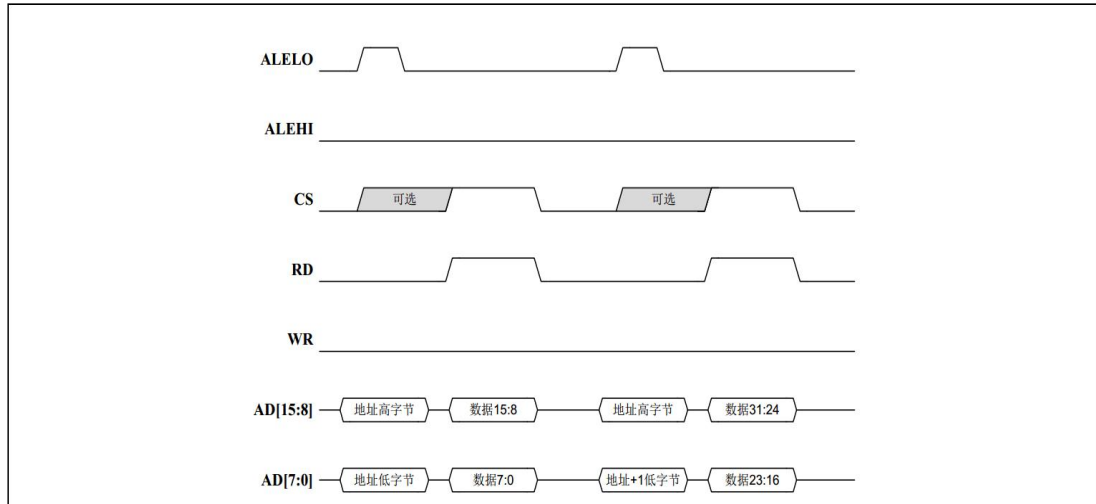


图 10-12 单阶段锁存时的复用寻址（16位读操作）

16位写操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会写入AD[15:0]。为双字的另外16位重复该周期。

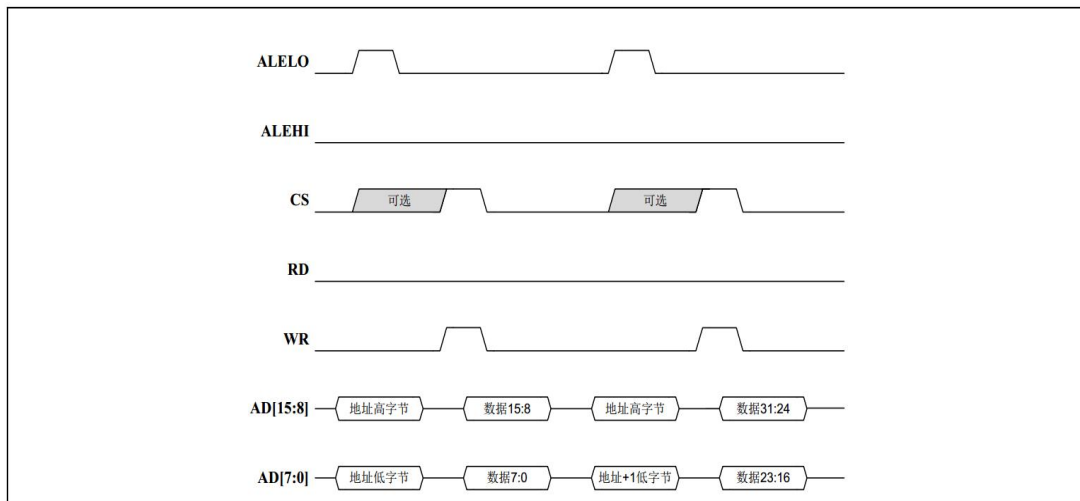


图 10-13 单阶段锁存时的复用寻址（16位写操作）

对常量地址的16位读操作和写操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会对AD[15:0]执行读写混合操作。

注：通常，需要对同一双字的两个字分别执行一次16位读操作。对同一个字执行16位读操作和写操作是一个特例。

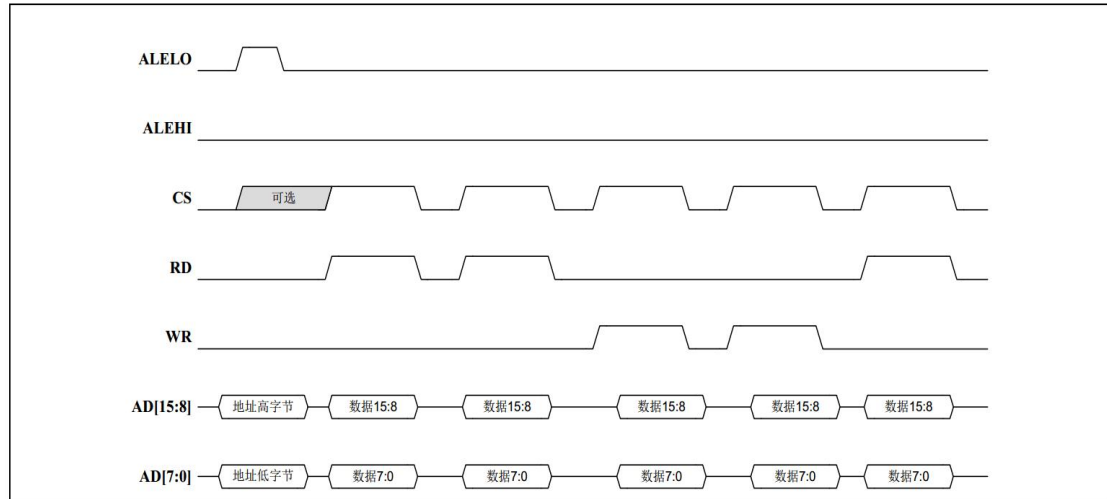


图 10-14 单阶段锁存时的复用寻址（对常量地址进行16位读操作和写操作）

8位读操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会读取AD[7:0]。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。为双字的其他字节重复该周期。

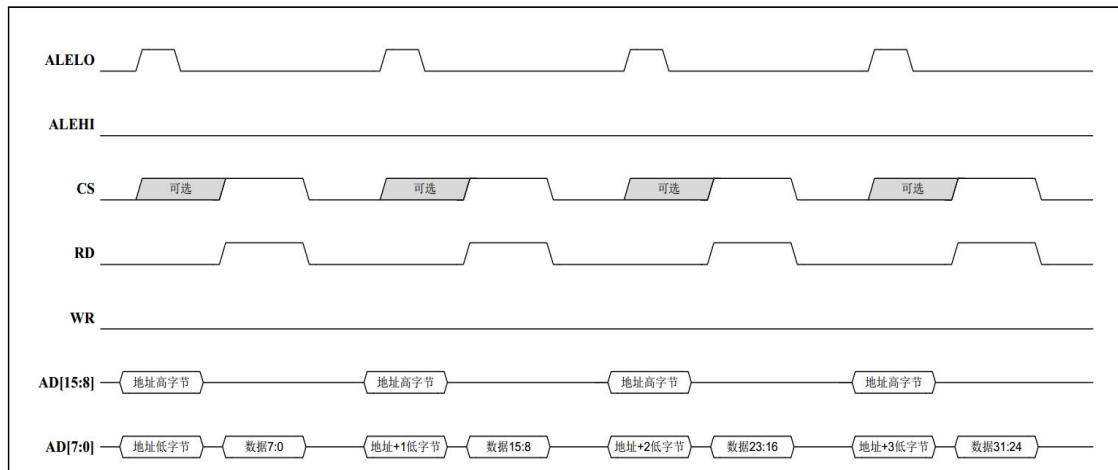


图 10-15 单阶段锁存时的复用寻址（8位读操作）

8位写操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会写入AD[7:0]。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。为双字的其他字节重复该周期。

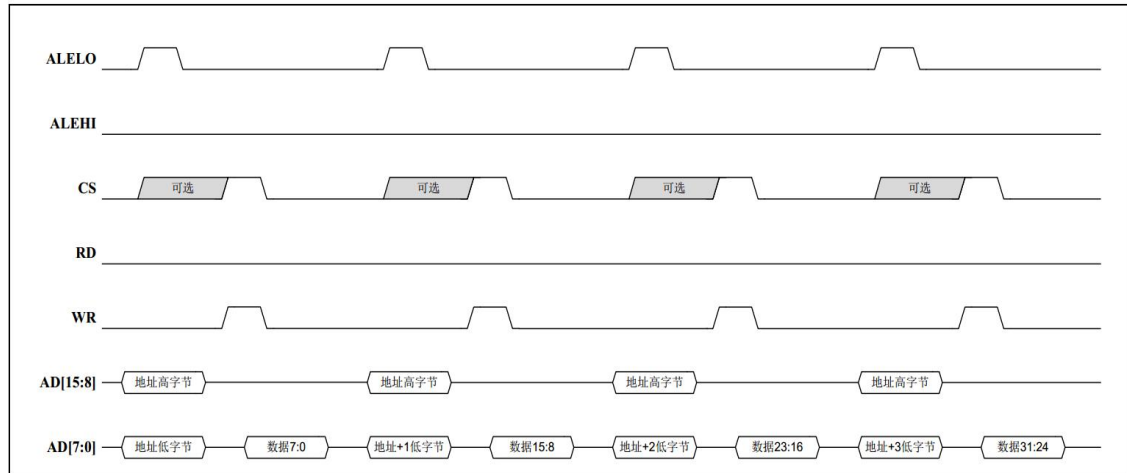


图 10-16 单阶段锁存时的复用寻址（8位写操作）

对常量地址的8位读操作和写操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会对AD[7:0]执行读写混合操作。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。

注： 通常，需要对同一双字的四个字节分别执行一次 8 位读操作。对同一个字节执行 8 位读操作和写操作是一个特例。

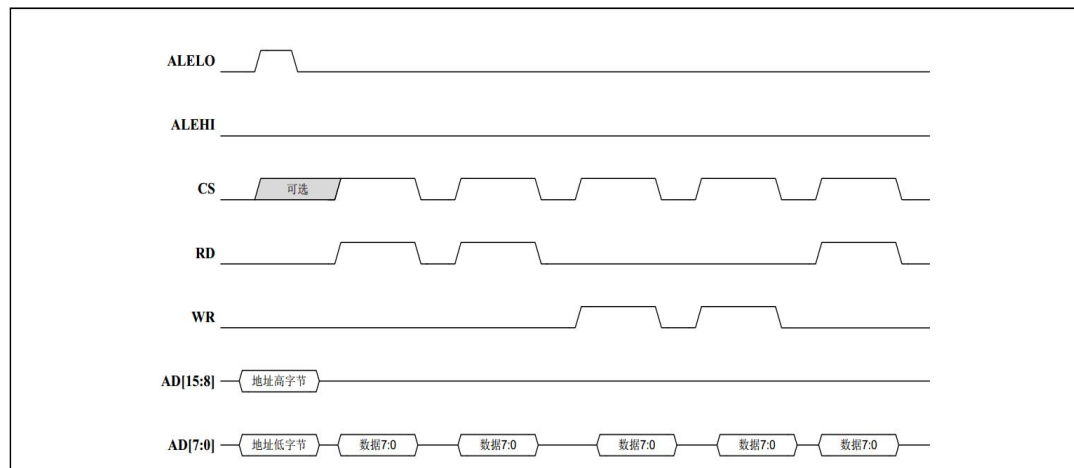


图 10-17 单阶段锁存时的复用寻址（对常量地址进行8位读操作和写操作）

10.3.4.3. RD_WR/ENB控制模式示例

本节中的各图详细描述了利用备用 RD_WR 和 ENB 信号时的读操作和写操作。HBI 读/写模式可通过PDI配置寄存器（HBI模式）的HBI读/写模式位选择。

注： 本节中的示例详细介绍了双阶段锁存时的16位模式。但是，RD_WR 和 ENB 信号同样可用于所有其他复用寻址工作模式。在本节的示例中，ENB 信号高电平有效，RD_WR 信号低电平时用于读操作，高电平时用于写操作。RD_WR和ENB信号的极性可通过PDI配置寄存器（HBI模式）的HBI读取以及读/写极性和HBI写入以及使能极性位选择。

16位读写操作

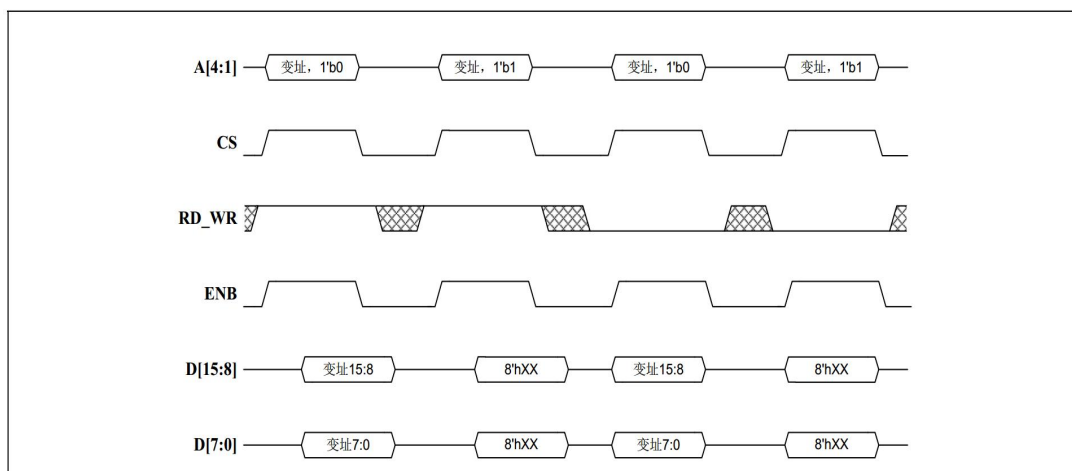


图 10-18 变址寻址RD_WR/ENB控制模式示例（16位写操作/读操作）

10.3.5. 变址寻址模式时序要求

以下图表规定了变址寻址模式期间的时序要求。由于不同操作（例如，8位和16位，变址、配置和数据寄存器，FIFO直接选择）间的时序要求是类似的，因此许多时序要求在相同的图中进行了说明，而不必针对任何特定的功能操作单独说明。

对于本节中的时序规范，应注意以下几点：

- ◆ 本节中的时序图描述了高电平有效的CS、RD、WR、RD_WR和ENB信号。这些信号的极性可分别通过PDI配置寄存器（HBI模式）的HBI片选极性、HBI读取以及读/写极性和HBI写入以及使能极性位选择。
- ◆ 读周期后可能跟着写周期或另一个读周期。写周期后可能跟着读周期或另一个写周期。这些用虚线表示。

10.3.5.1. 读时序要求

如果使用RD和WR信号，当CS有效时将RD置为有效，主机读周期启动。当将RD置为无效时，该周期结束。CS可能与RD一起置为有效和无效，而并非在RD有效期间。或者，如果使用RD_WR和ENB信号，当CS有效时将ENB置为有效且RD_WR指示读操作时，主机读周期启动。当将ENB置为无效时，该周期结束。CS可能与ENB一起置为有效和无效，而并非在ENB有效期间。

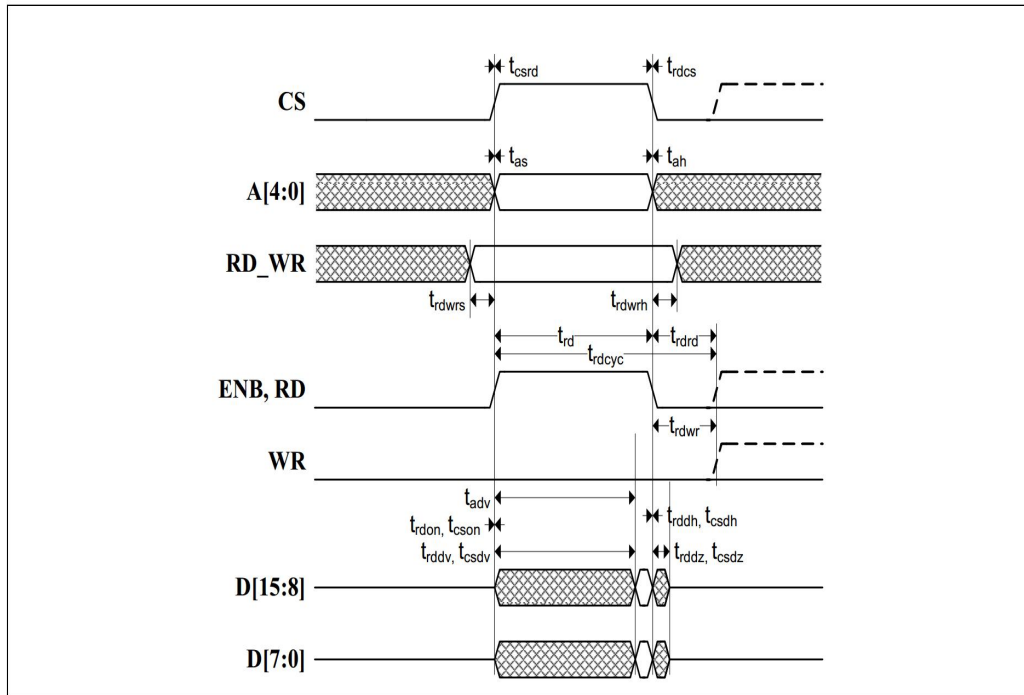


图 10-19 变址寻址读周期时序

表 10-1 变址寻址读周期时序值

符号	说明	最小值	典型值	最大值	单位
tcsrd	从CS建立到RD或ENB有效的时间	0			ns
trdcs	RD或ENB无效之后CS的保持时间	0			ns
tas	从地址建立到RD或ENB有效的时间	0			ns
tah	RD或ENB无效之后地址的保持时间	0			ns
trdwrs	从RD_WR建立到ENB有效的时间 注1	5			ns
trdwrh	ENB无效之后RD_WR的保持时间 注1	5			ns
trdon	从RD或ENB到数据缓冲区开启的时间	0			ns
trddv	从RD或ENB有效到数据有效的时间			30	ns
trddh	RD或ENB无效之后数据输出的保持时间	0			ns
trddz	从RD或ENB无效到数据缓冲区关闭的时间			9	ns
tcson	从CS到数据缓冲区开启的时间	0			ns
tcsdv	从CS有效到数据有效的时间			30	ns
tcsdh	从CS无效之后数据输出的保持时间	0			ns
tcsdz	从CS无效到数据缓冲区关闭的时间			9	ns
tadv	从地址到数据有效的时间			30	ns
trd	RD或ENB的有效时间	32			ns
trdcyc	RD或ENB的周期时间	45			ns

符号	说明	最小值	典型值	最大值	单位
t_{rdrd}	下一个RD或ENB之前的RD或ENB无效时间	13			ns
t_{rdwr}	下一个WR之前的RD无效时间 注2	13			ns

注1: RD_WR和ENB信号。

注2: RD和WR信号。

注: 时序值在25 pF等效测试负载条件下得出。

10.3.5.2. 写时序要求

如果使用RD和WR信号，当CS有效时将WR置为有效，主机写周期启动。当将WR置为无效时，该周期结束。CS可能与WR一起置为有效和无效，而并非在WR有效期间。或者，如果使用RD_WR和ENB信号，当CS有效时将ENB置为有效且RD_WR指示写操作时，主机写周期启动。当将ENB置为无效时，该周期结束。CS可能与ENB一起置为有效和无效，而并非在ENB有效期间。有关功能说明的信息，请参见变址寻址模式功能时序图。

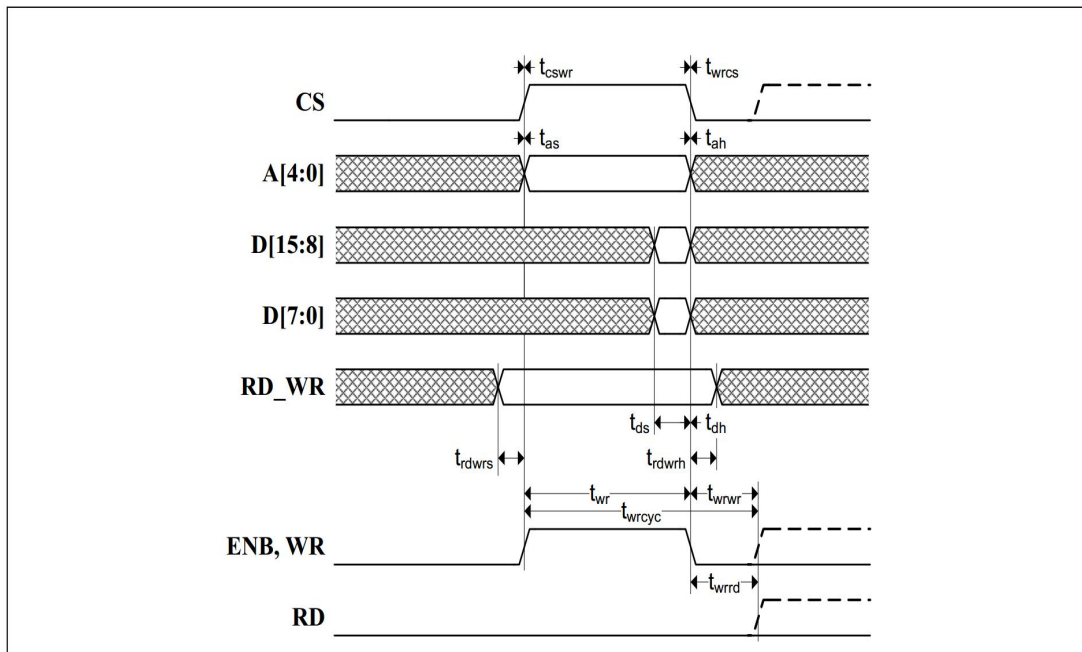


图 10-20 变址寻址写周期时序

表 10-2 变址寻址写周期时序值

符号	说明	最小值	典型值	最大值	单位
t _{cswr}	从CS建立到WR或ENB有效的时间	0			ns
t _{wres}	WR或ENB无效之后CS的保持时间	0			ns
t _{as}	从地址建立到WR或ENB有效的时间	0			ns
t _{ah}	WR或ENB无效之后地址的保持时间	0			ns
t _{rdwrs}	从RD_WR建立到ENB有效的时间 注3	5			ns
t _{rdwrh}	ENB无效之后RD_WR的保持时间 注3	5			ns
t _{ds}	从数据建立到WR或ENB无效的时间	7			ns
t _{dh}	WR或ENB无效之后数据的保持时间	0			ns
t _{wr}	WR或ENB的有效时间	32			ns
t _{wrcyc}	WR或ENB的周期时间	45			ns
t _{wrrwr}	下一个WR或ENB之前的WR或ENB无效时间	13			ns
t _{wrrd}	下一个RD之前的WR无效时间 注4	13			ns

注3: RD_WR和ENB信号。

注4: RD和WR信号。

11. SPI/SQI从器件

11.1. 功能概述

SPI/SQI 从模块提供低引脚数同步从接口，便于器件与主机系统之间的通信。凭借 SPI/SQI 从器件，可访问系统CSR、内部FIFO和存储器。该器件支持一条和多条采用递增、递减和静态寻址的寄存器读写命令。SPI模式支持单、双和四位通道，时钟速率最高达80 MHz。SQI模式始终使用四位通道，其工作时钟速率最高也为80 MHz。

以下内容概述了SPI/SQI从器件提供的功能：

- ◆ 串行读操作：以最高30 MHz的频率进行4线（时钟、选择、数据输入和数据输出）读操作。串行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- ◆ 快速读操作：以最高80 MHz的频率进行4线（时钟、选择、数据输入和数据输出）读操作。串行命令、地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- ◆ 双/四输出读操作：以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）读操作。串行命令和地址以及并行数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- ◆ 双/四I/O读操作：以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）读操作。串行命令、并行地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- ◆ SQI读操作：以最高80 MHz的频率进行6线（时钟、选择、数据输入/数据输出）写操作。并行命令、地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- ◆ 写操作：以最高80 MHz的频率进行4线（时钟、选择、数据输入和数据输出）写操作。串行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- ◆ 双/四数据写操作：以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）写操作。串行命令、地址和并行数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- ◆ 双/四地址/数据写操作：以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）写操作。串行命令、并行地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- ◆ SQI写操作：以最高80 MHz的频率进行6线（时钟、选择、数据输入/数据输出）写操作。并行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。

11.2. SPI/SQI从机操作

SIO[3:0] 引脚上的输入数据在SCK 输入时钟的上升沿被采样。SIO[3:0] 引脚上的输出数据在时钟的下降沿被采样。SCK 输入时钟可以是高电平有效脉冲或低电平有效脉冲。当SCS#片选输入为高电平时，SIO[3:0]输入被忽略，SIO[3:0]输出为三态。

在SPI模式下，8位指令在SCS# 变为有效后从输入时钟的第一个上升沿开始。该指令始终以串行方式输入SI/SIO0。

对于读指令和写指令，指令字节后跟两个地址字节。根据指令的不同，地址字节可以串行方式输入，或者以每个时钟2位或4位的方式输入。虽然所有寄存器均按双字访问，但地址字段被视为字节地址。使用十四个地址位指定地址。地址字段的bit 15和bit 14用于指定连续访问时地址自动递减（10b）还是自动递增（01b）。

对于一些读指令，地址字节后跟空字节周期。器件不会在空字节周期期间驱动输出。空字节以串行方式输入，或者以每个时钟2位或4位的方式输入。

对于读指令和写指令，如果存在空字节，则一个或多个32位数据字段跟在空字节后面，否则将跟在地址字节后面。数据以串行方式输入，或者以每个时钟2位或4位的方式输入。

可通过使能四I/O（EQIO）指令从SPI 模式切换至SQI 模式。一旦处于SQI 模式，后续的所有命令、地址、空字节和数据字节均以每个时钟4位的方式输入。可通过复位四I/O（RSTQIO）指令退出SQI模式。

所有指令、地址和数据均以最高有效位（msb）、最高双位（msd）或最高半字节（msn）在前的方式传输。地址以最高有效字节（MSB）在前的方式传输。数据以最低有效字节（LSB）在前（小尾数法）的方式传输。

SPI接口支持最高80 MHz 的输入时钟。正常（非高速）读指令限制在30 MHz。

SPI接口支持最短50 ns的连续命令间隔时间（最短SCS# 无效时间为50 ns）。

下表列出了SPI模式下支持的指令。接下来的表格列出了SQI指令。不得使用不受支持的命令。

表 11-1 SPI 指令

指令	说明	位宽度 注1	指令 代码	地址 字节	空字 节	数据 字节	最大 频率
配置							
EQIO	使能SQI	1-0-0	38h	0	0	0	80 MHz
RSTQIO	复位SQI	1-0-0	FFh	0	0	0	80 MHz
读							
READ	读操作	1-1-1	03h	2	0	4至 ∞	30 MHz
FASTREAD	以较高速度进行读操作	1-1-1	0Bh	2	1	4至 ∞	80 MHz
SDOR	SPI双输出读操作	1-1-2	3Bh	2	1	4至 ∞	80 MHz
SDIOR	SPI双I/O读操作	1-2-2	BBh	2	2	4至 ∞	80 MHz
SQOR	SPI四输出读操作	1-1-4	6Bh	2	1	4至 ∞	80 MHz
SQIOR	SPI四I/O读操作	1-4-4	EBh	2	4	4至 ∞	80 MHz
写							

WRITE	写操作	1-1-1	02h	2	0	4至 ∞	80 MHz
SDDW	SPI双数据 写操作	1-1-2	32h	2	0	4至 ∞	80 MHz
SDADW	SPI双地址/ 数据写操作	1-2-2	B2h	2	0	4至 ∞	80 MHz
SQDW	SPI四数据 写操作	1-1-4	62h	2	0	4至 ∞	80 MHz
SQADW	SPI四地址/ 数据写操作	1-4-4	E2h	2	0	4至 ∞	80 MHz

注1：位宽度格式为：命令位宽度、地址/空位宽度和数据位宽度。

表 11-2 SQI 指令

指令	说明	位宽度 注2	指令 代码	地址 字节	空字 节	数据 字节	最大 频率
配置							
RSTQIO	复位SQI	4-0-0	FFh	0	0	0	80 MHz
读							
FASTREAD	以较高速度 进行读操作	4-4-4	0Bh	2	3	4至 ∞	80 MHz
写							
WRITE	写操作	4-4-4	02h	2	0	4至 ∞	80 MHz

注2：位宽度格式为：命令位宽度、地址/空位宽度和数据位宽

11.2.1. 器件初始化

直到器件初始化为各种配置输入均有效的程度，SPI/SQI接口才会响应任意外部引脚活动并受其影响。一旦器件完成初始化，SPI/SQI接口便会忽略这些引脚，直至检测到SCS# 的上升沿。

11.2.1.1. 初始化完成的SPI/SQI从器件读轮询

器件初始化之前，SPI/SQI 接口将不会返回有效数据。要确定SPI/SQI 接口何时工作，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）的器件就绪（READY）位来确定器件何时完全配置。

注：主机在轮询BYTE_TEST寄存器时，应只使用单寄存器读操作（每次SCS#为低电平时发生一个数据周期）。

11.2.1.2. 功耗管理期间以及功耗管理之后的访问

在D0以外的任何功耗管理模式期间，会忽略读写操作，SPI/SQI接口不会响应任何外部引脚活动，也不会受其影响。一旦功耗管理模式切换回D0，SPI/SQI接口便会忽略这些引脚，直至检测到SCS# 的上升沿。

要确定SPI/SQI 接口何时工作，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）的器件就绪（READY）位来确定器件何时完全配置。

注：主机在轮询BYTE_TEST寄存器时，应只使用单寄存器读操作（每次SCS#为低电平时发生一个数据周期）。

11.2.2. SPI配置命令

11.2.2.1. 使能SQI

使能SQI指令用于将工作模式切换至SQI。SPI总线协议支持该指令，最大支持频率可达80 Mhz。SQI总线协议不支持该指令。

首先将SCS#置为有效，选择SPI从接口。8位EQIO指令（38h）以每个时钟1位的方式输入SI/SIO[0]引脚。要结束该周期，需将SCS#输入置为无效。

图 11-1给出了使能SQI指令图示。

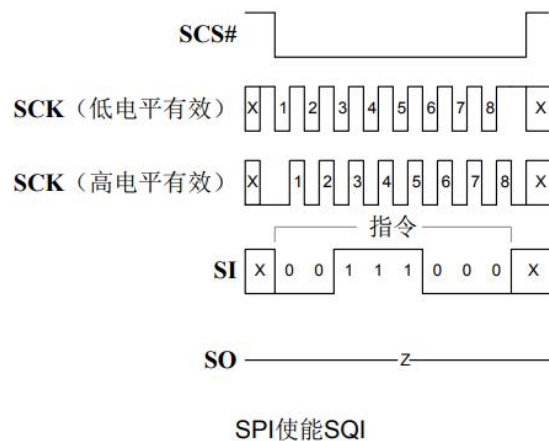


图 11-1 使能SQI

11.2.2.2. 复位SQI

复位SQI指令用于将工作模式切换至SPI。SPI总线协议和SQI总线协议才支持该指令，最大支持频率高达80 Mhz。首先将SCS#置为有效，选择SPI/SQI从接口。8位RSTQIO指令（FFh）在SPI模式下以每个时钟1位的方式输入SI/SIO[0] 引脚，在SQI模式下以每个时钟4位的方式输入SIO[3:0]引脚。要结束该周期，需将SCS#输入置为无效。

图 11-2给出了SPI模式下的复位SQI指令图示。图 11-3 给出了SQI模式下的复位SQI指令图示。

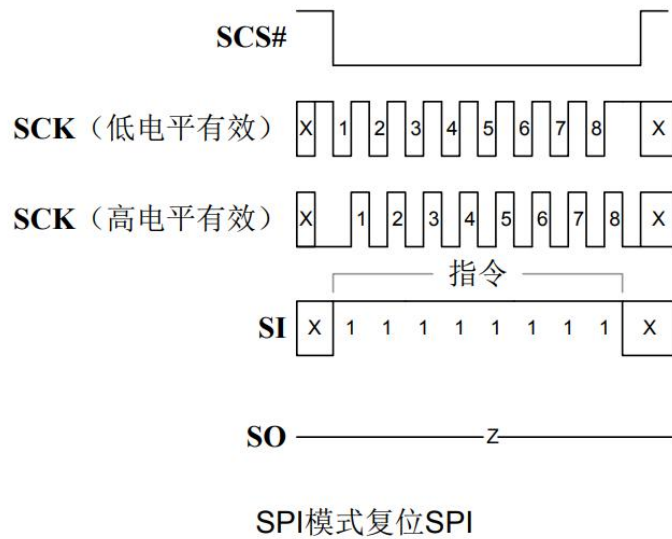


图 11-2 SPI模式复位SQI

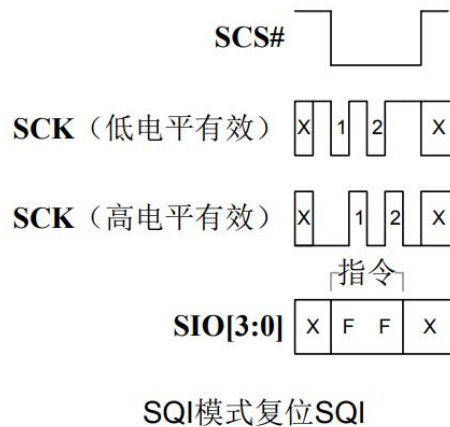


图 11-3 SQI模式复位SQI

11.2.3. SPI读命令

SPI/SQI从器件支持各种读命令。以下内容适用于所有读命令。

多次读操作

当SCS# 有效时，可通过继续提供时钟脉冲来执行除第一次读操作外的其他读操作。地址的高 2 位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部双字地址基于这两位递增、递减或保持不变。保持固定内部地址对于寄存器轮询很有用。

特殊CSR处理

即时位

由于数据以串行方式读取，因此所选寄存器的值在每次 32 位读操作开始时进行保存，以防止主机读取中间值。多次读序列中将进行多次保存。

“读取时更改”寄存器和FIFO

一旦当前数据输出开始移位，便会更新受读操作影响的任何寄存器（例如，读取时清零位或FIFO）。如果在SCS# 恢复高电平时未读取32位，则寄存器仍受影响且之前的任何数据都将丢失。

“读取时更改”即时寄存器位

如上文所述，具有即时位的寄存器（任何寄存器）的当前值在数据移出之前保存。虽然捕捉数据之后发生的硬件事件仍会更新即时位，但即时位仍将在输出移位开始后受影响（例如，被清零）且硬件事件会丢失。为了避免这种情况，各个CSR 会将硬件事件更新延迟至指示读操作之后。

11.2.3.1. 读

读操作指令以每个时钟 1 位的方式输入指令代码和地址字节，并以每个时钟 1 位的方式输出数据。SPI总线协议支持该指令的运行频率最高达30 Mhz。（仅当时钟频率高达 30 MHz时，SPI总线协议才支持该指令。）SQL总线协议不支持该指令。

首先将SCS# 置为有效，选择SPI从接口。8 位READ指令（03h）输入到SI/SIO[0] 引脚，其后跟两个地址字节。地址字节用于指定器件内的字节地址。

在最后一个地址位的上升沿后的时钟下降沿，SO/SIO[1] 引脚将以所选寄存器的LSB的msb在前的方式驱动。其余寄存器位在后续的时钟下降沿移出。

要结束该周期，需将SCS# 输入置为无效。此时，SO/SIO[1] 引脚为三态。

图 11-4给出了单次寄存器读操作和多次寄存器读操作的典型图示。

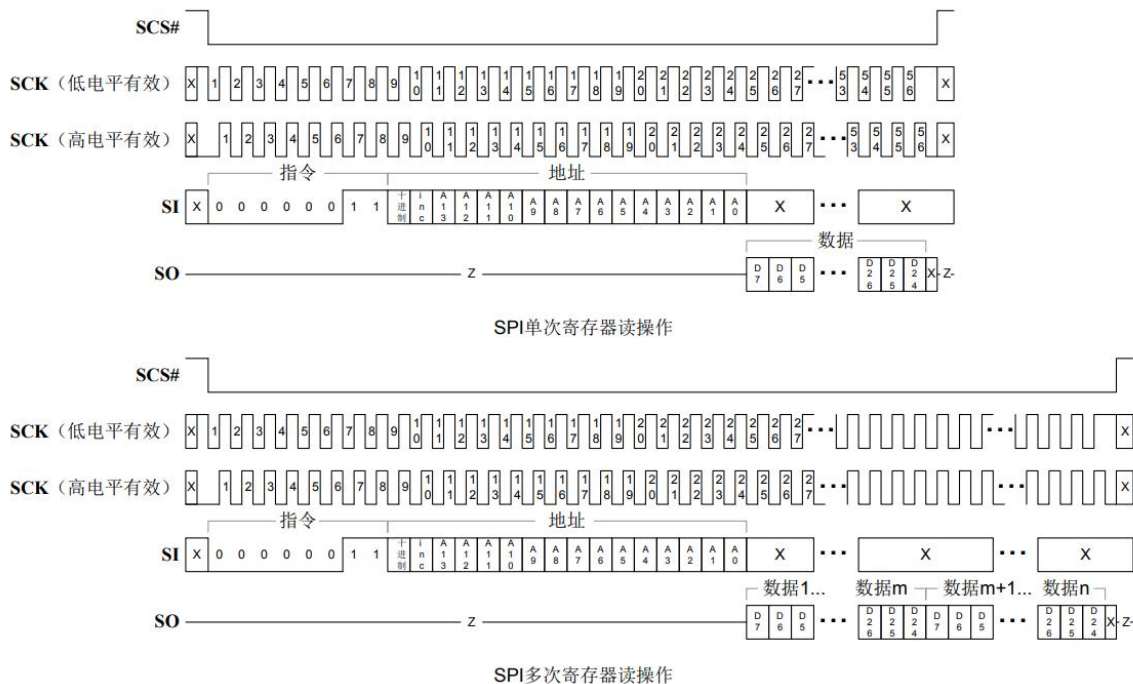


图 11-4 SPI读操作

11.2.3.2. 快速读操作

以较高速度进行读操作指令以每个时钟 1 位的方式输入指令代码、地址和空字节，并以每个时钟 1 位的方式输出数据。在SQR模式下，以每个时钟4位的方式输入指令代码、地址和空字节，并以每个时钟4位的方式输出数据。SPI总线和SQR总线协议支持该指令运行的频率最高达80 Mhz。（仅当时钟频率高达80 MHz时，SPI总线协议和SQR总线协议才支持该指令。）

首先将SCS#置为有效，选择SPI/SQR从接口。对于SPI模式，8 位FASTREAD指令（0Bh）输入到SI/SIO[0]引脚，其后跟2个地址字节以及1个空字节。对于SQR模式，8 位FASTREAD指令输入到SIO[3:0] 引脚，其后跟 2 个地址字节以及 3 个空字节。地址字节用于指定器件内的字节地址。

在最后一个空位（或半字节）的上升沿后的时钟下降沿，SO/SIO[1] 引脚将以所选寄存器的LSB 的msb 在前的方式驱动。对于SQR模式， SIO[3:0] 将以所选寄存器的LSB的msn 在前的方式驱动。其余寄存器位在后续的时钟下降沿移出。要结束该周期，需将SCS# 输入置为无效。此时， SO/SIO[3:0] 引脚为三态。

图 11-5给出了SPI模式下单次寄存器快速读操作和多次寄存器快速读操作的典型图示。

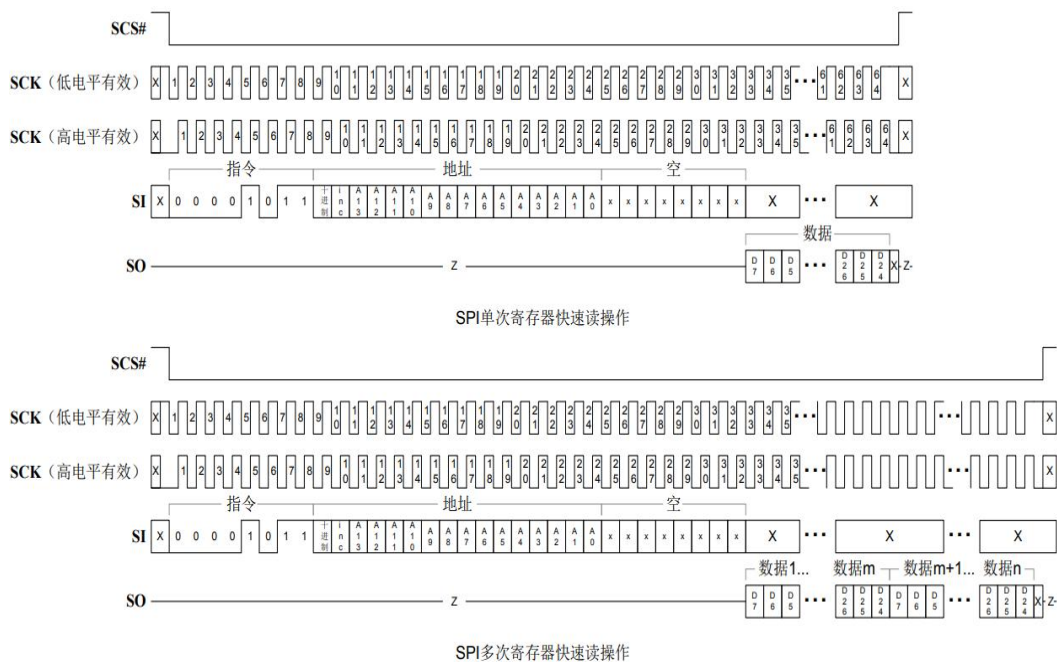


图 11-5 SPI快速读操作

图 11-6给出了SQI模式下单次寄存器快速读操作和多次寄存器快速读操作的典型图示。

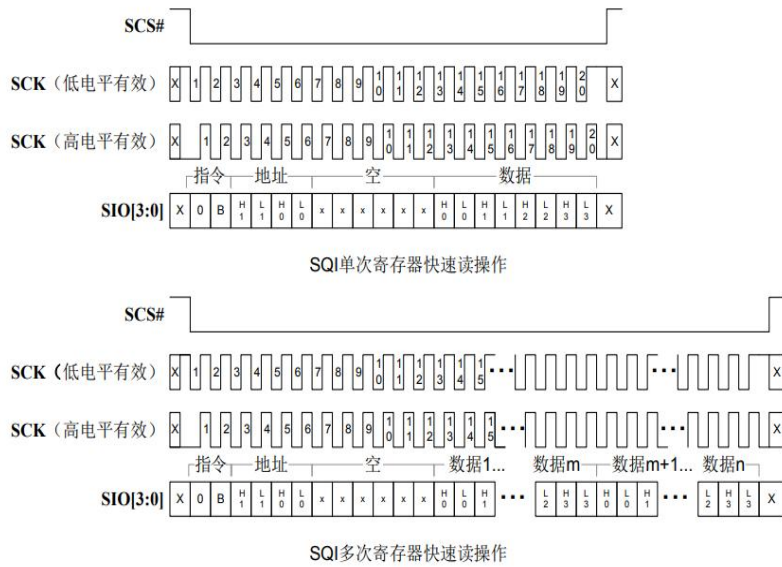


图 11-6 SQI快速读操作

11.2.3.3. 双输出读操作

SPI双输出读操作指令以每个时钟1位的方式输入指令代码、地址和空字节，并以每个时钟2位的方式输出数据。仅当时钟频率高达80 MHz时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将SCS#置为有效，选择SPI从接口。8位SDOR指令（3Bh）输入到SIO[0]引脚，其后跟2个地址字节以及1个空字节。地址字节用于指定器件内的字节地址。

在最后一个空双位的上升沿后的时钟下降沿，SIO[1:0]引脚将以所选寄存器的LSB的msb在前的方式驱动。其余寄存器双位在后续的时钟下降沿移出。

要结束该周期，需将SCS#输入置为无效。此时，SIO[1:0]引脚为三态。



图 11-8给出了单次寄存器四输出读操作和多次寄存器四输出读操作的典型图示。

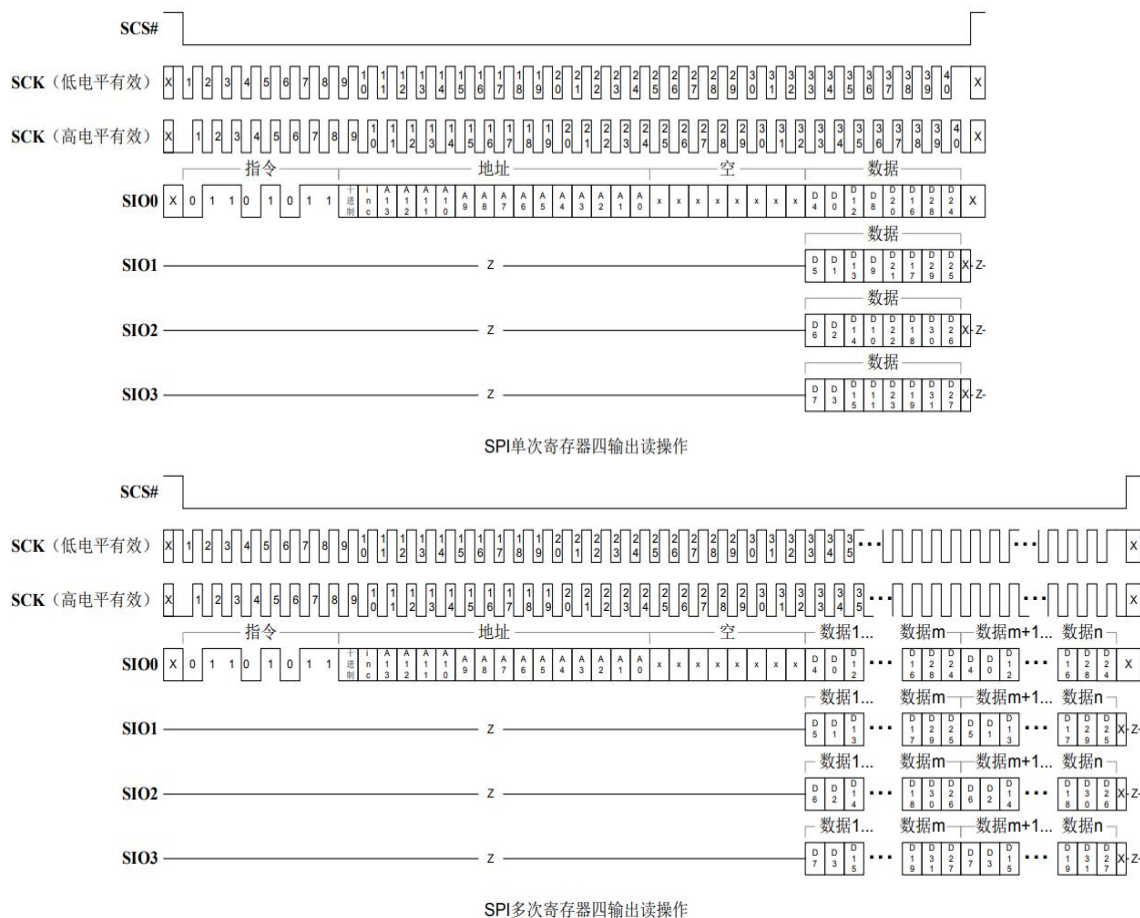


图 11-8 SPI四输出读操作

11.2.4.1. 双I/O读操作

SPI双I/O读操作指令以每个时钟1位的方式输入指令代码，以每个时钟2位的方式输入地址和空字节，并以每个时钟2位的方式输出数据。SPI总线支持该指令，最高频率可达80 Mhz。SQL总线协议不支持该指令。

首先将SCS#置为有效，选择SPI从接口。8位SDIOR指令（BBh）输入到SIO[0]引脚，其后跟的2个地址字节和2个空字节输入到SIO[1:0]引脚。地址字节用于指定器件内的字节地址。

在最后一个空双位的上升沿后的时钟下降沿，SIO[1:0]引脚将以所选寄存器的LSB的msb在前的方式驱动。其余寄存器双位在后续的时钟下降沿移出。

要结束该周期，需将SCS#输入置为无效。此时，SIO[1:0]引脚为三态。

图 11-9给出了单次寄存器双I/O读操作和多次寄存器双I/O读操作的典型图示。

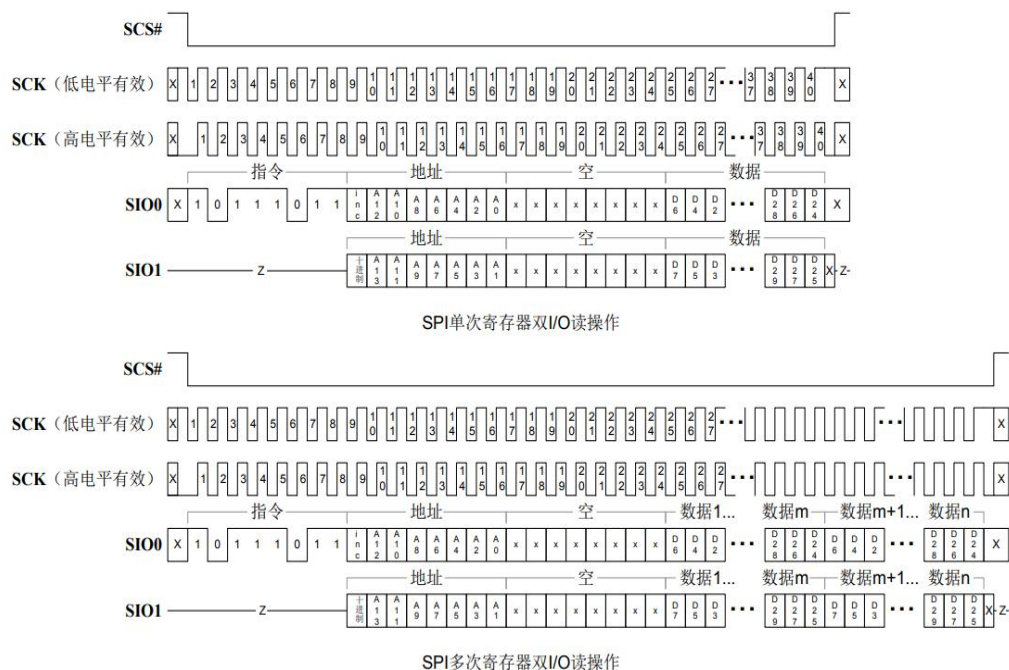


图 11-9 SPI 双 I/O 操作

11.2.4.2. 四 I/O 读操作

SPI 四 I/O 读操作指令以每个时钟 1 位的方式输入指令代码，以每个时钟 4 位的方式输入地址和空字节，并以每个时钟 4 位的方式输出数据。仅当时钟频率高达 80 MHz 时，SPI 总线协议才支持该指令。SQI 总线协议不支持该指令。

首先将 SCS# 置为有效，选择 SPI 从接口。8 位 SQIOR 指令（EBh）输入到 SIO[0] 引脚，其后跟的 2 个地址字节和 4 个空字节输入到 SIO[3:0] 引脚。地址字节用于指定器件内的字节地址。

在最后一个空半字节的上升沿后的时钟下降沿，SIO[3:0] 引脚将以所选寄存器的 LSB 的 msn 在前的方式驱动。其余寄存器半字节在后续的时钟下降沿移出。

要结束该周期，需将 SCS# 输入置为无效。此时，SIO[3:0] 引脚为三态。

图 11-10给出了单次寄存器四I/O读操作和多次寄存器四I/O读操作的典型图示。

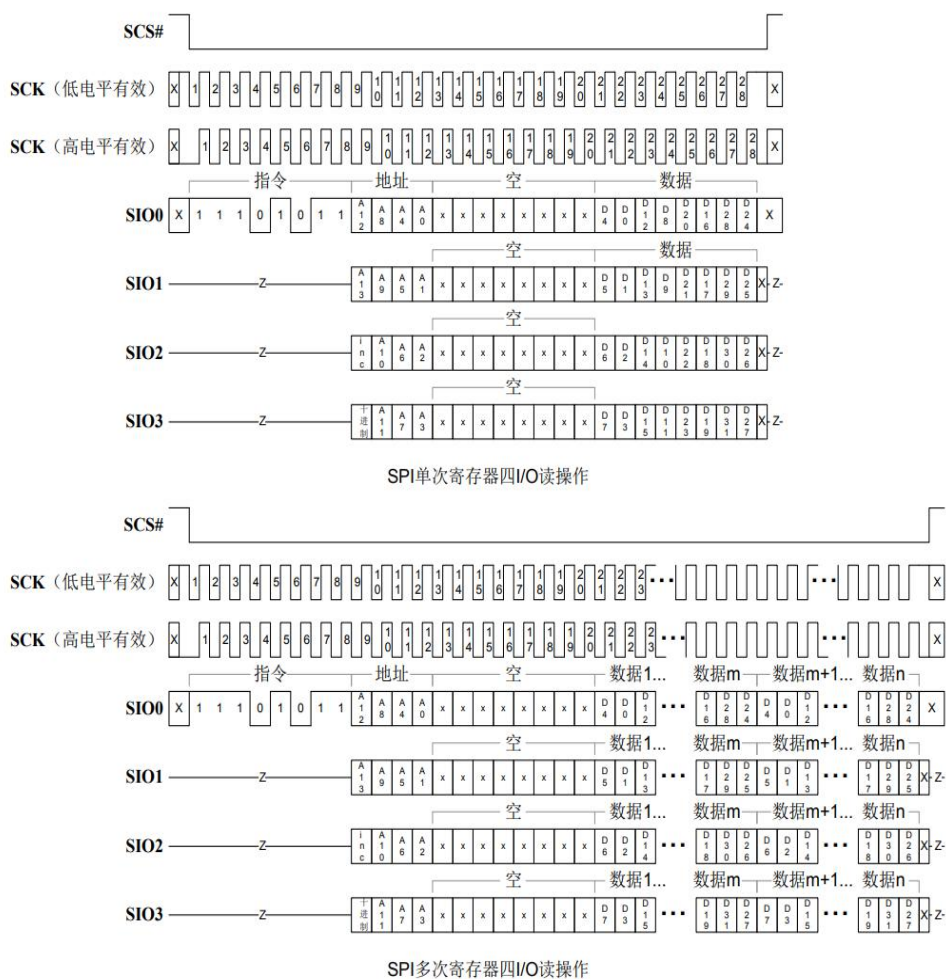


图 11-10 SPI 四 I/O 读操作

11.2.5. SPI 写命令

SPI/SQI 从器件支持多种写命令。以下内容适用于所有写命令。

多次写操作

当 SCS# 有效时，通过继续提供时钟脉冲和输入数据来执行多次写操作。地址的高 2 位用于指定自动递增 (address[15:14]=01b) 或自动递减 (address[15:14]=10b)。内部双字地址基于这两位递增、递减或保持不变。保持固定内部地址对于寄存器“位拆裂”或其他重复的写操作很有用。

写

写操作指令以每个时钟 1 位的方式输入指令代码、地址和数据字节。在 SQI 模式下，以每个时钟 4 位的方式输入指令代码、地址和数据字节。SPI 总线协议和 SQI 总线协议支持该指令，频率可高达 80 MHz。

首先将 SCS# 置为有效，选择 SPI/SQI 从接口。对于 SPI 模式，8 位 WRITE 指令 (02h) 输入到 SI/SIO[0] 引脚，其后跟 2 个地址字节。对于 SQI 模式，8 位 WRITE 指令 (02h) 输入到 SIO[3:0] 引脚，其后跟 2 个地址字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。对于SPI模式，数据以LSB的msb在前的方式输入到SI/SIO[0]引脚。对于SQI模式，以LSB的msn在前的方式向SIO[3:0]输入半字节宽的数据。其余位/半字节在后续的时钟边沿移入。输入32位后，会对寄存器写入数据。如果在SCS#恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。

要结束该周期，需将SCS#输入置为无效。

图 11-11给出了SPI模式下单次寄存器写操作和多次寄存器写操作的典型图示。图 11-12给出了SQI模式下单次寄存器写操作和多次寄存器写操作的典型图示。

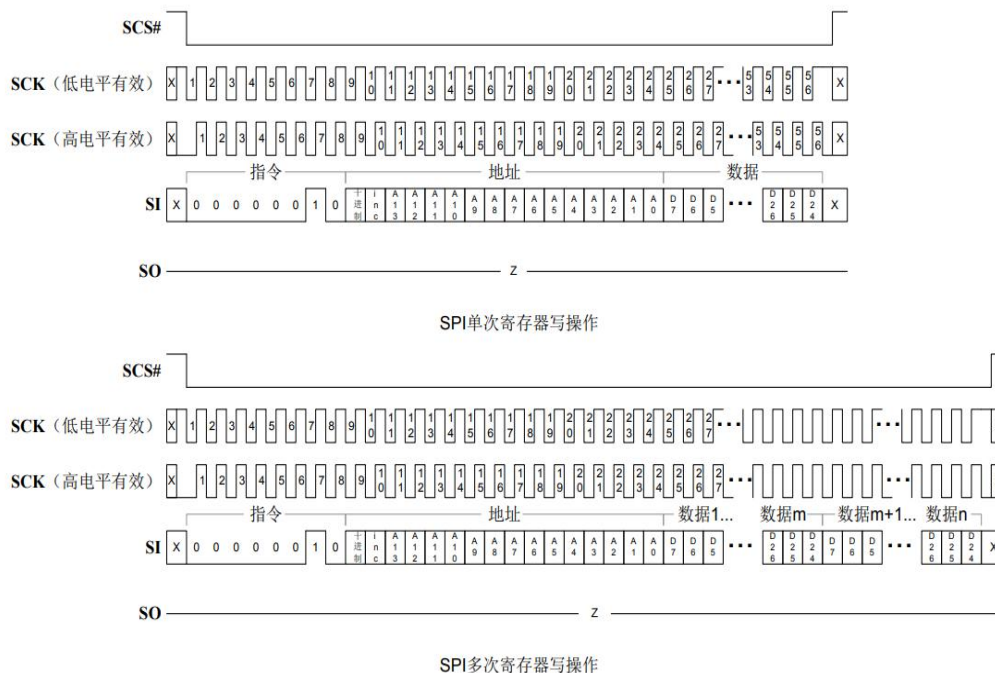


图 11-11 SPI写

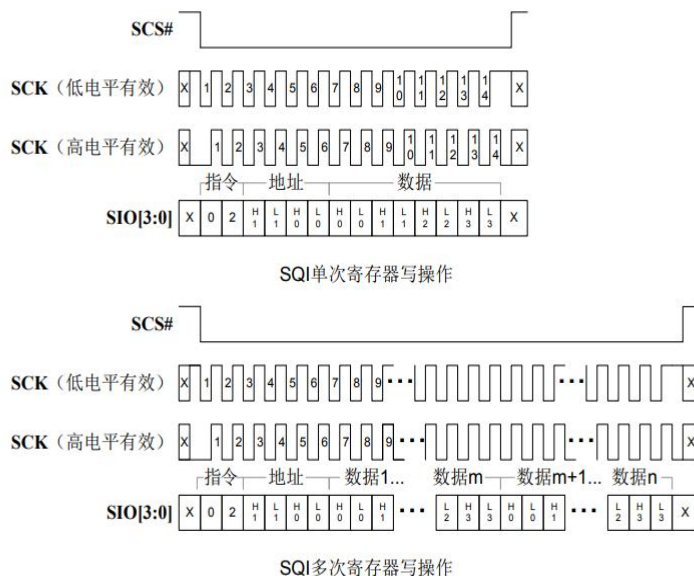


图 11-12 SQI写

11.2.5.1. 双数据写操作

SPI双数据写操作指令以每个时钟1位的方式输入指令代码和地址字节，并以每个时钟2位的方式输入数据。SPI总线支持该指令，时钟频率最高达80 Mhz。SQL总线协议不支持该指令。

首先将SCS# 置为有效，选择SPI从接口。8 位SDDW指令（32h）输入到SIO[0] 引脚，其后跟两个地址字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以LSB 的msb 在前的方式输入到SIO[1:0] 引脚。其余双位在后续的时钟边沿移入。输入32 位后，会对寄存器写入数据。如果在SCS# 恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。

要结束该周期，需将SCS# 输入置为无效。

图 11-13给出了单次寄存器双数据写操作和多次寄存器双数据写操作的典型图示。

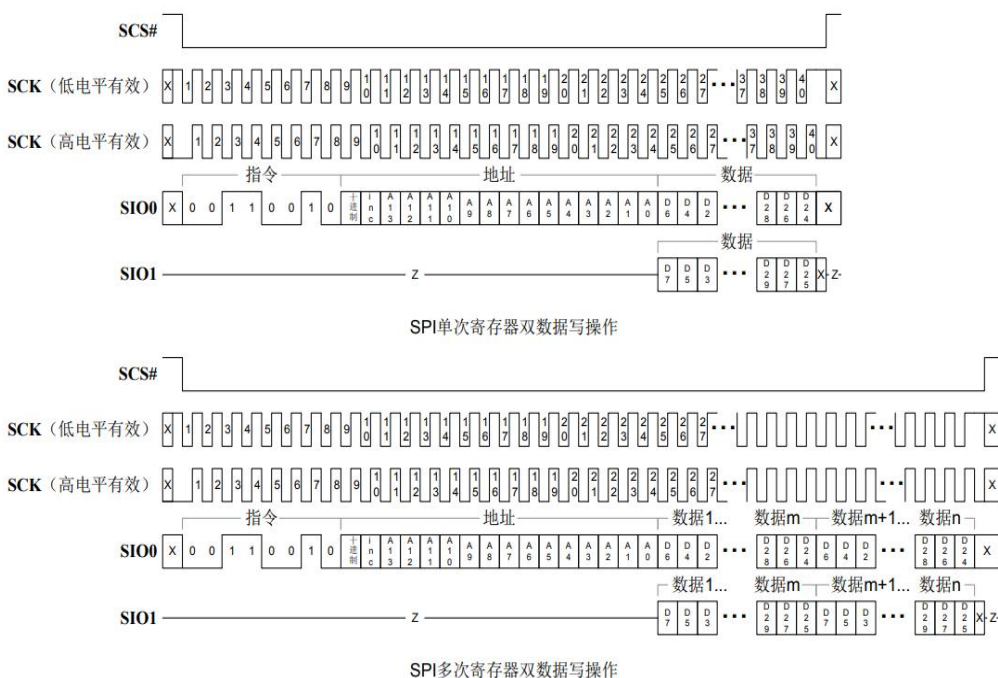


图 11-13 SPI双数据写操作

11.2.5.2. 四数据写操作

SPI四数据写操作指令以每个时钟1位的方式输入指令代码和地址字节，并以每个时钟4位的方式输入数据。SPI总线协议支持该指令，时钟频率可高达80 MHz。SQL总线协议不支持该指令。

首先将SCS# 置为有效，选择SPI从接口。8位SQDW指令（62h）输入到SIO[0]引脚，其后跟两个地址字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以LSB的msn在前的方式输入到SIO[3:0]引脚。其余半字节在后续的时钟边沿移入。输入32位后，会对寄存器写入数据。如果在SCS# 恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。要结束该周期，需将SCS# 输入置为无效。

图 11-14给出了单次寄存器四数据写操作和多次寄存器四数据写操作的典型图示。



图 11-14 SPI 四数据写操作

11.2.5.3. 双地址/数据写操作

SPI 双地址/数据写操作指令以每个时钟1位的方式输入指令代码，并以每个时钟2 位的方式输入地址和数据字节。仅当时钟频率高达80 MHz时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将SCS# 置为有效，选择SPI 从接口。8 位SDADW指令（B2h）输入到SIO[0] 引脚，其后跟的2 个地址字节输入到 SIO[1:0] 引脚。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以LSB 的msb 在前的方式输入到SIO[1:0] 引脚。其余双位在后续的时钟边沿移入。输入32 位后，会对寄存器写入数据。如果在SCS# 恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。要结束该周期，需将SCS# 输入置为无效。

图 11-15给出了单次寄存器双地址/数据写操作和多次寄存器双地址/数据写操作的典型图示。

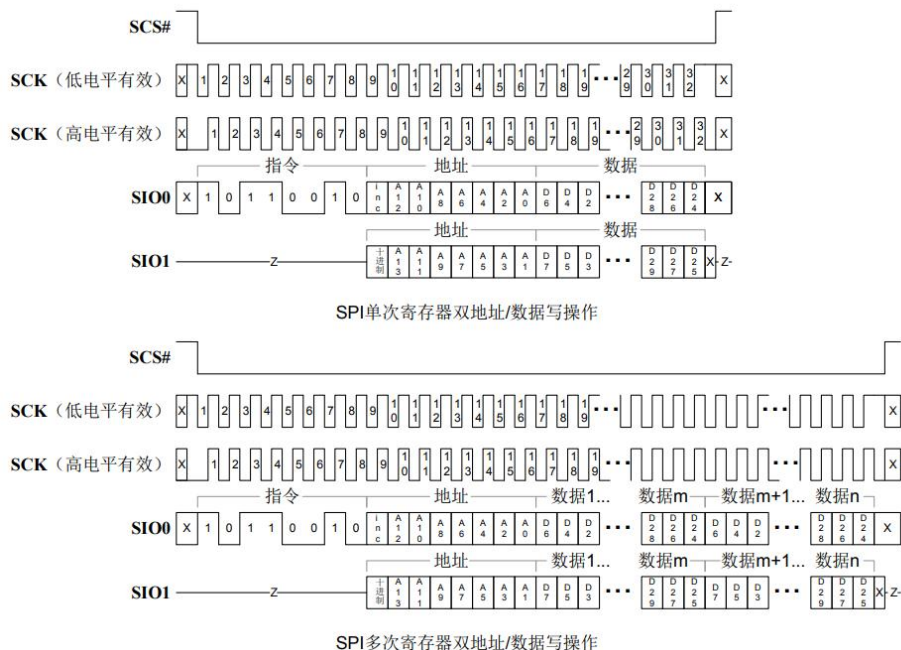


图 11-15 SPI双地址/数据写操作

11.2.5.4. 四地址/数据写操作

SPI四地址/数据写操作指令以每个时钟1位的方式输入指令代码，并以每个时钟4位的方式输入地址和数据字节。仅当时钟频率高达80 MHz时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将SCS#置为有效，选择SPI从接口。8位SQADW指令（E2h）输入到SIO[0]引脚，其后跟的2个地址字节输入到SIO[3:0]引脚。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以LSB的msn在前的方式输入到SIO[3:0]引脚。其余半字节在后续的时钟边沿移入。输入32位后，会对寄存器写入数据。如果在SCS#恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。要结束该周期，需将SCS#输入置为无效。

图 11-16 给出了单次寄存器四地址/数据写操作和多次寄存器四地址/数据写操作的典型图示。

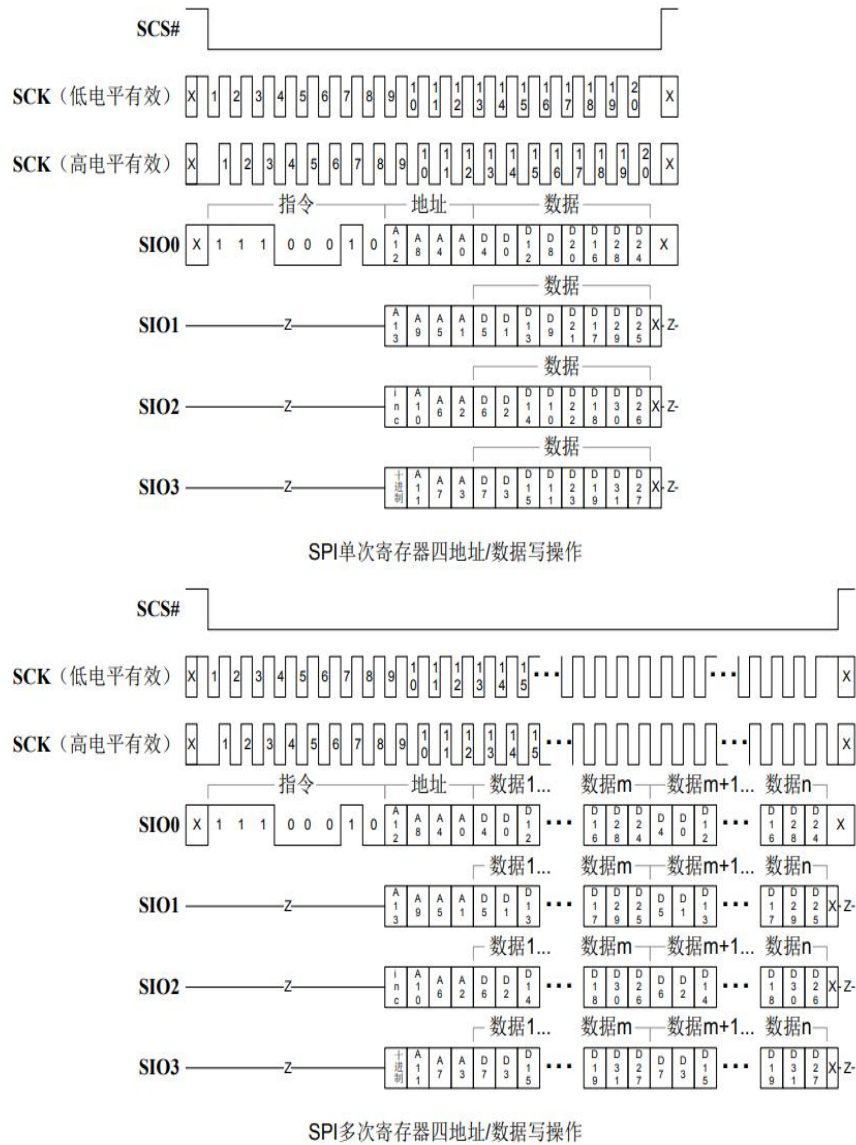


图 11-16 SPI 四地址/数据写操作

11.3. SPI/SQI 时序要求

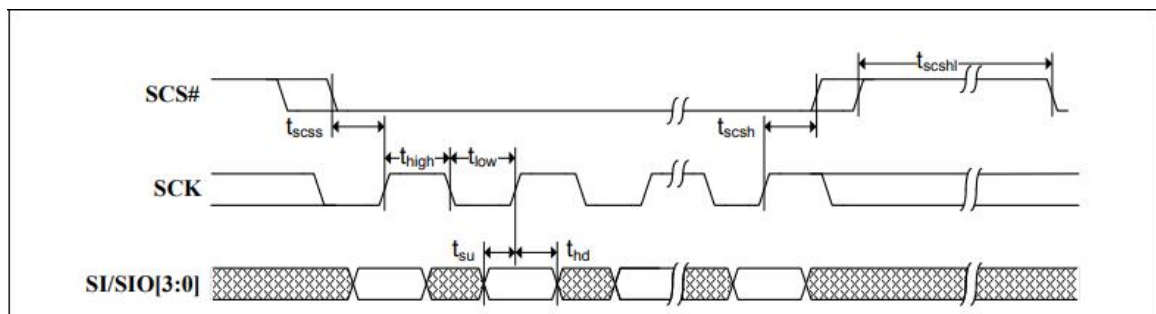


图 11-17 SPI/SQI 输入时序

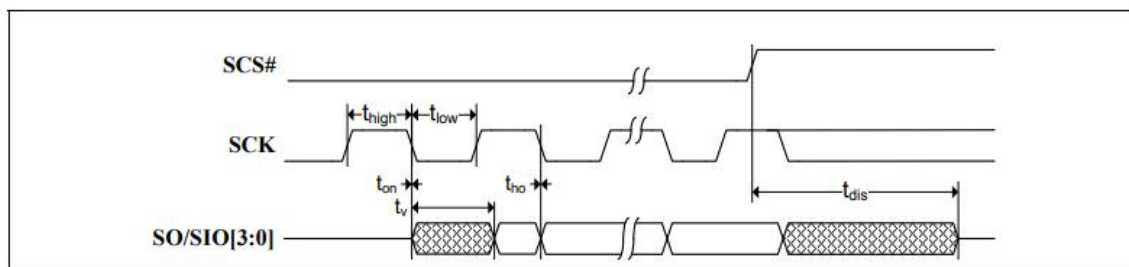


图 11-18 SPI/SQI 输出时序

符号	说明	最小值	典型值	最大值	单位
f _{sck}	SCK 时钟频率（注3）			30/80	MHz
t _{high}	SCK 高电平时间	5.5			ns
t _{low}	SCK 低电平时间	5.5			ns
t _{scss}	从SCS# 建立到SCK的时间	5			ns
t _{scsh}	SCK 之后SCS# 的保持时间	5			ns
t _{scshl}	SCS# 无效时间	50			ns
t _{su}	从数据输入建立到SCK 的时间	3			ns
t _{hd}	SCK 之后数据输入的保持时间	4			ns
t _{on}	从SCK 到数据输出开启的时间	0			ns
t _v	从SCK 到数据输出有效的 时间（注4和注5）			11.0/9.0	ns
t _{ho}	SCK 之后数据输出的保持 时间	0			ns
t _{dis}	从SCS# 无效到数据输出禁 止的时间			20	ns

注3：读操作指令限制为最高30 MHz

注4：取决于负载为30 pF还是10 pF

注5：取决于时钟频率和脉冲宽度，直至SCK的下一个上升沿后，数据才会有效。主机SPI控制器可能需要将数据的采样延迟一段固定的时间，或者使用SCK的下降沿对数据进行采样。

12. 以太网PHY

12.1. 功能概述

该器件包含PHY A和PHYB。

PHYA和PHYB的功能相同，PHYA连接到实时工业以太网内核端口0或2。PHYB连接到实时工业以太网内核端口1。这些PHY通过内部MII接口与相应的MAC连接。

PHY符合针对双绞线以太网的IEEE 802.3物理层标准，可配置为全双工100 Mbps（100BASE-TX/100BASE-FX）以太网操作。所有PHY寄存器均遵循IEEE 802.3（第22.2.4条）指定的MII管理寄存器组规范并且可完全配置。

- ◆ 100BASE-TX发送和100BASE-TX接收
- ◆ 自动协商
- ◆ 支持铜缆模式HP Auto-MDIX
- ◆ PHY管理控制和PHA中断
- ◆ PHY掉电模式
- ◆ 复位
- ◆ 支持Loopback模式
- ◆ 100BASE-FX远端故障指示

12.2. PHY寻址

根据器件模式将PHY A的地址设置为0x8或0xA，并将PHY B的地址固定设置为0x1。

12.3. PHY框图

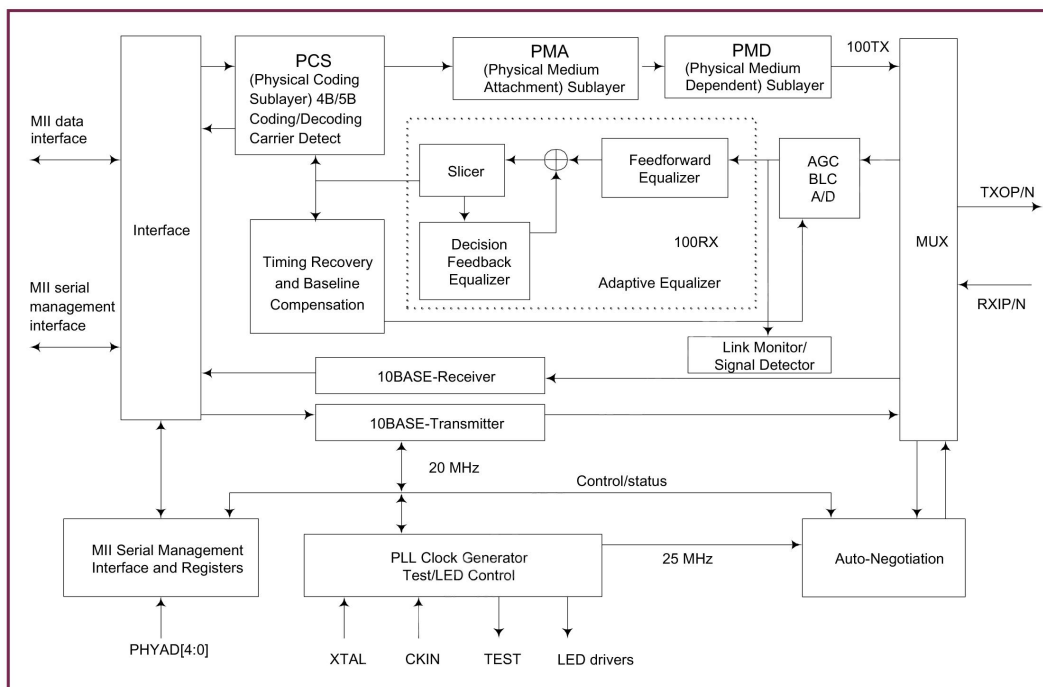


图 12-1 PHY结构框图

12.4. PHY上电流程

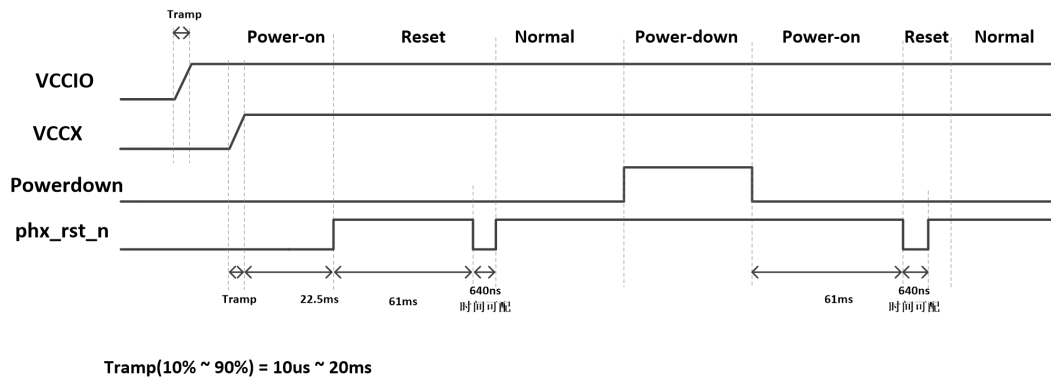


图 12-2 PHY 上电流程

12.5. Loopback模式

在Loopback模式下，PHY模块将从MII TX端口到MII RX端口回环，在Loopback模式下不支持自动协商。PHY Loopback模式可以通过设置MI寄存器00h地址为0x6100（100BASE-TX Loopback）或者0x4100（10BASE-T Loopback）。

12.6. PHY CSR寄存器描述

12.6.1. PHA（0x100）和PHB（0x180）寄存器

表 12-1 PHY_CSR_CINTROL_x寄存器

位	说明	类型	默认值
31	primary_interrupt_mode_flag: 中断模式选择 1'b1:主中断模式; 1'b0:备用中断模式 在主中断模式下, phy_interrupt_source清除受非中断有效状态位或读取0x114 (PHYA)、0x194 (PHYB) 清除; 在备用中断模式下, phy_interrupt_source清除必须非中断有效状态位和读取0x114 (PHYA)、0x194 (PHYB) 清除同时有效才能清除;	WR	1b
30:20	pi_random_seed: auto-mdix模式初始化随机种子, 除0以外的值。	WR	随机值
19	pi_pwrsvfiber:100BASE-FX光纤省电模式 注: 请使用默认值	WR	0b
18	pi_wol:无该功能	WR	0b
17:16	pi_oscmd:当pi_pwrdsn=1'b1时, 该位使用: 2'b00:All power down 2'b01:Crystal alive mode=> po_osc have clock 2'b10:Clock alive mode=>po_osc and po_osc100 have clock 2'b11:保留 注: 请使用默认值	WR	00b
15	pi_pwrdsn:内部功能power-down模式 (高有效)	WR	0b
14	vc_shift: 1'b1:ATPG shift mode	WR	0b

位	说明	类型	默认值
	1'b0:ATPG capture mode		
13	pi_testmd1	WR	0b
12	pi_testmd0 测试模式选择位 (pi_testmd1和pi_testmd0) 2'b00:正常模式 2'b01:TX measure模式 2'b10:保留 2'b11:芯片外回环BIST mode	WR	0b
11	pi_tx_wav_sel 当{pi_testmd1,pi_testmd0}=01(TX measure模式)时: 1'b0:Transmit waveform -1V 1'b1:Transmit waveform +1V	WR	0b
10	pi_analpbk_sel:当pi_analpbk_en=1时, 1'b0:选择模拟TX到RX 1'b1:选择模拟RX到TX	WR	0b
9	pi_analpbk_en 1'b1:使能模拟loopback模式 1'b0:关闭模拟loopback模式	WR	0b
8	pi_turbo_mode 仅仅适用于仿真 1'b1:加速自动协商。	WR	0b
7	pi_bg_v2it_en: 两个PHY共享RSET_BG引脚 1'b0:PHY 当前 PHY 使用 另外一个 PHY 的 BG 电流 , RESET_BG引脚能悬空或连接到GND33A 1'b1:PHY使用自己的BG电流, RESET_BG引脚连接外部 12k Ω ±1%电阻接地。	WR	0b
6	pi_loopback:Loopback使能, 与Reg 0.14 1'b0:Loopback关闭 1'b1:Loopback使能	WR	0b
5	pi_fiber_force: Force PHY进入Fiber模式 (100BASE-FX)	WR	0b
4	pi_f_fef: Force PHY发送远端错误信号	WR	0b
3	pi_asic_diff: 两个PHY共享一个XTAL引脚 1'b0:两个PHY共享一个XTAL引脚; 1'b1:两个PHY使用差分信号, 使用pi_asic_pin/pi_asic_nin做 输入。	WR	0b
2:1	pi_ref_s1	WR	0b
	pi_ref_s0 当pi_crystal='1'时,使用晶振时钟, 选择片外25Mhz晶振, 请 设置 (pi_ref_s1,pi_ref_s0) 到'00'; 当pi_crystal='0'时,选择pi_asicin时钟, 配置如下:	WR	0b
	pi_asicin		
	pi_ref_s1		
	pi_ref_s0		
	po_osc		
	25 MHz	0	25 MHz
	50 MHz	0	50 MHz
	75 MHz	1	75 MHz
	100 MHz	1	100 MHz
0	pi_crystal: Mux控制信号输入源选择晶振或者ASIC时钟。	WR	0b

位	说明	类型	默认值
	1'b0:选择ASIC时钟输入源（不需要片外晶振源，XSCI信号必须通过bonding短接到GND33A，XSCO信号必须悬空以阻止晶振PAD电流泄露） 1'b1:选择晶振输入（需要片外晶振源，pi_asicin信号必须连接到'0'，以阻止从输入浮空漏电流）		

12.6.2. PHA（0x104）和PHB（0x184）寄存器

表 12-2 PHY_CSR_ADDR_x寄存器

位	说明	类型	默认值
31:16	pi_extnl_rg_datard: MII读操作16-bit管理帧数据，该信号代替MII寄存器从PHY和外部MII寄存器空间。	WR	0h
15:5	Reserved:保留	RO	0h
4	pi_phyad4	WR	0b
3	pi_phyad3	RO	1b
2	pi_phyad2	WR	0b
1	pi_phyad1	WR	0b
0	pi_phyad0	WR	0b

12.6.3. PHA（0x108）和PHB（0x188）寄存器

表 12-3 PHYx_CSR_IDENTIFIER寄存器

位	说明	类型	默认值
31:16	pi_phyidrg3	WR	0h
15:0	pi_phyidrg2	WR	0h

12.6.4. PHA（0x10C）和PHB（0x18C）寄存器

phy_interrupt_mask: 中断掩码与中断源寄存器对应允许或屏蔽产生中断事件。

表 12-4 PHY_INTERRUPT_MASK_x寄存器

位	说明	类型	默认值
31:10	reserved	WR	0h
9	INT9_MASK 该中断屏蔽位允许/屏蔽链路接通（链路状态置为有效）中断。 0: 屏蔽中断源发送中断事件 1: 允许中断源发送中断事件	WR	0h
8	reserved	WR	0h
7	INT7_MASK 该中断屏蔽位允许/屏蔽ENERGYON中断。 0: 屏蔽中断源发送中断事件 1: 允许中断源发送中断事件	WR	0h
6	reserved	WR	0h
5	INT5_MASK 该中断屏蔽位允许/屏蔽远程故障中断。 0: 屏蔽中断源发送中断事件 1: 允许中断源发送中断事件	WR	0h

位	说明	类型	默认值
4	INT4_MASK 该中断屏蔽位允许/屏蔽链路中断（链路状态置为无效）中断。 0: 屏蔽中断源发送中断事件 1: 允许中断源发送中断事件	WR	0h
[3:2]	reserved	WR	0h
1	INT1_MASK 该中断屏蔽位允许/屏蔽接收自动协商页面中断。 0: 屏蔽中断源发送中断事件 1: 允许中断源发送中断事件	WR	0h
0	reserved	WR	0h

12.6.5. PHA (0x110) 和PHB (0x190) 寄存器

phy_interrupt_source为中断源寄存器，只要有中断产生，即相应位会置1。

表 12-5 PHY_INTERRUPT_SOURCE_x寄存器

位	说明	类型	默认值
31:10	reserved	RO	0h
9	该中断源位指示链路接通（链路状态置为有效）。 0: 不是中断源 1: 链路接通（链路状态置为有效）	RO	0h
8	reserved	RO	0h
7	INT7 该中断源位指示何时PHY x模式控制/状态寄存器 0: 不是中断源 1: 产生ENERGYON	RO	0h
6	reserved	RO	0h
5	INT5 该中断源位指示检测到远程故障。 0: 不是中断源 1: 检测到远程故障	RO	0h
4	INT4 该中断源位指示链路中断（链路状态置为无效）。 0: 不是中断源 1: 链路中断（链路状态置为无效）	RO	0h
[3:2]	reserved	RO	0h
1	INT1 该中断源位用于指示已接收到自动协商页面。 0: 不是中断源 1: 接收到自动协商页面	RO	0h
0	reserved	RO	0h

12.6.6. PHA (0x114) 和PHB (0x194) 寄存器

表 12-6 PHY调试寄存器

从位	说明	类型	默认值
31:22	reserved	RO	0h
21	po_rg_read: 当管理帧OP码解析为READ, po_rg_read为高;	RO	/
20	po_rg_write: 当管理帧OP码解析为WRITE, po_rg_read为高;	RO	/
19:15	po_rg_regadd:管理帧PHY寄存器地址	RO	/
14:10	po_phyadd:管理帧PHY地址	RO	/
9:8	po_rg_opcode:管理帧操作码	RO	/
7	po_fef:远端错误 100BASE-FX模式, 检测到错误状态为高。	RO	/
6	po_interrupt: 当相应的Mask位使能, po_interrupt出现以下事件触发: Link 状态发生改变 接收到Auto-negotiation page	RO	/
5	po_fiber_en:PHY进入光纤模式, 高有效。	RO	/
4	po_sd: 100BASE-FX模式信号检测, 高有效。	RO	/
3	po_caboff:线缆“ON”或“OFF”, 高代表线缆未插拔	RO	/
2	po_mr_page_rx:页接收状态, 该位与MII register 6.1位功能一致; 1'b1:接收到一个新页 1'b0:没有接收到一个新页	RO	/
1	po_calibrate_done: 当移除校验时, 值总是为高	RO	/
0	po_link_done: 链路状态, 与Reg1.2相同; 1'b0:链路中断; 1'b1:链路正常。	RO	/

12.6.7. PHA (0x118) 和PHB (0x198) 寄存器

表 12-7 PHY_CSR_FRAME_DATA_x寄存器

位	说明	类型	默认值
31:16	reserved	RO	0h
15:0	po_rg_datawr: MII写操作16bit管理帧数据	RO	/

12.7. PHY 寄存器描述

表 12-8 变址寻址写周期时序值

地址	寄存器名	描述
MII寄存器		
00h	BMCR	基本模式控制寄存器, 基本寄存器
01h	BMSR	基本模式状态寄存器, 基本寄存器

02h	PHYIDR1	PHY标识符寄存器1，扩展寄存器
03h	PHYIDR2	PHY标识符寄存器2，扩展寄存器
04h	ANAR	自动协商寄存器，扩展寄存器
05h	ANLPAR	自动协商链路伙伴能力寄存器，扩展寄存器
06h	ANER	自动协商扩展寄存器，扩展寄存器
07h	ANNP	自动协商下一页传输
08h	ANLNP	自动协商链接伙伴的下一页接收
09h-0ch	Reserved	保留
0dh	REGCR	MMD访问控制寄存器
0eh	ADDAR	MMD访问地址数据寄存器
10h-1ah	Reserved	保留
MDIO寄存器		
3.0d	PCS_CTL_1	PCS控制1寄存器
3.1d	PCS_STS_1	PCS状态1寄存器
3.20d	EEE_ABILITY	EEE电气设备能力寄存器
3.22d	WAKE_ER_CNTR	EEE唤醒错误计数器
7.60d	EEE_ADVR	EEE活跃寄存器
7.61d	EEE_LPAR	EEE链路伙伴能力注册

12.7.1. PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）:地址00h

表 12-9 PHY_BASIC_CONTROL_x寄存器

位	说明	类型	默认值
15	复位 0: 正常操作 1: 软复位 写1自清零	RW	0h
14	回环: 0: 正常模式 1: 回环使能	RW	0h
13	速度选择: 0: 10Mbps 1: 100Mbps 在光纤模式，该位固定为1'b1	RW	1h
12	自动协商控制 0: 自动协商不使能 这个寄存器的第8位和第13位决定了链路的速度和模式 1: 自动协商使能 当该位设置为1时，该寄存器的第8位和第13位将被忽略。 在光纤模式，该位固定为1'b0	RW	1h
11	下电模式控制 0: 正常模式	RW	0h

位	说明	类型	默认值
	1: 掉电模式		
10	保留	RW	0h
9	重新启动自动协商 0: 正常 1: 重启自协商 写1自清零	RW	0h
8	双工模式 0: 正常 1: 全双工 在光纤模式下, 这个位固定在1'b1	RW	1h
7	冲突测试 0: 正常 1: 开启冲突测试	RW	0h
[6:0]	保留	RO	0h

12.7.2. PHY x基本状态寄存器 (PHY_BASIC_STATUS_x): 地址01h

表 12-10 PHY_BASIC_STATUS_x寄存器

位	说明	类型	默认值
15	100BASE-T4能力 0: 表示该IP不能进行100BASE-T4模式。 不支持	RO	0h
14	支持100BASE-TX全双工 1: 支持100BASE-TX全双工模式	RO	1h
13	支持100BASE-TX半双工 1: 该IP可以工作在100BASE-TX半双工模式。	RO	1h
12	支持10BASE-T全双工 1: 支持10BASE-T全双工模式。	RO	1h
11	支持10BASE-T半双工 1: 支持10BASE-T半双工模式。	RO	1h
[10:7]	保留	RO	0h
6	管理帧前导码抑制 0: IP 将不接受具有 suppressed 的管理帧序言	RO	0h
5	自动协商完成 0: 自动协商过程未完成。 1: 自动协商过程完成	RO	0h
4	远程故障 仅在光纤模式下支持 0: 未检测到远程故障情况。 1: 检测到远程故障情况 (读取时或芯片复位清除)	RO/L H	0h
3	自动配置能力 0: PHY无法执行自动协商 1: PHY可以执行自动协商	RO	1h
2	链接状态 0: 未建立链接。 1: 已建立有效链路 (100 Mbps操作或10 Mbps操作)。	RO/L L	0h

位	说明	类型	默认值
1	Jabber 检测 0: 未检测到 Jabber 情况。 1: 检测到 Jabber 情况。	RO/L H	0h
0	扩展功能 0: 只有基本寄存器可用。 1: 扩展寄存器有能力	RO	1h

12.7.3. PHY x标识MSB寄存器 (PHY_ID_MSB_x):地址02h

表 12-11 PHY_ID_MSB_x寄存器

位	说明	类型	默认值
15:0	PHY ID 最高有效 OUI 位 OUI 的 bits[3: 18] 分别映射到该 registers 的 bits[15: 0]。 OUI 的最高有效 2 位将被忽略。 此字段可通过设置 PHYIDRG2[15: 0] 和 PHYIDRG3[15: 0] 进行编程。	RO	用户定义

12.7.4. PHY x标识LSB寄存器 (PHY_ID_LSB_x):地址03h

表 12-12 PHY_ID_LSB_x寄存器

位	说明	类型	默认值
15:10	PHY ID 最低有效 OUI 位 OUI 的 bits[24: 19] 分别映射到该 registers 的 bits[15: 0]。 此字段可通过设置 PHYIDRG2[15: 0] 和 PHYIDRG3[15: 0] 进行编程。	RO	用户定义
[9:4]	供应商型号 型号的 6 位映射到位[9: 4] (位 9 是最高有效位)。此字段可通过设置 PHYIDRG2[15: 0] 和 PHYIDRG3[15: 0] 进行编程	RO	用户定义
[3:0]	型号修订号 修订号的 4 位映射到位[3: 0] (位 3 是最高有效位)。对于所有主要 PHY 器件, 此字段将递增变化。此字段可通过设置 PHYIDRG2[15: 0] 和 PHYIDRG3[15: 0] 进行编程。	RO	用户定义

12.7.5. PHY x自动协商通告寄存器 (PHY_AV_ADV_x):地址04h

表 12-13 PHY_AV_ADV_x寄存器

位	说明	类型	默认值
15	下一页指示 0: 没有下一页可用。 1: 下一页可用并进行下一页交换。	RW	0h
14	保留	RO	0h
[13:12]	保留	RW	0h
[11:10]	非对称暂停方向	RW	0h

位	说明	类型	默认值
	1: 支持非对称暂停。 0: 不支持非对称暂停。 [11: 10]: 功能00: 无暂停 01: 对称暂停 10: 朝向链接伙伴的非对称暂停 11: 对称暂停和非对称暂停对本地设备		
9	100BASE-T4 支持控制 0: 不支持 100BASE-T4。	RO	0h
8	100BASE-TX 全双工支持控制 1: 此设备支持 100BASE-TX 全双工。 0: 此设备不支持 100BASE-TX 全双工	RW	1h
7	100BASE-TX 半双工支持控制 1: 此设备支持 100BASE-TX 半双工。 0: 此设备不支持 100BASE-TX 半双工	RW	1h
6	10BASE-T 全双工支持控制 1: 此 PHY 支持 10BASE-T 全双工。 0: 此 PHY 不支持 10BASE-T 全双工	RW	1h
5	10BASE-T 半双工支持控制 1: 此 PHY 支持 10BASE-T 半双工。 0: 此 PHY 不支持 10BASE-T 半双工	RW	1h
[4:0]	协议选择位, 其中包含二进制编码的协议选择器。 [00001] 表示此 PHY 支持 IEEE 802.3 CSMA/CD	RW	00001b

12.7.6. PHY x自动协商链接伙伴页面能力寄存器 (PHY_AN_LP_ABILITY_x):地址05h

表 12-14 PHY_AN_LP_ABILITY_x寄存器

位	说明	类型	默认值
15	下一页指示 1: 链接合作伙伴可以支持下一页。 0: 链接合作伙伴不支持下一页	RO	0h
14	保留	RO	0h
[13:12]	保留	RO	0h
11	链接伙伴非对称暂停方向 1: 链接伙伴支持非对称暂停。 0: 链接伙伴不支持非对称暂停。	RO	0h
10	暂停 1: 链路伙伴支持暂停操作。 0: 链接伙伴不支持暂停操作	RO	0h
9	100BASE-T4 支持控制 1: 100BASE-T4 由链路伙伴支持。 0: 链路伙伴不支持 100BASE-T4	RO	0h
8	100BASE-TX 全双工支持控制 1: 链路伙伴支持 100BASE-TX 全双工。 0: 链路伙伴不支持 100BASE-TX 全双工	RO	0h
7	100BASE-TX 半双工支持控制 1: 链路伙伴支持 100BASE-TX 半双工。 0: 链路伙伴不支持 100BASE-TX 半双工	RO	0h

位	说明	类型	默认值
6	10BASE-T 全双工支持控制 1: 链路伙伴支持 10BASE-T 全双工。 0: 链路伙伴不支持 10BASE-T 全双工	RO	0h
5	10BASE-T 半双工支架控制 1: 链路伙伴支持 10BASE-T 半双工。 0: 链路伙伴不支持 10BASE-T 半双工。	RO	0h
[4:0]	协议选择位 链接伙伴的二进制编码协议选择器	RO	00000b

12.7.7. PHY x自动协商扩展寄存器 (PHY_AN_ADV_x):地址06h

表 12-15 PHY_AN_ADV_x寄存器

位	说明	类型	默认值
[15:7]	保留	RO	0h
6	1: 接收到的下一页的存储位置由位 6.5 指定。 0: 接收到的下一页的存储位置未由位 6.5 指定	RO	1h
5	1: 链接伙伴的下一页存储在 Register 8 中。 0: 链接伙伴的下一页存储在 Register 5 中。	RO	1h
4	并联检测故障 1: 通过并联检测功能检测故障。 0: 通过并联检测功能未检测到故障。	RO/ LH	0h
3	链接合作伙伴可以支持下一页 1: 链接合作伙伴可以支持下一页。 0: 链接合作伙伴不支持下一页。	RO	0h
2	PHY 可以支持下一页。 1: 本地设备可以支持下一页。 0: 本地设备不支持下一页	RO	1h
1	收到新页面 1: 收到新页面。 0: 未收到新页面	RO/ LH	0h
0	链路伙伴自动协商控制 1: 链路合作伙伴已启用自动协商。 0: 链路合作伙伴未启用自动协商	RO	0h

12.7.8. PHY x自动协商下一页发送寄存器 (PHY_AN_NP_TX_x):地址07h

表 12-16 PHY_AN_NP_TX_x寄存器

位	说明	类型	默认值
15	下一页 0: 无下一页能力。 1: 有下一页能力	RW	0h
14	保留	RO	0h
13	报文页面 0: 未格式化的页面 1: 报文页面	RW	1h
12	应答2 0: 无法响应消息	RW	0h

位	说明	类型	默认值
	1: 将遵守消息		
11	翻转 0: 传输的链路代码字的先前值等于逻辑 1。 1: 传输链路代码字的先前值等于逻辑 0。	RO	0h
[10:0]	报文代码 报文/未格式化的代码字段	RW	1h

12.7.9. PHY x自动协商下一页接收寄存器 (PHY_AN_NP_RX_x):地址08h

表 12-17 PHY_AN_NP_RX_x寄存器

位	说明	类型	默认值
15	下一页 0: 无下一页能力。 1: 有下一页能力	RO	0h
14	保留	RO	0h
13	报文页面 0: 未格式化的页面 1: 报文页面	RO	0h
12	应答2 0: 无法响应消息 1: 将遵守消息	RO	0h
11	翻转 0: 传输的链路代码字的先前值等于逻辑 1。 1: 传输链路代码字的先前值等于逻辑 0。	RO	0h
[10:0]	报文代码 报文/未格式化的代码字段	RO	0h

12.7.10. PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS_x):地址0dh

表 12-18 PHY_MMD_ACCESS_x寄存器

位	说明	类型	默认值
[15:14]	MMD功能 该字段用于选择所需MMD功能: 00: 地址 01: 数据, 无后置增量 10: 数据, 读取和写入时的后增量 11: 数据, 仅在写入时进行后增量	RW	0h
[13:5]	保留	RW	0h
[4:0]	MMD器件地址(DEVAD)	RW	0h

12.7.11. PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA_x):地址0eh

表 12-19 PHY_MMD_ADDR_DATA_x寄存器

位	说明	类型	默认值
[15:0]	MMD寄存器地址/数据 如果PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS) 的MMD功能字段为“00”, 则此字段用于指示MMD器件地址 (DEVAD)	RW	0h

位	说明	类型	默认值
	字段中所指定器件的要读/写的MMD寄存器地址。否则，该寄存器用于读/写先前指定的MMD地址中的数据。		

13. 实时工业以太网

13.1. 实时工业以太网功能概述

实时工业以太网模块实现了一个3端口实时工业以太网从站控制器，该控制器具有8 Kb 双端口存储器（DPRAM）、8个同步管理单元（SCU）、8个地址控制单元（FMMU）和1个64位分布式时钟。

每个端口均接收以太网帧、执行帧校验并将以太网帧转发到下一个端口。接收到帧时会生成时间戳。如果某个端口上没有链路、端口不可用或者端口的环路关闭，则各端口的环回功能会将以太网帧转发到下一个逻辑端口。端口0的环回功能将帧转发到实时工业以太网处理单元。环路设置可通过实时工业以太网主器件控制。

数据包按以下顺序转发：端口0->实时工业以太网处理单元->端口1->端口2。

实时工业以太网处理单元接收、分析并处理实时工业以太网数据流。实时工业以太网处理单元的主要用途是实现并协调对实时工业以太网从站控制器的内部寄存器和存储空间访问，这两部分均可被实时工业以太网主器件和本地应用寻址。主器件和从器件应用间的数据交换与双端口存储器（过程存储器）相当，并且通过一致性校验（SyncControlUnit）和数据映射（FMMU）等特殊功能得到了增强。

每个FMMU均执行将逻辑实时工业以太网系统地址按位映射到器件物理地址的任务。

SyncControlUnit负责确保实时工业以太网主器件与从器件之间的数据交换和邮箱通信的一致性。每个SyncControlUnit的方向和工作模式由实时工业以太网主器件配置。提供两种工作模式：缓冲模式和邮箱模式。在缓冲模式下，本地单片机和实时工业以太网主器件可同时写入器件。E252中的缓冲区始终包含最新数据。如果新数据在旧数据可读出前到达，则旧数据将丢失。在邮箱模式下，本地单片机和实时工业以太网主器件通过握手来访问缓冲区，从而确保不会丢失任何数据。

凭借分布式时钟（Distributed Clock, DC），可以精确同步输出信号、输入采样和事件时间戳的生成。

13.2. 分布式时钟

器件支持64位分布式时钟，以下各小节将详细介绍。

13.2.1. SYNC/LATCH引脚复用

实时工业以太网内核提供两个输入引脚（LATCH0和LATCH1），用于外部事件的时间戳。上升沿和下降沿时间戳均会被记录。这两个引脚分别与SYNC0和SYNC1输出引脚共用，用于指示是否发生了时间事件。SYNC0/LATCH0和SYNC1/LATCH1引脚的功能分别由SYNC/LATCH PDI配置寄存器的SYNC0/LATCH0配置和SYNC1/LATCH1配置位确定。

当设置为SYNC0/SYNC1功能时，输出类型（推挽式和漏极/源极开路）和输出极性由SYNC/LATCH PDI配置寄存器的SYNC0输出驱动器/极性和SYNC1输出驱动器/极性位确定。

注：SYNC/LATCH PDI配置寄存器根据EEPROM的内容进行初始化。更多信息，请参见EEPROM可配置寄存器。

13.2.2. SYNC IRQ映射

SYNC0和SYNC1的状态可分别映射到AL事件请求寄存器的DC SYNC0的状态和DC SYNC1的状态位。SYNC0和SYNC1的状态的映射分别由SYNC/LATCH PDI配置寄存器的SYNC0映射和SYNC1映射位使能。

注：SYNC/LATCH PDI配置寄存器根据EEPROM的内容进行初始化。更多信息，请参见EEPROM可配置寄存器。

13.2.3. SYNC脉冲长度

SYNC0和SYNC1脉冲长度由同步信号寄存器的脉冲长度控制。同步信号寄存器的脉冲长度根据EEPROM的内容进行初始化。更多信息，请参见EEPROM可配置寄存器。

13.2.4. SYNC/LATCH I/O时序要求

本节规定了SYNC0/LATCH0和SYNC1/LATCH1的输入与输出时序。

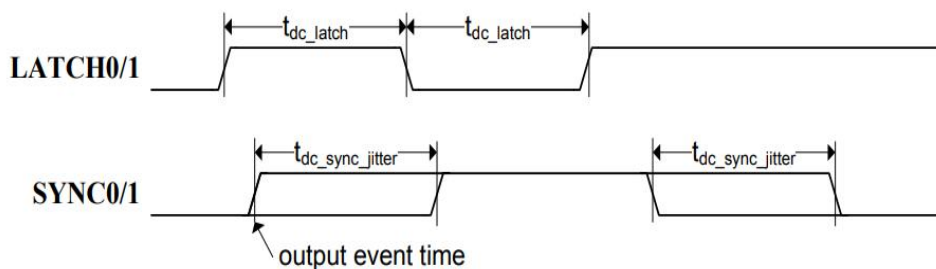


图 13-1 实时工业以太网 SYNC/LATCH时序图

表 13-1 实时工业以太网 SYNC/LATCH时序值

符号	说明	最小值	典型值	最大值	单位
t_{dc_latch}	相邻两个LATCH0或LATCH1事件的间隔时间	15	-	-	ns
$t_{dc_sync_jitter}$	SYNC0或SYNC1输出抖动	-	-	15	ns

13.3. PDI选择和配置

器件使用的过程数据接口（Process Data Interface, PDI）由PDI控制寄存器指示。可用的PDI包括：

- 04h: 数字I/O PDI
- 80h-8Dh: 主机接口PDI（SPI和HBI复用/变址单/双阶段8/16位）

注：PDI控制寄存器可通过EEPROM配置。更多信息，请参见EEPROM可配置寄存器。

主机接口PDI用于支持HBI和SPI模式，如芯片模式配置所述。

已使能PDI的配置由PDI配置寄存器和扩展PDI配置寄存器控制。这些寄存器的定义取决于所选的工作模式。但是，只存在一个寄存器组。

13.4. 数字I/O PDI

数字I/O PDI提供16个可配置数字I/O（DIGIO[15:0]），用于不带主机控制器的简单系统。数字I/O输出数据寄存器用于控制输出值，而数字I/O输入数据寄存器用于读取输入值。每2位数字I/O对可配置为输入或输出。方向由扩展PDI配置寄存器选择，该寄存器通过EEPROM配置（更多信息，请参见EEPROM可配置寄存器）。数字I/O也可配置为双向模式，此时输出会在外部驱动和锁存并在之后释放，以便可采样输入数据。双向操作由PDI配置寄存器的单向/双向模式位选择。PDI配置寄存器根据EEPROM的内容进行初始化。

13.4.1. 输出看门狗行为

通过配置数字输出的看门狗控制，可以指定SyncControlUnit看门狗超时时立即作用于I/O信号（看门狗超时时立即复位输出），还是延迟到下一个输出事件作用于I/O信号（通过下一个输出事件复位输出）。具体选择由PDI配置寄存器的看门狗行为位确定。PDI配置寄存器根据EEPROM的内容进行初始化。更多信息，请参见EEPROM可配置寄存器。

13.4.2. OE_EXT输出看门狗行为

对于外部看门狗实现，可使用WD_TRIG（看门狗触发信号）引脚。如果触发SyncControlUnit看门狗，则会产生一个脉冲。在这种情况下，应禁止内部SyncControlUnit看门狗。如果外部看门狗超时，可使用OE_EXT引脚复位I/O信号。

PDI配置寄存器的OUTVALID模式位控制WD_TRIG是否映射到OUTVALID引脚。PDI配置寄存器根据EEPROM的内容进行初始化。由于有专用的WD_TRIG引脚，EEPROM中的该位通常设置为0。

13.4.3. 输入数据采样

数字输入可配置为四种采样方式：在每个以太网帧开始时、在LATCH_IN引脚的上升沿、在分布式时钟SYNC0事件时或者在分布式时钟SYNC1事件时。具体的采样模式选择由PDI配置寄存器的输入数据采样选择位确定。PDI配置寄存器根据EEPROM的内容进行初始化。

13.4.4. 输出数据更新

数字输出可配置为四种更新方式：在每个以太网帧结束时、在分布式时钟SYNC0事件时、在分布式时钟SYNC1事件时或者在实时工业以太网帧结束时（触发过程数据看门狗）。具体的更新模式选择由PDI配置寄存器的输出数据采样选择位确定。PDI配置寄存器根据EEPROM的内容进行初始化。

13.4.5. OUTVALID极性

OUTVALID引脚的输出极性由PDI配置寄存器的OUTVALID极性位确定。PDI配置寄存器根据EEPROM的内容进行初始化。

13.4.6. 数字I/O时序要求

本节规定了DIGIO[15:0]、LATCH_IN和SOF的输入与输出时序。

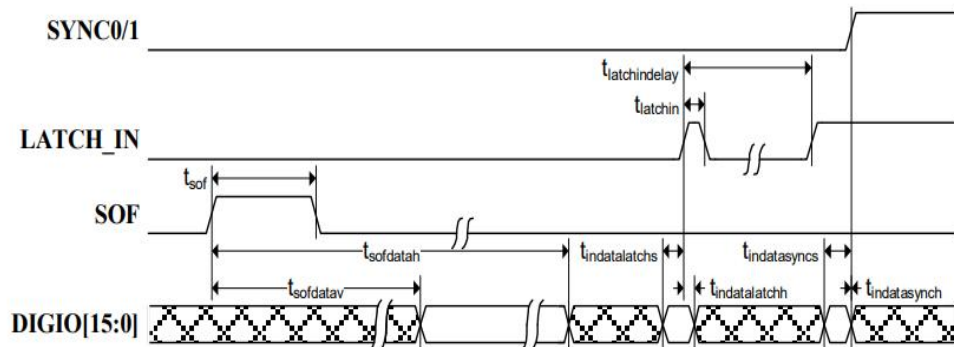


图 13-2 实时工业以太网数字I/O输入时序图

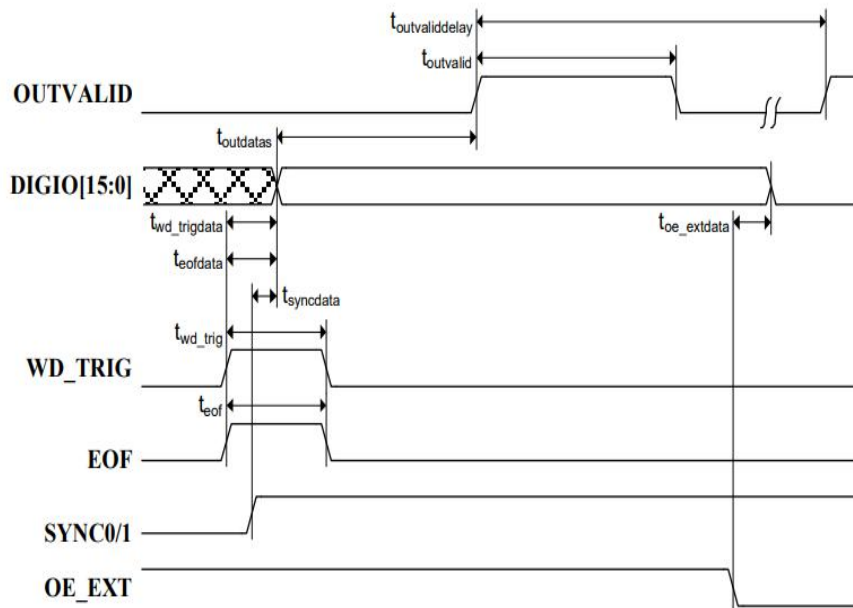


图 13-3 实时工业以太网数字I/O输出时序图

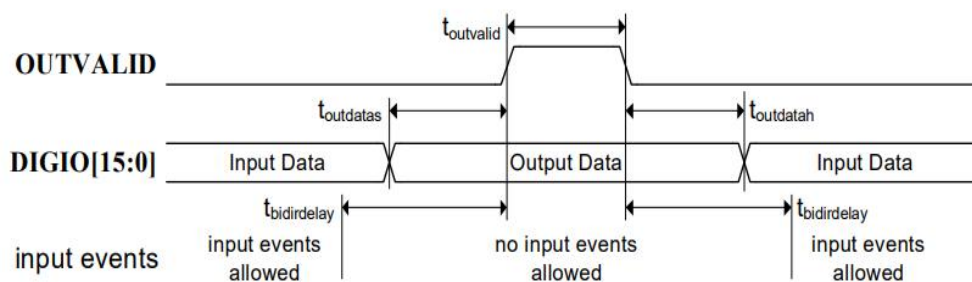


图 13-4 实时工业以太网数字I/O双向时序图

表 13-2 实时工业以太网数字I/O时序值

符号	说明	最小值	典型值	最大值	单位
tindatasynchs	从输入数据建立到SYNC0/I上升的时间	10	-	-	ns
tindatasynchh	SYNC0/I上升之后输入数据的保持时间	0	-	-	ns
tindatalatchs	从输入数据建立到LATCH_IN上升的时间	8	-	-	ns

符号	说明	最小值	典型值	最大值	单位
tindatalatch	LATCH_IN上升之后输入数据的保持时间	4	-	-	ns
tlatchin	LATCH_IN高电平时间	8	-	-	ns
tlatchindela	相邻两连续输入事件的间隔时间	440	-	-	ns
tsof	SOF高电平时间	35	-	45	ns
tsofdatav	SOF有效之后输入数据的有效时间（以便可在同一个帧中读取输入数据）	-	-	1.2	s
tsofdatah	SOF有效之后输入数据的保持时间（以便可在同一个帧中读取输入数据）	1.6	-	-	s
toutdatas	从输出数据建立到OUTVALID上升的时间	65	-	-	ns
toutdatah	OUTVALID下降之后输出数据的保持时间	65	-	-	ns
toutvalid	OUTVALID高电平时间	75	-	85	ns
toutvaliddel	相邻两连续输出事件的间隔时间	320	-	-	ns
teof	EOF高电平时间	35	-	45	ns
teofdata	EOF之后输出数据的有效时间	-	-	35	ns
twd_trig	WD_TRIG高电平时间	35	-	45	ns
twd_trigdata	WD_TRIG之后输出数据的有效时间	-	-	35	ns
tsyncdata	SYNC0/1之后输出数据的有效时间	-	-	25	ns
toe_extdata	从OE_EXT到数据低电平的时间	0	-	15	ns
tbirdelay	相邻两连续输入或输出事件的间隔时间	440	-	-	ns

13.5. 主机接口PDI

主机接口PDI用于带主机控制器的系统，该系统使用HBI或SPI芯片级主机接口。

PDI配置寄存器和扩展PDI配置寄存器中的值反映来自EEPROM的值。PDI配置寄存器中的值用于在主机接口模式下配置HBI。如果使能了GPIO（SPI使能GPIO），则会使用扩展PDI配置寄存器中的值。

PDI配置寄存器和扩展PDI配置寄存器根据EEPROM的内容进行初始化。更多信息，请参见EEPROM可配置寄存器。

13.6. GPIO

实时工业以太网内核提供16个通用输入（GPIO[15:0]）和16个通用输出（GPO[15:0]）。通用输出寄存器用于控制输出值。通用输入寄存器用于读取输入值。

注：当由于芯片配置而导致GPIO不可用时，通用输出寄存器将保持R/W，但不起作用。当由于芯片配置而导致GPIO不可用时，通用输入寄存器将返回0。

每2位GPIO对可配置为输入、推挽式输出或漏极开路输出。方向和缓冲器类型由扩展PDI配置寄存器确定。Bit 7:0控制GPIO对的方向（bit 0用于GPIO[1:0]，bit 1用于GPIO[3:2]，以此类推）。值1选择输出方向。Bit 15:8控制输出类型（bit 8用于GPIO[1:0]，bit 9用于GPIO[3:2]，以此类推）。值1选择漏极开路。扩展PDI配置寄存器根据EEPROM的内容进行初始化。更多信息，请参见EEPROM可配置寄存器。

注：扩展PDI配置寄存器还用于数字I/O PDI方向。但是，数字I/O模式期间不使用GPIO。

13.7. 用户RAM

128字节用户RAM位于0F80h-0FFFh。该RAM中的默认值对于所有地址均未定义。

13.8. EEPROM可配置寄存器

以下寄存器可通过EEPROM配置。有关每位功能的详细信息，参见相应的寄存器定义。

注：除非另外说明，否则保留的位必须写为0。

表 13-3 实时工业以太网内核EEPROM可配置寄存器

寄存器	位	EEPROM 字/[位]
PDI控制寄存器 (0140h)	[7:0] 过程数据接口	0/[7:0]
实时工业以太网从站控制器配置寄存器 (0141h)	[7] (未使用)	0/[15]
	[6] 增强型链路端口2	0/[14]
	[5] 增强型链路端口1	0/[13]
	[4] 增强型链路端口0	0/[12]
	[3] 分布式时钟锁存输入单元 注：Bit 3并非由EEPROM置1	-
	[2] 分布式时钟SYNC输出单元 注：Bit 2并非由EEPROM置1	-
	[1] 增强型链路检测所有端口	0/[9]
	[0] 器件仿真 (AL状态寄存器控制)	0/[8]
PDI配置寄存器 (0150h) 数字I/O模式	[7:6] 输出数据采样选择	1/[7:6]
	[5:4] 输入数据采样选择	1/[5:4]
	[3] 看门狗行为	1/[3]
	[2] 单向/双向模式	1/[2]
	[1] OUTVALID模式	1/[1]
	[0] OUTVALID极性	1/[0]
PDI配置寄存器 (0150h) HBI模式	[7] HBI ALE限定	1/[7]
	[6] HBI读/写模式	1/[6]
	[5] HBI片选极性	1/[5]
	[4] HBI读取以及读/写极性	1/[4]
	[3] HBI写入以及使能极性	1/[3]
	[2] HBI ALE极性	1/[2]
	[1:0] 保留 (未使用)	1/[1:0]
SYNC/LATCH PDI配置寄存器 (0151h)	[7] SYNC1映射	1/[15]
	[6] SYNC1/LATCH1配置	1/[14]
	[5:4] SYNC1输出驱动器/极性	1/[13:12]
	[3] SYNC0映射	1/[11]
	[2] SYNC0/LATCH0配置	1/[10]
	[1:0] SYNC0输出驱动器/极性	1/[9:8]
同步信号寄存器的脉冲长度 (0982h-0983h)	[15:0] 同步信号的脉冲长度	2/[15:0]

寄存器	位	EEPROM 字/[位]
扩展PDI配置寄存器 (0152h-0153h) 数字I/O模式	[15:8] 保留	3/[15:8]
	[7:0] I/O 15-0方向	3/[7:0]
扩展PDI配置寄存器 (0152h-0153h) SPI模式	[15:8] I/O 15-0缓冲器类型	3/[15:8]
	[7:0] I/O 15-0方向	3/[7:0]
已配置站别名寄存器 (0012h-0013h)	[15:0] 已配置站别名地址	4/[15:0]
MII管理控制/状态寄存器 (0510h-0511h)	[2] MI链路检测	5/[15]
ASIC配置寄存器 (0142h-0143h)	[15] MI链路检测	
	[14:8] 保留	5/[14:8]
	[7] 千兆位寄存器9 MI写操作使能	5/[7]
	[6:0] 保留	5/[6:0]
保留的寄存器 (0144h-0145h)	[15:0] 保留	6/[15:0]

13.9. 端口接口

13.9.1. 端口0和端口2（内部PHY A或外部MII）

当chip_mode_strap[1:0]不等于11b时（双端口或三端口下行模式），实时工业以太网从器件的端口0连接至内部PHY A。当chip_mode_strap[1:0]等于11b时（三端口上行模式），端口0连接至MII引脚。

当chip_mode_strap[1:0]等于11b时（三端口上行模式），实时工业以太网从器件的端口2连接至内部PHY A。当chip_mode_strap[1:0]等于10b时（三端口下行模式），端口2连接至MII引脚。

13.9.1.1. 外部MII PHY连接

外部PHY连接至MII端口，如图 13-5所示。以太网PHY与实时工业以太网从器件的时钟源必须相同。25 MHz输出（MII_CLK25）用作PHY的参考时钟。由于实时工业以太网从器件不包含发送FIFO，因此PHY的TX_CLK未连接。来自实时工业以太网从器件的发送信号可根据CLK25输出通过发送移位补偿进行延时，以便其像由PHY的TX_CLK驱动一样正确对齐。请参见外部PHY时序对MII时序的说明。

以太网PHY应连接至实时工业以太网从器件RST#引脚，以便其在实时工业以太网从器件就绪之前保持复位。否则，远端链路伙伴会检测到来自PHY的有效链路信号，并会“打开”其端口，假定本地实时工业以太网从器件就绪。

MII_MDC和MII_MDIO信号在实时工业以太网从器件和PHY之间连接。MII_MDIO需要外部上拉。外部PHY的管理地址必须在chip_mode_strap[1:0]等于11b时（三端口上行模式）设置为0，在chip_mode_strap[1:0]等于10b时（三端口下行模式）设置为2。

PHY的LINK_STATUS是LED输出，指示100 Mbps全双工链路是否处于活动状态。实时工业以太网从器件的MII_LINK输入的极性可配置。

由于实时工业以太网在全双工模式下工作，因此PHY的COL和CRS输出未连接。

由于实时工业以太网从器件从不产生发送错误，因此PHY的TX_ER输入连接至系统地。

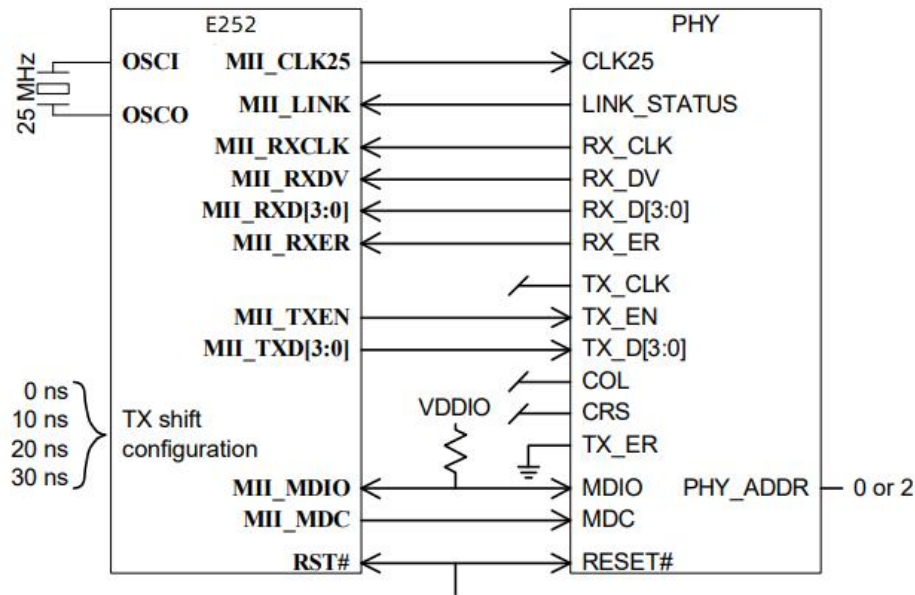


图 13-5 实时工业以太网外部PHY连接

13.9.1.2. 背靠背连接

两个实时工业以太网从器件可采用背靠背MII连接的方式相连，如图 13-6所示。一个器件置于三端口上行模式，另一个器件置于三端口下行模式。

每个实时工业以太网从器件的时钟源可以不同。其中一个器件的25 MHz输出（MII_CLK25）用作另一个器件的RX_CLK输入。来自每个实时工业以太网从器件的发送信号可根据CLK25输出通过发送移位补偿进行延时，以便其正确对齐，从而满足另一个器件的接收时序要求。请参见外部PHY时序对背靠背MII时序进行了说明。

由于实时工业以太网从器件从不产生错误，因此不使用MII_RXER信号。

由于两个器件均不包含PHY寄存器组，因此不使用MII_MDIO和MII_MDC信号。当尝试读取PHY寄存器时，MII_MDIO引脚需要（单独）上拉以返回高电平值。

如果两个实时工业以太网从器件几乎同时从复位状态释放，则MII_LINK会一直保持活动状态。否则，MII_LINK可用于向伙伴指示器件未就绪。

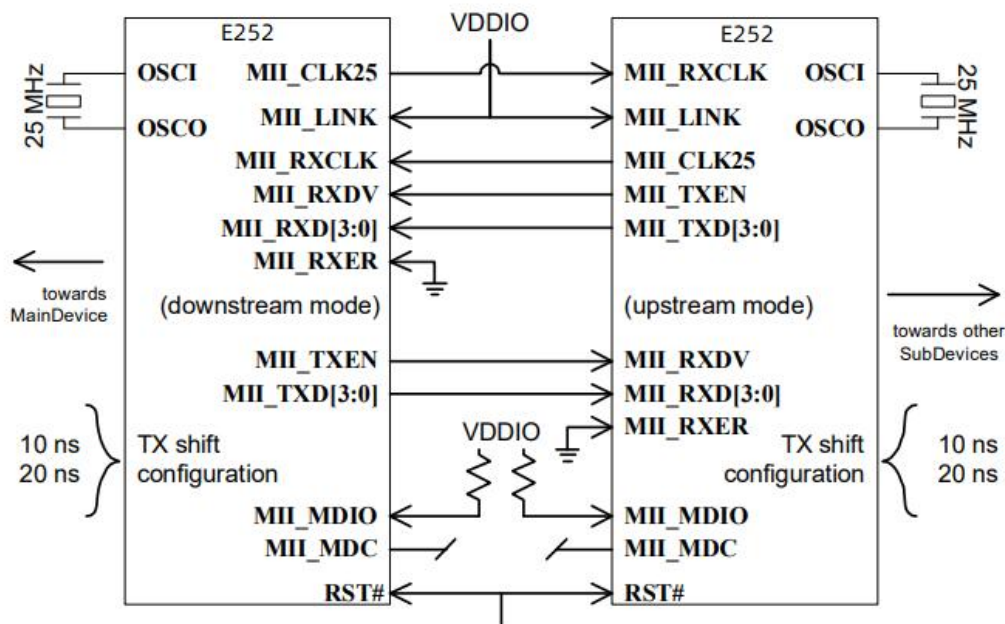


图 13-6 实时工业以太网背靠背MII连接

13.9.1.3. 双端口操作

当配置为双端口模式（chip_mode_strap[1:0]等于00b）时，端口2将禁止。端口状态也将在端口描述符寄存器的端口2配置位中显示，并在器件配置为双端口操作时设置为01b（未配置）。

13.9.2. 端口1（内部PHY B）

实时工业以太网内核的端口1始终连接至内部PHY B。

13.9.3. PHY配置

默认情况下，内部PHY配置为100 Mbps全双工操作。自动协商在100BASE-TX模式下使能，在100BASE-FX模式下禁止。必要时，实时工业以太网内核还将校验和更新配置。

13.9.4. PHY链路状态

链路状态源自PHY的链路信号（内部或外部）。实时工业以太网内核还会校验PHY状态以确定链路是否正常。

13.9.5. 增强型链路检测

实时工业以太网内核支持增强型链路检测功能，该功能的使能由EEPROM控制。凭借该功能，如果固定时间间隔（约10 us）内出现了至少32个接收错误（RX_ER），则实时工业以太网内核将断开链路。更多信息，请参见EEPROM可配置寄存器。

13.9.6. 100BASE-FX支持

由于100BASE-FX操作不支持自动协商，因此需要特别注意MI和增强型链路检测操作。

MII链路检测

当任何端口设置为100BASE-FX操作时，必须通过使MII管理控制/状态寄存器的bit 2保

持低电平来禁止MI链路检测。

增强型链路检测

增强型链路检测仍可启用。如果增强型链路检测功能检测到错误条件，它仍将尝试重启自动协商。由于这不起作用，因此内部PHY也会复位。

使用外部100BASE-FX PHY的系统必须实现Beckhoff PHY选型指南的增强型FX链路检测部分介绍的逻辑，以检测重启自动协商命令、复位外部PHY以及复位/禁止外部收发器。

13.9.7. 外部PHY时序

由于实时工业以太网内核不使用PHY发送时钟，因此必须基于通用25 MHz参考时钟确保正确的时序（该参考时钟通过MII_CLK25引脚输出至外部PHY）。为帮助实现这一目的，实时工业以太网内核使能了发送移位功能。该功能可使来自实时工业以太网内核的发送信号延迟0 ns、10 ns、20 ns或30 ns之后产生。具体值通过tx_shift_strap[1:0]手动设置。

13.9.7.1. MII连接时序

MII接口的发送和接收时序如下：

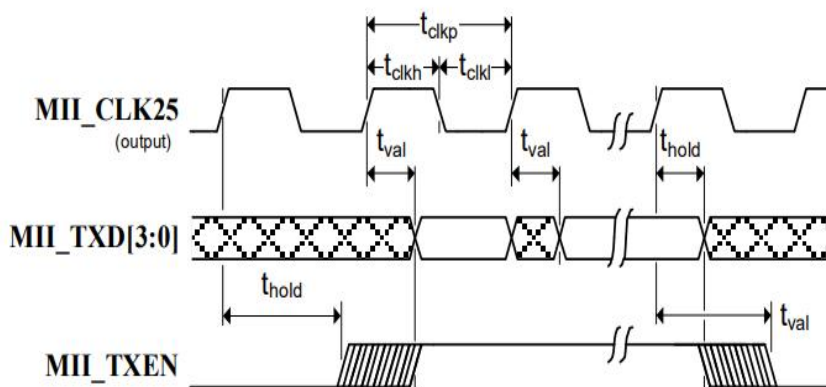


图 13-7 MII发送时序

表 13-4 MII发送时序值

符号	说明	最小值	最大值	单位	注
tclkp	MII_CLK25周期	40	-	ns	
tclkh	MII_CLK25高电平时间	tclkp * 0.45	tclkp * 0.55	ns	
tclkl	MII_CLK25低电平时间	tclkp * 0.45	tclkp * 0.55	ns	
tval	MII_CLK25上升沿之后MII_TXD[3:0]和MII_TXEN输出的有效时间（注2）	-	10.0	ns	注1
thold	MII_CLK25上升沿之后MII_TXD[3:0]和MII_TXEN输出的保持时间（注2）	0	-	ns	注1

注1：时序设计为用于10 pF和25 pF之间的系统负载。

注2：假设发送移位值为2，则发送移位的单位增量为10 ns（移位值依次为3、0和1）。

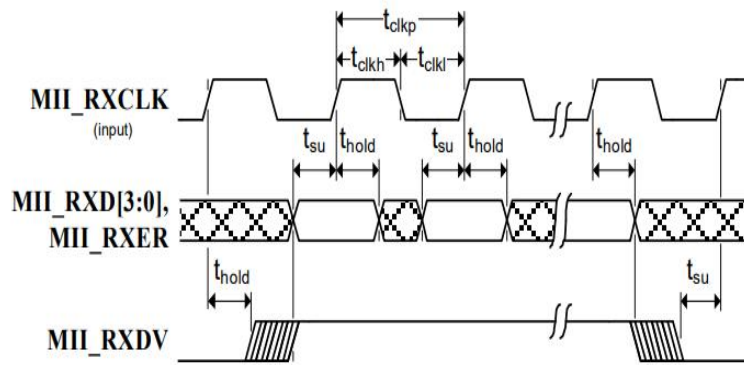


图 13-8 MII接收时序

表 13-5 MII接收时序值

符号	说明	最小值	最大值	单位	注
tclkp	MII_RXCLK周期	40	-	ns	
tclkh	MII_RXCLK高电平时间	tclkp * 0.4	tclkp * 0.6	ns	
tclkl	MII_RXCLK低电平时间	tclkp * 0.4	tclkp * 0.6	ns	
tsu	从MII_RXD[3:0]、MII_RXER和MII_RXDV建立到MII_RXCLK的上升沿的时间	5.0	-	ns	注3
thold	MII_RXCLK上升沿之后MII_RXD[3:0]、MII_RXER和MII_RXDV的保持时间	6.0	-	ns	注3

注3：时序设计为用于10 pF和25 pF之间的系统负载。

13.9.7.2. 背靠背MII连接时序

根据上述MII发送和接收时序，背靠背连接应使用发送移位值3或0

13.9.7.3. 管理接口时序

MII_MDIO和MII_MDC的时序如下：

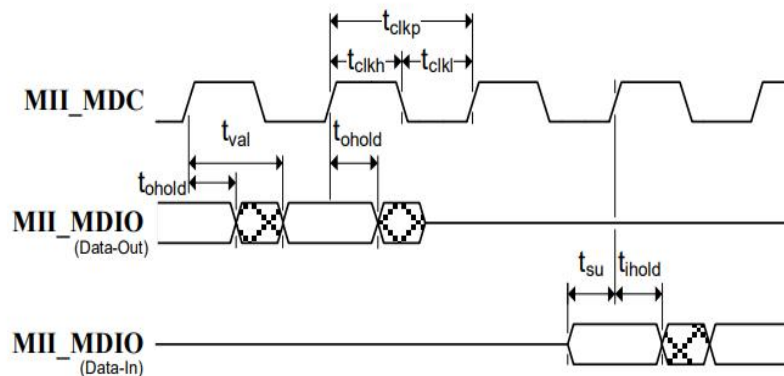


图 13-9 管理访问时序

表 13-6 管理访问时序值

符号	说明	最小值	最大值	单位	注
tclkp	MII_MDC周期	400	-	ns	

符号	说明	最小值	最大值	单位	注
tlkh	MII_MDC高电平时间	180 (90%)	-	ns	
tlkl	MII_MDC低电平时间	180 (90%)	-	ns	
tval	MII_MDC的上升沿之后MII_MDIO输出的有效时间	-	250	ns	
tohold	MII_MDC的上升沿之后MII_MDIO输出的保持时间	150	-	ns	
tsu	从MII_MDIO输入建立到MII_MDC的上升沿的时间	70	-	ns	
tihold	MII_MDC上升沿之后MII_MDIO输入的保持时间	0	-	ns	

13.10. LED

器件包括一个运行LED（RUNLED）和每个端口的链接/活动LED（LINKACTLED[0:2]）。LEDpin极性是根据相应的LED极性带确定的。pin输出是开漏或开源。

注意：端口0和端口2的LED引脚不会根据芯片模式交换。实时以太网核心配置通过RUNLED覆盖寄存器直接控制运行LED。通过在电源管理控制寄存器（PMT_CTRL）中设置LED_DIS位，可以禁用所有LED输出（非驱动）。

13.11. 实时以太网 CSR和过程数据RAM访问

实时以太网 CSR 提供对实时以太网内核的各种参数的寄存器级访问。根据访问方式的不同，实时以太网的相关寄存器主要分为两类：直接和间接。

可直接访问的实时以太网寄存器是主系统CSR的一部分，请参见实时以太网 CSR和过程数据RAM 访问寄存器（可直接寻址）中的详细说明。这类寄存器提供数据/命令寄存器（用于访问间接实时以太网内核寄存器）。

可间接访问的实时以太网内核寄存器位于实时以太网内核中，必须通过实时以太网 CSR接口数据寄存器（CSR_DATA）和实时以太网 CSR接口命令寄存器（CSR_CMD）间接访问。可间接访问的实时以太网内核CSR提供对实时以太网内核的许多可配置参数的完全访问。可间接访问的实时以太网内核CSR在地址0h至0FFFh处进行访问，请参见实时以太网内核CSR寄存器（可间接寻址）中详细的说明。

实时以太网内核过程数据RAM可通过实时以太网 CSR接口数据寄存器（CSR_DATA）和实时以太网 CSR接口命令寄存器（CSR_CMD从1000h处开始间接访问。实时以太网 内核过程数据RAM 还可通过实时以太网过程RAM读数据FIFO（PRAM_RD_DATA）和实时以太网过程RAM写数据FIFO（PRAM_WR_DATA）更高效地进行访问。该方法能够通过FIFO机制使用单条命令和较少的状态读操作来传输多个双字。

13.11.1. 实时以太网 CSR 读操作

要读取单个实时以太网内核寄存器，必须通过以下方式发起读周期：单次写入实

时工业以太网 CSR接口命令寄存器（CSR_CMD），将CSR繁忙（CSR_BUSY）位置1、将CSR地址（CSR_ADDR）字段设置为所需寄存器地址、将读/写（R_nW）位置1以及将CSR大小（CSR_SIZE）字段设置为所需大小。

当CSR繁忙（CSR_BUSY）位清零时，可读取有效数据，即可以从实时以太网CSR接口数据寄存器（CSR_DATA）读取数据。

有效数据始终与实时以太网CSR接口数据寄存器（CSR_DATA）的最低位对齐。

注：无论CSR大小（CSR_SIZE）的值为何，均会更新实时以太网CSR接口数据寄存器（CSR_DATA）的所有字节。

图13-10给出了读取实时以太网内核CSR时所需过程的图示。特别注明时需要最小等待周期。特别注明时需要写后读时序规则中指定的最小等待周期，请参见写后读时序规则。

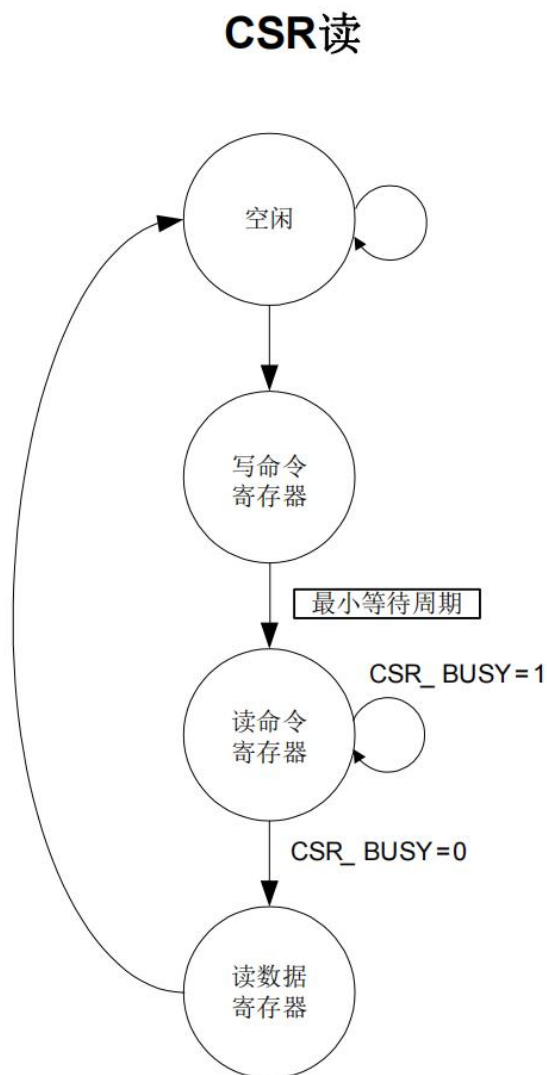


图 13-10 实时以太网 CSR读访问流程图

13.11.2. 实时以太网 CSR写操作

要写入单个实时以太网内核寄存器，必须首先向实时以太网CSR接口数据寄

寄存器（CSR_DATA）写入所需数据。有效数据始终与实时以太网 CSR接口数据寄存器（CSR_DATA）的最低位对齐。

必须通过以下方式发起写周期：单次写入实时以太网 CSR接口命令寄存器（CSR_CMD），将CSR繁忙（CSR_BUSY）位置1、将CSR地址（CSR_ADDR）字段设置为所需寄存器地址、将读/写（R_nW）位清零以及将CSR大小（CSR_SIZE）字段设置为所需大小。写周期的完成由CSR繁忙（CSR_BUSY）位清零来指示。

图13-11给出了写入实时以太网内核CSR时所需过程的图示。特别注明时需要最小等待周期。特别注明时需要最小等待周期。特别注明时需要写后读时序规则中指定的最小等待周期，请参见写后读时序规则。

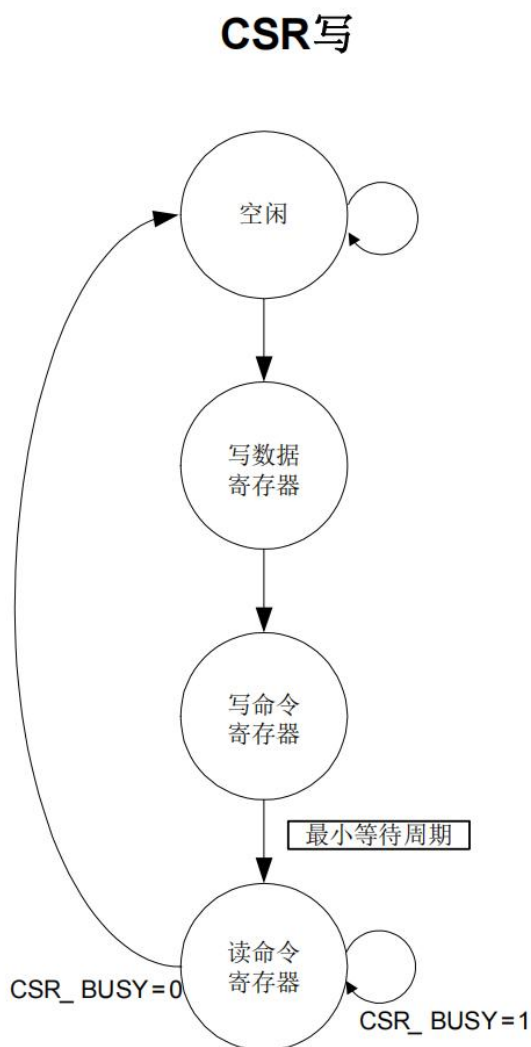


图 13-11 实时以太网 CSR写访问流程图

13.11.3. 实时以太网过程RAM 读操作

过程数据从实时以太网内核经16级深32位宽FIFO传输。FIFO的基址为00h，但它也可在其他7个连续的存储单元访问。主机可在这些别名端口存储单元中的任一个存储单元访问FIFO，因为它们的功能相同且包含相同的数据。通过实现这种别名端口寻址，主机可对

连续地址进行突发访问。

对于HBI访问，过程RAM读数据FIFO也可通过FIFO直接选择模式访问。在该模式下，将忽略地址输入，并直接对过程RAM读数据FIFO执行所有读访问。请参见FIFO直接选择地址。

要读取实时以太网过程RAM，需要通过以下方式发起读周期：首先向实时以太网过程RAM读地址和长度寄存器（PRAM_RD_ADDR_LEN）写入所需传输的起始字节地址和长度（单位为字节），接着写入实时以太网过程RAM读命令寄存器（PRAM_RD_CMD）以将PRAM读繁忙（PRAM_READ_BUSY）位置1。

注：起始字节地址和长度必须编程为有效值，以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

有效数据（由实时以太网过程RAM读命令寄存器（PRAM_RD_CMD）的PRAM可读数据（PRAM_READ_AVAIL）位指示）通过实时以太网过程RAM读数据FIFO（PRAM_RD_DATA）从FIFO读取。PRAM数据可读次数（PRAM_READ_AVAIL_CNT）字段指示在无需再次校验状态的条件下可执行的读操作次数。最后一次读取实时以太网过程RAM读数据FIFO（PRAM_RD_DATA）后，PRAM读繁忙（PRAM_READ_BUSY）将自清零。

注：最后一次读取实时以太网过程RAM读数据FIFO（PRAM_RD_DATA）意味着已读取全部四个字节，即使无需全部字节也如此。

当数据从实时以太网内核传输到FIFO时，PRAM读长度（PRAM_READ_LEN）和PRAM读地址（PRAM_READ_ADDR）会进行更新以显示进程。

根据起始地址的不同，第一次FIFO读操作的有效字节如下：

表 13-7 实时以太网过程RAM第一次读操作的有效字节

起始地址[1:0]	
00b	字节3、字节2、字节1和字节0
01b	字节3、字节2和字节1
10b	字节3和字节2
11b	字节3

根据起始地址和长度的不同，最后一次FIFO读操作的有效字节如下：

表 13-8 实时以太网过程RAM最后一次读操作的有效字节

	起始长度[1:0]			
起始地址[1:0]	01b (例如, 5和9等)	10b (例如, 6和10等)	11b (例如, 7和11等)	00b (例如, 8和12等)
00b	字节0	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0
01b	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0
10b	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0	字节1和字节0

	起始长度[1:0]			
11b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0

如果初始长度为4字节或4字节以下并且单次读操作可包含所有字节，则惟一一次FIFO读操作的有效字节如下：

表 13-9 实时工业以太网过程RAM单次读操作的有效字节

	起始长度			
起始地址[1:0]	4	1	2	3
00b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0
01b	na	字节1	字节2和字节1	字节3、字节2和字节1
10b	na	字节2	字节3和字节2	na
11b	na	字节3	na	na

13.11.3.1.中止读命令

必要时，可通过将实时工业以太网过程RAM读命令寄存器（PRAM_RD_CMD）中的PRAM读中止（PRAM_READ_ABORT）位置1来中止读命令。

13.11.4.实时工业以太网过程RAM写操作

过程数据经16级深32位宽FIFO传输到实时工业以太网内核。FIFO的基址为20h，但它也可在其他7个连续的存储单元访问。主机可在这些别名端口存储单元中的任一个存储单元访问FIFO，因为它们的功能相同且包含相同的数据。通过实现这种别名端口寻址，主机可对连续地址进行突发访问。

对于HBI访问，过程RAM写数据FIFO也可通过FIFO直接选择模式访问。在该模式下，将忽略地址输入，并直接对过程RAM读数据FIFO执行所有写访问。请参见FIFO直接选择地址。

要写入实时工业以太网过程RAM，需要通过以下方式发起写周期：首先向实时工业以太网过程RAM写地址和长度寄存器（PRAM_WR_ADDR_LEN）写入所需传输的起始字节地址和长度（单位为字节），接着写入实时工业以太网过程RAM写命令寄存器（PRAM_WR_CMD）以使PRAM写繁忙（AM_WRITE_BUSY）位置1。

注：起始字节地址和长度必须编程为有效值，以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

数据经16级深32位宽FIFO传输到实时工业以太网内核中。当实时工业以太网过程RAM写命令寄存器（PRAM_WR_CMD）中的PRAM可写空间（PRAM_WRITE_AVAIL）位指示空间可用时，主机可通过实时工业以太网过程RAM写数据FIFO（PRAM_WR_DATA）向FIFO写入数据。PRAM空间可写次数（PRAM_WRITE_AVAIL_CNT）字段指示在无需再次

校验状态的条件下可执行的写操作次数。最后一次向实时以太网内核写入数据后，PRAM写繁忙（AM_WRITE_BUSY）将自清零。

当数据从FIFO传输到实时以太网内核时，PRAM写长度（PRAM_WRITE_LEN）和PRAM写地址（PRAM_WRITE_ADDR）会进行更新以显示进程。

注：最后一次写入实时以太网过程RAM写数据FIFO（PRAM_WR_DATA）意味着已写入全部四个字节，即使无需全部字节也如此。

根据起始地址的不同，第一次FIFO写操作的有效字节如下：

表 13-10 实时以太网过程RAM第一次写操作的有效字节

起始地址[1:0]	
00b	字节3、字节2、字节1和字节0
01b	字节3、字节2和字节1
10b	字节3和字节2
11b	字节3

根据起始地址和长度的不同，最后一次FIFO写操作的有效字节如下：

表 13-11 实时以太网过程RAM最后一次写操作的有效字节

起始地址[1:0]	起始长度[1:0]			
	01b (例如, 5和9等)	10b (例如, 6和10等)	11b (例如, 7和11等)	00b (例如, 8和12等)
00b	字节0	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0
01b	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0
10b	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0	字节1和字节0
11b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0

如果初始长度为4字节或小于4字节并且单次写操作可包含所有字节，则惟一一次FIFO写操作的有效字节如下：

表 13-12 实时以太网过程RAM单次写操作的有效字节

起始地址[1:0]	起始长度			
	4	1	2	3
00b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0
01b	na	字节1	字节2和字节1	字节3、字节2和字节1
10b	na	字节2	字节3和字节2	na
11b	na	字节3	na	na

13.11.4.1. 中止写命令

必要时，可通过将实时工业以太网过程RAM写命令寄存器（PRAM_WR_CMD）中的PRAM写中止（PRAM_WRITE_ABORT）位置1来中止写命令。

13.12. 实时工业以太网复位

请参见实时工业以太网系统复位的定义，通过3个连续帧向实时工业以太网从站控制器复位实时工业以太网寄存器写入0x52（R）、0x45（E）和0x53（S）之后或者通过3个连续的写操作向实时工业以太网从站控制器复位PDI寄存器写入0x52（R）、0x45（E）和0x53（S）之后，会发生器件复位（和可选系统复位）。

注：序列的最后一个帧可能不会返回给主器件（取决于拓扑），因为主器件与被复位的从器件之间的链路将中断。

13.13. 实时工业以太网CSR和过程数据RAM访问寄存器（可直接寻址）

本节将详细介绍实时工业以太网内核以外与实时工业以太网内核相关的可直接寻址的系统CSR。有关如何访问实时工业以太网寄存器的信息，请参见实时工业以太网 CSR和过程数据RAM访问。实时工业以太网内核CSR寄存器（可间接寻址）中将详细介绍实时工业以太网内核寄存器。

表 13-13 实时工业以太网过程RAM和CSR访问寄存器

地址	寄存器名称（符号）
000h-01Ch	实时工业以太网过程RAM读数据FIFO（PRAM_RD_DATA）
020h-03Ch	实时工业以太网过程RAM写数据FIFO（PRAM_WR_DATA）
300h	实时工业以太网 CSR接口数据寄存器（CSR_DATA）
304h	实时工业以太网 CSR接口命令寄存器（CSR_CMD）
308h	实时工业以太网过程RAM读地址和长度寄存器（PRAM_RD_ADDR_LEN）
30Ch	实时工业以太网过程RAM读命令寄存器（PRAM_RD_CMD）
310h	实时工业以太网过程RAM写地址和长度寄存器（PRAM_WR_ADDR_LEN）
314h	实时工业以太网过程RAM写命令寄存器（PRAM_WR_CMD）

13.13.1. 实时工业以太网过程RAM读数据FIFO（PRAM_RD_DATA）

偏移量： 000h-01Ch 大小： 32位

该只读寄存器与实时工业以太网过程RAM读命令寄存器（PRAM_RD_CMD）和实时工业以太网过程RAM读地址和长度寄存器（PRAM_RD_ADDR_LEN）配合使用，以对实时工业以太网内核过程RAM执行读操作。

仅当实时工业以太网过程RAM读命令寄存器（PRAM_RD_CMD）中的PRAM可读数据（PRAM_READ_AVAIL）位为1时，从该寄存器读取的数据才有效。除非存在有效数据，否则主机不得读取该寄存器。

位	说明	类型	默认值
31:0	实时以太网®过程RAM读数据 (PRAM_RD_DATA) 该字段包含从实时以太网内核过程RAM读取的值。 注：一些字节可能无效，具体取决于起始地址和传输长度。	RO	-

13.13.2. 实时以太网过程RAM写数据FIFO (PRAM_WR_DATA)

偏移量： 020h-03Ch 大小： 32位

该只写寄存器与实时以太网过程RAM写命令寄存器 (PRAM_WR_CMD) 和实时以太网过程RAM写地址和长度寄存器 (PRAM_WR_ADDR_LEN) 配合使用，以对实时以太网内核过程RAM执行写操作。

除非实时以太网过程RAM写命令寄存器 (PRAM_WR_CMD) 中的PRAM可写空间 (PRAM_WRITE_AVAIL) 位指示存在可用空间，否则主机不得写入该寄存器。

位	说明	类型	默认值
31:0	实时以太网®过程RAM写数据 (PRAM_WR_DATA) 该字段包含写入实时以太网内核过程RAM的值。 注：一些字节可能无效，具体取决于起始地址和传输长度。	WO	-

13.13.3. 实时以太网CSR接口数据寄存器 (CSR_DATA)

偏移量： 300h 大小： 32位

该读/写寄存器与实时以太网 CSR接口命令寄存器 (CSR_CMD) 配合使用，以对实时以太网内核CSR执行读写操作。

位	说明	类型	默认值
31:0	实时以太网® CSR数据 (CSR_DATA) 该字段包含从实时以太网内核CSR读取的值或者写入实时以太网内核CSR的值。实时以太网内核CSR由实时以太网 CSR接口命令寄存器 (CSR_CMD) 的CSR地址 (CSR_ADDR) 位选择。 始终在该字段的低位写入或读取有效数据。通过硬件处理任何需要的字节对齐。 执行读操作之后，返回的值取决于实时以太网 CSR接口命令寄存器 (CSR_CMD) 中的读/写 (R_nW) 位。如果读/写 (R_nW) 置1，则数据来自实时以太网内核。如果读/写 (R_nW) 清零，则数据为最后写入该寄存器的值。	R/W	00000000h

13.13.4. 实时以太网CSR接口命令寄存器（CSR_CMD）

偏移量： 304h 大小： 32位

该读/写寄存器与实时以太网 CSR接口数据寄存器（CSR_DATA）配合使用，以对实时以太网内核CSR执行读写操作。

位	说明	类型	默认值
31	CSR繁忙（CSR_BUSY） 向该位写入1时，将对CSR地址（CSR_ADDR）中指定的实时以太网®内核CSR执行读操作或写操作（由R_nW位确定）。该位将保持置1状态，直至操作完成（此时该位将自清零）。在读操作情况下，清零该位会向主机指示可从实时以太网 CSR接口数据寄存器（CSR_DATA）读取有效数据。 向该位写入0不起作用。 除非该位为0，否则主机不得修改CSR_CMD CSR_DATA寄存器。	R/W SC	0b
30	读/写（R_nW） 该位用于确定主机向指定的实时以太网®内核CSR执行读操作还是写操作。 0：写操作 1：读操作	R/W	0b
29:19	保留	RO	-
18:16	CSR大小（CSR_SIZE） 该字段用于指定实时以太网内核CSR大小（单位为字节）。有效值为1、2和4。主机不得使用无效值。 注4。	R/W	0h
15:0	CSR地址（CSR_ADDR） 该字段用于选择将通过读操作或写操作访问的实时以太网内核CSR。这是一个字节地址，该字节地址是用于指定实时以太网内核CSR的偏移量的格式。 注4。	R/W	00h

注4：字和双字访问必须根据下表在适当的地址边界上对齐。

表 13- 14 实时以太网 CSR地址与大小

CSR_SIZE[2:0]	CSR_ADDR[1:0]
1	00b、01b、10b和11b
2	00b和10b
4	00b

13.13.5. 实时工业以太网过程RAM读地址和长度寄存器（PRAM_RD_ADDR_LEN）

偏移量： 308h 大小： 32位

该读/写寄存器与实时工业以太网过程RAM读数据FIFO（PRAM_RD_DATA）和实时工业以太网过程RAM读命令寄存器（PRAM_RD_CMD）配合使用，以对实时工业以太网内核过程RAM执行读操作。

注：起始字节地址和长度必须编程为有效值，以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

位	说明	类型	默认值
31:16	PRAM读长度（PRAM_READ_LEN） 该字段用于指示要从实时工业以太网®内核过程RAM读取的字节数。当数据被从实时工业以太网内核读取并置于FIFO中时，该字段递减。 除非PRAM读繁忙（PRAM_READ_BUSY）位为低电平，否则主机不得修改该字段。	R/W	0000h
15:0	PRAM读地址（PRAM_READ_ADDR） 该字段用于指示要读取的实时工业以太网内核字节地址。当数据被从实时工业以太网内核读取并置于FIFO中时，该字段递增。 注：过程RAM从地址1000h处开始。 除非PRAM读繁忙（PRAM_READ_BUSY）位为0，否则主机不得修改该字段。	R/W	0000h

13.13.6. 实时工业以太网过程RAM读命令寄存器（PRAM_RD_CMD）

偏移量： 30Ch 大小： 32位

该读/写寄存器与实时工业以太网过程RAM读数据FIFO（PRAM_RD_DATA）和实时工业以太网过程RAM读地址和长度寄存器（PRAM_RD_ADDR_LEN）配合使用，以对实时工业以太网内核过程RAM执行读操作。

位	说明	类型	默认值
31	PRAM读繁忙（PRAM_READ_BUSY） 向该位写入1时，将从PRAM读地址（PRAM_READ_ADDR）中指定的实时工业以太网®内核过程RAM存储单元开始启动读操作，具体长度在PRAM读长度（PRAM_READ_LEN）中指定。该位将保持置1状态，直至整个读操作完成（此时该位将自清零）。 向该位写入0不起作用。	R/W SC	0b

位	说明	类型	默认值
30	PRAM读中止 (PRAM_READ_ABORT) 向该位写入1时, 将取消正在进行的读操作。PRAM读繁忙 (PRAM_READ_BUSY) 将清零, 读数据FIFO以及状态位将复位。该位将自清零。 向该位写入0不起作用。	R/W SC	0b
29:13	保留	RO	-
12:8	PRAM数据可读次数 (PRAM_READ_AVAIL_CNT) 该字段用于指示在无需进一步校验状态的条件下实时以太网过程RAM读数据FIFO (PRAM_RD_DATA) 可读取的次数。 当数据被从实时以太网内核读取并置于FIFO中时, 该字段递增。 当从实时以太网过程RAM读数据FIFO (PRAM_RD_DATA) 读取完整个双字数据时, 该字段递减。	RO	00000b
7:1	保留	RO	-
0	PRAM可读数据 (PRAM_READ_AVAIL) 该字段用于指示实时以太网过程RAM读数据FIFO (PRAM_RD_DATA) 是否存在有效数据可供读取。	RO	0b

13.13.7. 实时以太网过程RAM写地址和长度寄存器 (PRAM_WR_ADDR_LEN)

偏移量: 310h 大小: 32位

该读/写寄存器与实时以太网过程RAM写数据FIFO (PRAM_WR_DATA) 和实时以太网过程RAM写命令寄存器 (PRAM_WR_CMD) 配合使用, 以对实时以太网内核过程RAM执行写操作。

注: 起始字节地址和长度必须编程为有效值, 以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

位	说明	类型	默认值
31:16	PRAM写长度 (PRAM_WRITE_LEN) 该字段用于指示要写入实时以太网®内核过程RAM的字节数。当数据从FIFO写入实时以太网内核时, 该字段递减。 除非PRAM写繁忙 (AM_WRITE_BUSY) 位为低电平, 否则主机不得修改该字段。	R/W	0000h
15:0	PRAM写地址 (PRAM_WRITE_ADDR) 该字段用于指示要写入的实时以太网内核字节地址。当数据从FIFO写入实时以太网内核时, 该字段递增。 注: 过程RAM从地址1000h处开始。 除非PRAM写繁忙 (AM_WRITE_BUSY) 位为0, 否则主机不得修改该字段。	R/W	0000h

13.13.8. 实时以太网过程RAM写命令寄存器 (PRAM_WR_CMD)

偏移量: 314h 大小: 32位

该读/写寄存器与实时以太网过程RAM写数据FIFO (PRAM_WR_DATA) 和实时以太网过程RAM写地址和长度寄存器 (PRAM_WR_ADDR_LEN) 配合使用, 以对实时以太网内核过程RAM执行写操作。

位	说明	类型	默认值
31	PRAM写繁忙 (AM_WRITE_BUSY) 向该位写入1时, 将从PRAM写地址 (PRAM_WRITE_ADDR) 中指定的实时以太网®内核过程RAM存储单元开始启动写操作, 具体长度在PRAM写长度 (PRAM_WRITE_LEN) 中指定。该位将保持置1状态, 直至整个写操作完成 (此时该位将自清零)。 向该位写入0不起作用。	R/W SC	0b
30	PRAM写中止 (PRAM_WRITE_ABORT) 向该位写入1将取消正在进行的写操作。PRAM写繁忙 (AM_WRITE_BUSY) 将清零, 写数据FIFO以及状态位将复位。该位将自清零。 向该位写入0不起作用。	R/W SC	0b
29:13	保留	RO	-
12:8	PRAM空间可写次数 (PRAM_WRITE_AVAIL_CNT) 该字段用于指示在无需进一步校验状态的条件实时以太网过程RAM写数据FIFO (PRAM_WR_DATA) 可写入的次数。 当将整个双字数据写入实时以太网过程RAM写数据FIFO (PRAM_WR_DATA) 时, 该字段递减。当数据被从FIFO读取并置于实时以太网内核时, 该字段递增。	RO	10000b
7:1	保留	RO	-
0	PRAM可写空间 (PRAM_WRITE_AVAIL) 该字段用于指示实时以太网过程RAM写数据FIFO (PRAM_WR_DATA) 是否存在可用空间可供写入数据。	RO	1b

13.14. 实时以太网内核CSR寄存器 (可间接寻址)

本节将详细介绍可间接寻址的实时以太网内核CSR, 它们通过可直接寻址的实时以太网 CSR接口数据寄存器 (CSR_DATA) 和实时以太网 CSR接口命令寄存器 (CSR_CMD) 进行访问。有关如何访问实时以太网寄存器的信息, 请参见实时以太网 CSR和过程数据RAM访问。实时以太网 CSR和过程数据RAM访问寄存器 (可直接寻址) 将详细介绍可直接寻址的实时以太网寄存器。

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。根据寄存器访问方式的不同，具体实时工业以太网内核寄存器位的读/写行为可能有所不同。每个实时工业以太网内核寄存器均包含“实时工业以太网类型”和“PDI类型”列，分别提供通过实时工业以太网主节点或过程数据接口（SPI/主机总线）访问寄存器时的位/字段类型。

表 13- 15 实时工业以太网内核CSR寄存器

地址	寄存器名称（符号）
实时工业以太网从站控制器信息	
0000h	类型寄存器
0001h	版本寄存器
0002h-0003h	编译寄存器
0004h	FMMU支持寄存器
0005h	SyncControlUnit支持寄存器
0006h	RAM大小寄存器
0007h	端口描述符寄存器
0008h-0009h	实时工业以太网从站控制器功能支持寄存器
站地址	
0010h-0011h	已配置站寄存器
0012h-0013h	已配置站别名寄存器
写保护	
0020h	写寄存器使能寄存器
0021h	写寄存器保护寄存器
0030h	实时工业以太网从站控制器写寄存器使能寄存器
0031h	实时工业以太网从站控制器写寄存器保护寄存器
数据链路层	
0040h	实时工业以太网从站控制器复位实时工业以太网寄存器
0041h	实时工业以太网从站控制器复位PDI寄存器
0100h-0103h	实时工业以太网从站控制器 DL控制寄存器
0108h-0109h	物理读/写偏移寄存器
0110h-0111h	实时工业以太网从站控制器 DL状态寄存器
应用层	
0120h-0121h	AL控制寄存器
0130h-0131h	AL状态寄存器
0134h-0135h	AL状态代码寄存器
0138h	运行LED改写寄存器
0139h	保留
PDI（过程数据接口）	
0140h	PDI控制寄存器
0141h	实时工业以太网从站控制器配置寄存器
0142h-0143h	ASIC配置寄存器
0144h-0145h	保留的寄存器
0150h	PDI配置寄存器
0151h	SYNC/LATCH PDI配置寄存器
0152h-0153h	扩展PDI配置寄存器
中断	
0200h-0201h	实时工业以太网事件屏蔽寄存器

地址	寄存器名称（符号）
0204h-0207h	AL事件屏蔽寄存器
0210h-0211h	实时工业以太网事件请求寄存器
0220h-0223h	AL事件请求寄存器
错误计数器	
0300h-0307h	接收错误计数器寄存器
0308h-030Bh	转发的接收错误计数器寄存器
030Ch	实时工业以太网处理单元错误计数器寄存器
030Dh	PDI错误计数器寄存器
030Eh	PDI错误代码寄存器
0310h-0313h	丢失链路计数器寄存器
看门狗	
0400h-0401h	看门狗分频器寄存器
0410h-0411h	看门狗时间PDI寄存器
0420h-0421h	看门狗时间过程数据寄存器
0440h-0441h	看门狗状态过程数据寄存器
0442h	看门狗计数器过程数据寄存器
0443h	看门狗计数器PDI寄存器
EEPROM接口	
0500h	EEPROM配置寄存器
0501h	EEPROM PDI访问状态寄存器
0502h-0503h	EEPROM控制/状态寄存器
0504h-0507h	EEPROM地址寄存器
0508h-050Bh	EEPROM数据寄存器
MII管理接口	
0510h-0511h	MII管理控制/状态寄存器
0512h	PHY地址寄存器
0513h	PHY寄存器地址寄存器
0514h-0515h	PHY数据寄存器
0516h	MII管理实时工业以太网访问状态寄存器
0517h	MII管理PDI访问状态寄存器
0518h-051Bh	PHY端口状态寄存器
0600h-062Fh	FMMU[2:0]寄存器（3x16字节）
+0h-3h	FMMUx逻辑起始地址寄存器
+4h-5h	FMMUx长度寄存器
+6h	FMMUx逻辑起始位寄存器
+7h	FMMUx逻辑停止位寄存器
+8h-9h	FMMUx物理起始地址寄存器
+Ah	FMMUx物理起始位寄存器
+Bh	FMMUx类型寄存器
+Ch	FMMUx激活寄存器
+Dh-Fh	FMMUx保留寄存器
0630h-06FFh	保留
0800h-081Fh	SyncControlUnit[3:0]寄存器（4x8字节）
+0h-1h	SyncControlUnit x物理起始地址寄存器
+2h-3h	SyncControlUnit x长度寄存器

地址	寄存器名称（符号）
+4h	SyncControlUnit x控制寄存器
+5h	SyncControlUnit x状态寄存器
+6h	SyncControlUnit x激活寄存器
+7h	SyncControlUnit x PDI控制寄存器
0820h-087Fh	保留
0900h-09FFh	分布式时钟（DC）
分布式时钟——接收时间	
0900h-0903h	接收时间端口0寄存器
0904h-0907h	接收时间端口1寄存器
0908h-090Bh	接收时间端口2寄存器
090Ch-090Fh	保留
分布式时钟——时间环路控制单元	
0910h-0917h	系统时间寄存器
0918h-091Fh	接收时间实时工业以太网处理单元寄存器
0920h-0927h	系统时间偏移寄存器
0928h-092Bh	系统时间延时寄存器
092Ch-092Fh	系统时间差值寄存器
0930h-0931h	速度计数器起始值寄存器
0932h-0933h	速度计数器差值寄存器
0934h	系统时间差值滤波器深度寄存器
0935h	速度计数器滤波器深度寄存器
分布式时钟——循环单元控制	
0980h	循环单元控制寄存器
分布式时钟——SYNC输出单元	
0981h	激活寄存器
0982h-0983h	同步信号寄存器的脉冲长度
0984h	激活状态寄存器
098Eh	SYNC0状态寄存器
098Fh	SYNC1状态寄存器
0990h-0997h	起始时间循环操作寄存器
0998h-099Fh	下一个SYNC1脉冲寄存器
09A0h-09A3h	SYNC0周期时间寄存器
09A4h-09A7h	SYNC1周期时间寄存器
分布式时钟——锁存输入单元	
09A8h	LATCH0控制寄存器
09A9h	LATCH1控制寄存器
09AEh	LATCH0状态寄存器
09AFh	LATCH1状态寄存器
09B0h-09B7h	LATCH0时间上升沿寄存器
09B8h-09BFh	LATCH0时间下降沿寄存器
09C0h-09C7h	LATCH1时间上升沿寄存器
09C8h-09CFh	LATCH1时间下降沿寄存器
分布式时钟——SyncControlUnit事件时间	
09F0h-09F3h	实时工业以太网缓冲区变化事件时间寄存器
09F8h-09FBh	PDI缓冲区起始时间事件寄存器

地址	寄存器名称（符号）
09FCh-09FFh	PDI缓冲区变化事件时间寄存器
实时工业以太网从站控制器特定	
0E00h-0E07h	产品ID寄存器
0E08h-0E0Fh	供应商ID寄存器
数字输入/输出	
0F00h-0F01h	数字I/O输出数据寄存器
0F10h-0F11h	通用输出寄存器
0F18h-0F19h	通用输入寄存器
用户RAM	
0F80h-0FFFh	用户RAM
过程数据RAM	
1000h-1001h	数字I/O输入数据寄存器
1000h-1FFFh	过程数据RAM

13.14.1. 类型寄存器

偏移量: 0000h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	实时工业以太网®控制器类型	RO	RO	AEh

13.14.2. 版本寄存器

偏移量: 0001h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	实时工业以太网®控制器版本	RO	RO	00h

13.14.3. 编译寄存器

偏移量: 0002h-0003h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	实时工业以太网®控制器编译 [7:4] = 次要版本 [3:0] = 维护版本	RO	RO	0000h

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.4.FMMU支持寄存器

偏移量：0004h 大小：8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	支持的FMMU 该字段详细说明实时工业以太网®从站控制器支持的FMMU通道（或实体）的数量。该器件提供3个通道（或实体）。	RO	RO	03h

13.14.5.SYNCCONTROLUNIT支持寄存器

偏移量：0005h 大小：8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	支持的SyncControlUnit（同步管理单元SCU） 该字段详细说明实时工业以太网®从站控制器支持的SyncControlUnit通道（或实体）的数量。该器件提供4个通道（或实体）。	RO	RO	04h

13.14.6.RAM大小寄存器

偏移量：0006h 大小：8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	过程数据RAM大小 该字段详细说明实时工业以太网®从站控制器中包含的过程数据RAM的大小。该器件提供4 KB。	RO	RO	04h

13.14.7.端口描述符寄存器

偏移量：0007h 大小：8位

位	说明	实时工业以太网类型	PDI类型	默认值
---	----	-----------	-------	-----

位	说明	实时工业以太网类型	PDI类型	默认值
7:6	端口3配置 该字段详细说明端口3的配置。 00: 未实现 01: 未配置 10: EBUS 11: MII/RMII	RO	RO	00b
5:4	端口2配置 该字段详细说明端口2的配置。 00: 未实现 01: 未配置 10: EBUS 11: MII/RMII	RO	RO	11b (三端口操作) 01b (双端口操作) 请参见芯片模式配置
3:2	端口1配置 该字段详细说明端口1的配置。 00: 未实现 01: 未配置 10: EBUS 11: MII/RMII	RO	RO	11b
1:0	端口0配置 该字段详细说明端口0的配置。 00: 未实现 01: 未配置 10: EBUS 11: MII/RMII	RO	RO	11b

13.14.8. 实时工业以太网从站控制器功能支持寄存器

偏移量: 0008h-0009h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:12	保留	RO	RO	0h
11	固定FMMU/SyncControlUnit配置 0: 可变配置 1: 固定配置	RO	RO	0b
10	实时工业以太网®读/写命令支持 0: 支持 1: 不支持	RO	RO	0b
9	实时工业以太网 LRW命令支持 0: 支持 1: 不支持	RO	RO	0b

位	说明	实时工业以太网类型	PDI类型	默认值
8	增强型DC SYNC激活 0: 不可用 1: 可用 注: 该功能请参见激活寄存器和激活状态寄存器	RO	RO	1b
7	单独处理FCS错误 0: 不支持 1: 支持, 具有错误FCS的帧以及额外的半字节将在转发的接收计数器中单独计数	RO	RO	1b
6	增强型链路检测MII 0: 不可用 1: 可用	RO	RO	1b
5	增强型链路检测EBUS 0: 不可用 1: 可用	RO	RO	0b
4	低抖动EBUS 0: 不可用, 正常抖动 1: 可用, 最低抖动	RO	RO	0b
3	分布式时钟 (宽度) 0: 32位 1: 64位	RO	RO	1b
2	分布式时钟 0: 不可用 1: 可用	RO	RO	1b
1	保留	RO	RO	0b
0	FMMU操作 0: 针对位操作 1: 针对字节操作	RO	RO	0b

注: 对于超过一个字节的实时工业以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.9. 已配置站寄存器

偏移量: 0010h-0011h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	已配置站地址 该字段包含用于节点寻址 (FPxx命令) 的地址	R/W	RO	0000h

注: 对于超过一个字节的实时工业以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.10. 已配置站别名寄存器

偏移量: 0012h-0013h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	已配置站别名地址 该字段包含用于节点寻址（FPxx命令）的别名地址。该别名的使用由实时工业以太网从站控制器 DL控制寄存器的站别名位激活。 注：仅在上电复位后第一次装载EEPROM时接受EEPROM值。	RO	R/W	0000h 注5

注5：该字段的默认值可通过EEPROM配置。更多信息，请参见EEPROM可配置寄存器。

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.11. 写寄存器使能寄存器

偏移量: 0020h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	写寄存器使能 如果使能了写保护，必须在同一以太网帧中写入该寄存器（值无关），之后才允许对该站执行其他写操作。写保护在该帧之后仍有效（如果写寄存器保护寄存器没有变化）	R/W	RO	0b

13.14.12. 写寄存器保护寄存器

偏移量: 0021h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	写寄存器保护 0: 禁止保护 1: 使能保护 注：除了0030h之外，寄存器0000h-0F0Fh均受写保护。	R/W	RO	0b

13.14.13. 实时工业以太网从站控制器写寄存器使能寄存器

偏移量: 0030h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	实时工业以太网从站控制器写寄存器使能 如果使能了实时工业以太网从站控制器写保护，必须在同一以太网帧中写入该寄存器（值无关），之后才允许对该站执行其他写操作。实时工业以太网从站控制器写保护在该帧后仍有效（如果实时工业以太网从站控制器写寄存器保护寄存器没有变化）	R/W	RO	0b

13.14.14. 实时工业以太网从站控制器写寄存器保护寄存器

偏移量: 0031h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	实时工业以太网从站控制器写寄存器保护 0: 禁止保护 1: 使能保护 注: 除了0030h之外，所有区域均受写保护。	R/W	RO	0b

13.14.15. 实时工业以太网从站控制器复位实时工业以太网寄存器

偏移量: 0040h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
写				
7:0	实时工业以太网从站控制器复位实时工业以太网 通过3个连续的命令向该寄存器中写入52h（“R”）、45h（“E”）和53h（“S”）之后，将触发复位。	R/W	RO	00h
读				
7:2	保留	RO	RO	000000b
1:0	复位步骤进度 01: 在写入52h后 10: 在写入45h后（如果之前已写入52h） 00: 其他	R/W	RO	00b

13.14.16. 实时工业以太网从站控制器复位PDI寄存器

偏移量: 0041h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
写				
7:0	实时工业以太网从站控制器复位PDI 通过3个连续的命令向该寄存器中写入52h (“R”)、45h (“E”) 和 53h (“S”) 之后，将触发复位。	RO	R/W	00h
读				
7:2	保留	RO	RO	000000b
1:0	复位步骤进度 01: 在写入52h后 10: 在写入45h后（如果之前已写入52h） 00: 其他	RO	R/W	00b

13.14.17. 实时工业以太网从站控制器 DL控制寄存器

偏移量: 0100h-0103h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:25	保留 写为0。	RO	RO	0000000b
24	站别名 0: 忽略站别名 1: 别名可用于所有已配置地址命令类型（FPRD和FPWR等）	R/W	RO	0b
23:20	保留 写为0。	RO	RO	0000b
19	EBUS低抖动 0: 正常抖动 1: 较低抖动	R/W	RO	0b
18:16	接收FIFO大小/接收延时缩短 （实时工业以太网从站控制器延迟启动转发，直至FIFO至少半满） 请参见注6。	R/W	RO	111b

位	说明	实时工业以太网类型	PDI类型	默认值
	EBUS000: -50 MII ns 001: -40 ns -40 ns 010 : -30 ns -40 ns 011 : -20 ns -40 ns 100 : -10 ns 无变化 101: 无变化 无变化 110: 无变化 无变化 111: 默认值 默认值			
15:14	保留 写为0。	RO	RO	00b
13:12	环路端口2 00: 自动 01: 自动关闭 10: 开启 11: 关闭	R/W 注7	RO	00b
11:10	环路端口1 00: 自动 01: 自动关闭 10: 开启 11: 关闭	R/W 注7	RO	00b
9:8	环路端口0 00: 自动 01: 自动关闭 10: 开启 11: 关闭	R/W 注7	RO	00b
7:2	保留 写为0	RO	RO	000000b
1	临时使用寄存器0101h设置 0: 永久使用 1: 临时使用约1s, 然后恢复之前的设置	R/W	RO	0b
0	转发规则 0: 处理实时工业以太网@帧, 转发非实时工业以太网帧而不处理1 1: 处理实时工业以太网帧, 破坏非实时工业以太网帧。 无论转发规则如何, 都会为每个帧更改源MAC地址 (SOURCE_MAC[1]设置为1——本地管理的地址)。	R/W	RO	1b

注6: 能否减小接收FIFO的大小取决于实时工业以太网从站控制器的时钟源精度以及连接的每个实时工业以太网/以太网器件(主器件和从器件等)的时钟源精度。接收FIFO大小为111b时足以满足100 ppm精度, 接收FIFO大小为000b时可满足25 ppm精度(帧大小为1518/1522字节)。

注7: 环路配置更改将延迟至端口上当前接收或发送的帧结束。

注: 对于超过一个字节的实时工业以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.18. 物理读/写偏移寄存器

偏移量: 0108h-0109h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	物理读/写偏移 读地址和写地址之间的R/W命令（FPRW和APRW）的偏移。 RD_ADR - ADR和WR_ADR = ADR + R/W- 偏移。	R/W	RO	0b

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.19. 实时工业以太网从站控制器 DL状态寄存器

偏移量: 0110h-0111h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:14	保留	RO	RO	00b
13	端口2上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
12	环路端口2 0: 开启。 1: 关闭。	RO	RO	0b
11	端口1上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
10	环路端口1 0: 开启。 1: 关闭。	RO	RO	0b
9	端口0上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
8	环路端口0 0: 开启。 1: 关闭。	RO	RO	0b
7	保留	RO	RO	0b
6	端口2上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b
5	端口1上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b

位	说明	实时工业以太网类型	PDI类型	默认值
4	端口0上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b
3	保留	RO	RO	0b
2	增强型链路检测 0: 所有端口均禁止 1: 至少一个端口激活 注: 仅在上电复位后第一次装载EEPROM时接受EEPROM值。	RO	RO	0b 直至第一次装载EEPROM, 然后为EEPROM地址0000h bit 9或0000h[15:12]
1	PDI看门狗状态 0: 看门狗超时 1: 看门狗重载	RO	RO	0b
0	PDI工作/EEPROM正确装载 0: EEPROM未装载, PDI未工作 (未访问过程数据RAM) 1: EEPROM正确装载, PDI工作 (访问过程数据RAM)	RO	RO	0b

注: 通过实时工业以太网读取该寄存器会将实时工业以太网事件请求寄存器中的DL状态事件位清零。
对于超过一个字节的实时工业以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址

13.14.20. AL控制寄存器

偏移量: 0120h-0121h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:5	保留 写为0。	R/W 注8	R/WC	000h
4	错误指示应答 0: AL状态寄存器中无错误指示应答 1: AL状态寄存器中有错误指示应答	R/W 注8	R/WC	0b
3:0	启动器件状态机的状态转换 1h: 请求启动状态 2h: 请求预工作状态 3h: 请求自举状态 4h: 请求安全工作状态 8h: 请求工作状态	R/W 注8	R/WC	1h

注8: 如果器件仿真关闭 (实时工业以太网从站控制器配置寄存器的器件仿真位为0), 则该寄存器的行为将类似于邮箱。实时工业以太网写入该寄存器后, PDI必须读取该寄存器。否则, 实时工业以太网无法再次写入该寄存器。复位后, 该寄存器可通过实时工业以太网写入。寄存器0120h和0121h的邮箱功能是等效的, 例如, 读取0121h足以使该寄存器能够再次被写入。如果器件仿真开启, 该寄存器可始终被写入, 其内容复制到AL状态寄存器。通过PDI读取该寄存器将清除所有事件请求 (寄存器0220h bit 0)。
注: 对于超过一个字节的实时工业以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.21. AL状态寄存器

偏移量: 0130h-0131h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:5	保留 写为0。	RO	R/W 注9	000h
4	错误指示 0: 器件处于请求的状态或者标志由命令清零 1: 本地操作后, 器件未进入请求的状态或更改的状态	RO	R/W 注9	0b
3:0	器件状态机的实际状态 1h: 启动状态 2h: 预工作状态 3h: 自举状态 4h: 安全工作状态 8h: 工作状态	RO	R/W 注9	1h

注9: 如果器件仿真关闭, 则该寄存器只可写入(实时以太网从站控制器配置寄存器的器件仿真位为0)。否则, 该寄存器将反映

AL控制寄存器的值。通过实时以太网读取该寄存器会将实时以太网事件请求寄存器中的AL状态事件位清零。

注: 对于超过一个字节的实时以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.22. AL状态代码寄存器

偏移量: 0134h-0135h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	AL状态代码	RO	R/W	0000h

注: 对于超过一个字节的实时以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.23. 运行LED改写寄存器

偏移量: 0138h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:5	保留 写为0。	R/W	R/W	000b
4	运行改写 0: 禁止改写 1: 使能改写	R/W	R/W	0b
3:0	运行LED代码 <div style="display: flex; justify-content: space-between;"> <div> 代码 0h: 熄灭 1h-Ch: 慢速闪烁 (1x-12x) Dh: 快速闪烁 Eh: 非等时闪烁 Fh: 点亮 </div> <div> FSM 状态 1 —— 启动 4 —— 安全工作 (1x) 2 —— 预工作 3 —— 自举 8 —— 工作 </div> </div>	R/W	R/W	0h

注: 用有效值更改AL状态寄存器将禁止运行改写 (bit 4 = 0)。在该寄存器中读取的值始终反映当前的LED输出。

13.14.24. PDI控制寄存器

偏移量: 0140h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	过程数据接口 04h: 数字I/O 80h: SPI 88h: HBI复用1阶段8位 89h: HBI复用1阶段16位 8Ah: HBI复用2阶段8位 8Bh: HBI复用2阶段16位 8Ch: HBI变址8位 8Dh: HBI变址16位 其他: 保留	RO	RO	00h 注10

注10: 该字段的默认值可通过EEPROM配置。更多信息, 请参见EEPROM可配置寄存器。

13.14.25. 实时工业以太网从站控制器配置寄存器

偏移量: 0141h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7	保留	RO	RO	0b
6	增强型链路端口2 0: 禁止 (如果bit 1 = 0) 1: 使能	RO	RO	0b 注11
5	增强型链路端口1 0: 禁止 (如果bit 1 = 0) 1: 使能	RO	RO	0b 注11
4	增强型链路端口0 0: 禁止 (如果bit 1 = 0) 1: 使能	RO	RO	0b 注11
3	分布式时钟锁存输入单元 0: 禁止 (节能) 1: 使能 注: 该位无作用。	RO	RO	0b
2	分布式时钟SYNC输出单元 0: 禁止 (节能) 1: 使能 注: 该位无作用。	RO	RO	0b
1	增强型链路检测所有端口 0: 禁止 (如果bit[7:4] = 0) 1: 使能所有端口	RO	RO	0b 注11
0	器件仿真 (控制AL状态寄存器) 0: AL状态寄存器必须由PDI设置 1: AL状态寄存器设置为写入AL控制寄存器的值 注: 对于数字I/O模式, 编程的值应为1; 对于具有主机控制器的应用, 编程的值应为0。	RO	RO	0b 注11

注11: 该字段的默认值可通过EEPROM配置。更多信息, 请参见EEPROM可配置寄存器。

注: 该寄存器根据EEPROM的内容进行初始化。仅当上电复位后第一次装载EEPROM时采用增强型链路检测的EEPROM设置 (bit 6、bit 5、bit 4和bit 1)。即使最初无法读取EEPROM, 更改及手动重载EEPROM也不会影响增强型链路检测的使能状态。

13.14.26. ASIC配置寄存器

偏移量: 0142h-0143h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15	MI链路检测 (链路配置, 链路检测, 寄存器PHY端口状态寄存器) 0: 不可用 1: MI链路检测有效	RO	RO	0b 注12
14:6	保留	RO	RO	0000000b 注12
7	千兆位寄存器9 MI写操作使能 使能对PHY的PHY寄存器9的写操作, PHY按照IEEE 802.3标准使用该寄存器 0: 禁止对千兆位寄存器9的MI写操作 1: 使能对千兆位寄存器9的MI写操作	RO	RO	0b 注12
6:0	保留	RO	RO	0000000b 注12

注12: 该字段的默认值可通过EEPROM配置。更多信息, 请参见EEPROM可配置寄存器。

注: 对于超过一个字节的实时工业以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.27. 保留的寄存器

偏移量: 0144h-0145h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	保留	RO	RO	0000h 注13

注13: 该字段的默认值可通过EEPROM配置。更多信息, 请参见EEPROM可配置寄存器。

注: 对于超过一个字节的实时工业以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.28. PDI配置寄存器

偏移量: 0150h 大小: 8位

该寄存器的位定义取决于所选的PDI模式（PDI控制寄存器中的过程数据接口字段）：
数字I/O模式或HBI模式。

PDI配置寄存器：数字I/O模式

位	说明	实时工业以太网类型	PDI类型	默认值
7:6	输出数据采样选择 00: 帧结束 01: 保留 10: DC SYNC0事件 11: DC SYNC1事件 注：如果OUTVALID模式 = 1，输出数据将在过程数据看门狗触发事件时更新（输出数据采样选择位被忽略）	RO	RO	00b 注14
5:4	输入数据采样选择 00: 帧结束 01: LATCH_IN的上升沿 10: DC SYNC0事件 11: DC SYNC1事件	RO	RO	00b 注14
3	看门狗行为 0: 输出在看门狗超时后立即复位 1: 输出在看门狗超时后的下一个输出事件时复位	RO	RO	0b 注14
2	单向/双向模式 0: 单向模式：单独配置引脚的输入/输出方向 1: 双向模式：所有I/O引脚均是双向的，忽略方向配置	RO	RO	0b 注14
1	OUTVALID模式 0: 输出事件信号传输 1: OUTVALID上的过程数据看门狗触发信号（WD_TRIG）传输。如果看门狗被触发，则会更新输出数据。改写输出数据采样选择位。	RO	RO	0b 注14
0	OUTVALID极性 0: 高电平有效 1: 低电平有效	RO	RO	0b 注14

注14：该字段的默认值可通过EEPROM配置。更多信息，请参见EEPROM可配置寄存器。

PDI配置寄存器：HBI模式

位	说明	实时工业以太网类型	PDI类型	默认值
7	HBI ALE限定 配置HBI接口，以通过CS信号限定ALEHI和ALELO信号。0: 通过ALEHI和ALELO锁存地址输入 1: 只有CS有效时，才通过ALEHI和ALELO锁存地址输入	RO	RO	0b 注15

位	说明	实时工业以太网类型	PDI类型	默认值
6	HBI读/写模式 配置HBI接口以用于单独的读写信号或者方向和使能信号。0: 读取和写入 1: 方向和使能	RO	RO	0b 注15
5	HBI片选极性 配置HBI接口片选信号的极性。 0: 低电平有效 1: 高电平有效	RO	RO	0b 注15
4	HBI读取以及读/写极性 配置HBI接口读信号的极性。 0: 低电平有效读取 1: 高电平有效读取 配置HBI接口读/写信号的极性。 0: 1时读取, 0时写入 (R/nW) 1: 1时写入, 0时读取 (W/nR)	RO	RO	0b 注15
3	HBI写入以及使能极性 配置HBI接口写信号的极性。 0: 低电平有效写入 1: 高电平有效写入 配置HBI接口读/写信号的极性。 0: 低电平有效使能 1: 高电平有效使能	RO	RO	0b 注15
2	HBI ALE极性 配置HBI接口ALEHI和ALELO信号的极性。 0: 低电平有效选通 (在上升沿保存地址) 1: 高电平有效选通 (在下降沿保存地址)	RO	RO	0b 注15
1:0	保留	RO	RO	00b 注15

注15: 该字段的默认值可通过EEPROM配置。更多信息, 请参见EEPROM可配置寄存器。

13.14.29. SYNC/LATCH PDI配置寄存器

偏移量: 0151h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7	SYNC1映射 SYNC1映射到AL事件请求寄存器 (0220h bit 3) 0: 禁止 1: 使能	RO	RO	0b 注16
6	SYNC1/LATCH1配置 0: LATCH1输入 1: SYNC1输出	RO	RO	0b 注16

位	说明	实时工业以太网类型	PDI类型	默认值
5:4	SYNC1输出驱动器/极性 00: 推挽式（低电平有效） 01: 漏极开路（低电平有效） 10: 推挽式（高电平有效） 11: 源极开路（高电平有效）	RO	RO	00b 注16
3	SYNC0映射 SYNC0映射到AL 事件请求寄存器（0220h bit 2） 0: 禁止 1: 使能	RO	RO	0b 注16
2	SYNC0/LATCH0 配置 0: LATCH0输入 1: SYNC0 输出	RO	RO	0b 注16
1:0	SYNC0输出驱动器/极性 00: 推挽式（低电平有效） 01: 漏极开路（低电平有效） 10: 推挽式（高电平有效） 11: 源极开路（高电平有效）	RO	RO	00b 注16

注16: 该字段的默认值可通过EEPROM配置。更多信息, 请参见EEPROM可配置寄存器。

13.14.30. 扩展PDI配置寄存器

偏移量: 0152h-0153h 大小: 16位

该寄存器的位定义取决于所选的PDI模式（PDI控制寄存器中的过程数据接口字段）：
数字I/O模式或SPI模式。

扩展PDI 配置寄存器：数字I/O 模式

位	说明	实时工业以太网类型	PDI类型	默认值
15:8	保留	RO	RO	0000h
7	I/O[15:14]方向 0: 输入 1: 输出 注: 在双向模式（0b）下保留。	RO	RO	1b 注17
6	I/O[13:12]方向 0: 输入 1: 输出 注: 在双向模式（0b）下保留。	RO	RO	1b 注17
5	I/O[11:10]方向 0: 输入 1: 输出 注: 在双向模式（0b）下保留。	RO	RO	1b 注17

位	说明	实时工业以太网类型	PDI类型	默认值
4	I/O[9:8]方向 0: 输入 1: 输出 注: 在双向模式 (0b) 下保留。	RO	RO	1b 注17
3	I/O[7:6]方向 0: 输入 1: 输出 注: 在双向模式 (0b) 下保留。	RO	RO	0b 注17
2	I/O[5:4]方向 0: 输入 1: 输出 注: 在双向模式 (0b) 下保留。	RO	RO	0b 注17
1	I/O[3:2]方向 0: 输入 1: 输出 注: 在双向模式 (0b) 下保留。	RO	RO	0b 注17
0	I/O[1:0]方向 0: 输入 1: 输出 注: 在双向模式 (0b) 下保留。	RO	RO	0b 注17

注17: 该字段的默认值可通过EEPROM配置。更多信息, 请参见EEPROM可配置寄存器。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

PDI 配置寄存器: SPI 模式

位	说明	实时工业以太网类型	PDI类型	默认值
15	I/O[15:14]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注18
14	I/O[13:12]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注18
13	I/O[11:10]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注18
12	I/O[9:8]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注18
11	I/O[7:6]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注18
10	I/O[5:4]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注18

位	说明	实时工业以太网类型	PDI类型	默认值
9	I/O[3:2]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注18
8	I/O[1:0]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注18
7	I/O[15:14]方向 0: 输入 1: 输出	RO	RO	1b 注18
6	I/O[13:12]方向 0: 输入 1: 输出	RO	RO	1b 注18
5	I/O[11:10]方向 0: 输入 1: 输出	RO	RO	1b 注18
4	I/O[9:8]方向 0: 输入 1: 输出	RO	RO	1b 注18
3	I/O[7:6]方向 0: 输入 1: 输出	RO	RO	0b 注18
2	I/O[5:4]方向 0: 输入 1: 输出	RO	RO	0b 注18
1	I/O[3:2]方向 0: 输入 1: 输出	RO	RO	0b 注18
0	I/O[1:0]方向 0: 输入 1: 输出	RO	RO	0b 注18

注18: 该字段的默认值可通过EEPROM配置。更多信息, 请参见EEPROM可配置寄存器。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.31. 实时工业以太网事件屏蔽寄存器

偏移量: 0200h-0201h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	实时工业以太网事件屏蔽 实时工业以太网 事件请求寄存器事件的 实时工业以太网 事件屏蔽，用于映射到实时工业以太网® 帧的实时工业以太网事件字段。 0: 不映射相应的实时工业以太网事件请求寄存器位 1: 映射相应的实时工业以太网事件请求寄存器位	R/W	RO	0000h

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.32. AL事件屏蔽寄存器

偏移量: 0204h-0207h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	AL事件屏蔽 AL事件请求寄存器事件的AL事件屏蔽，用于映射到PDI IRQ信号。 0: 不映射相应的AL事件请求寄存器位 1: 映射相应的AL事件请求寄存器位	RO	R/W	00FFFF0Fh

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.33. 实时工业以太网事件请求寄存器

偏移量: 0210h-0211h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:8	保留	RO	RO	00h
7	SyncControlUnit状态镜像 该位用于镜像SyncControlUnit通道3状态的值。 0: 无同步通道3事件 1: 同步通道3事件待处理	RO	RO	0b
6	SyncControlUnit状态镜像 该位用于镜像SyncControlUnit通道2状态的值。 0: 无同步通道2事件 1: 同步通道2事件待处理	RO	RO	0b
5	SyncControlUnit状态镜像 该位用于镜像SyncControlUnit通道1状态的值。 0: 无同步通道1事件 1: 同步通道1事件待处理	RO	RO	0b

位	说明	实时工业以太网类型	PDI类型	默认值
4	SyncControlUnit状态镜像 该位用于镜像SyncControlUnit通道0状态的值得。 0: 无同步通道0事件 1: 同步通道0事件待处理	RO	RO	0b
3	AL状态事件 0: AL状态无变化 1: AL状态变化 注: 该位的清零方式是通过实时工业以太网读取AL 状态寄存器。	RO	RO	0b
2	DL状态事件 0: DL状态无变化 1: DL状态变化 注: 该位的清零方式是通过实时工业以太网读取实时工业以太网从站控制器 DL状态寄存器。	RO	RO	0b
1	保留	RO	RO	0b
0	DC锁存事件 0: DC 锁存输入无变化 1: 至少有一个DC 锁存输入变化 注: 该位的清零方式是通过 实时工业以太网 读取 实时工业以太网控制的锁存单元的DC 锁存事件的时间, 以使LATCH0 状态寄存器/LATCH1状态寄存器指示无事件。	RO	RO	0b

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.34. AL事件请求寄存器

偏移量: 0220h-0223h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:12	保留	RO	RO	000h
11	SyncControlUnit 3中断 (SyncControlUnit寄存器偏移5h, bit 0或bit 1) 0: 无SyncControlUnit 3中断 1: SyncControlUnit 3中断待处理	RO	RO	0b
10	SyncControlUnit 2中断 (SyncControlUnit寄存器偏移5h, bit 0或bit 1) 0: 无SyncControlUnit 2中断 1: SyncControlUnit 2中断待处理	RO	RO	0b
9	SyncControlUnit 1中断 (SyncControlUnit寄存器偏移5h, bit 0或bit 1) 0: 无SyncControlUnit 1中断 1: SyncControlUnit 1中断	RO	RO	0b
8	SyncControlUnit 0中断 (SyncControlUnit寄存器偏移5h, bit 0或bit 1) 0: 无SyncControlUnit 0中断	RO	RO	0b

位	说明	实时工业以太网类型	PDI类型	默认值
	1: SyncControlUnit 0中断待处理			
7	保留	RO	RO	0b
6	看门狗过程数据 0: 未超时 1: 已超时 注: 该位的清零方式是读取看门狗状态过程数据寄存器。	RO	RO	0b
5	EEPROM仿真 0: 无命令待处理 1: EEPROM命令待处理 注: 该位的清零方式是通过PDI应答EEPROM控制/状态寄存器中的命令。	RO	RO	0b
4	SyncControlUnit x激活寄存器变化 (SyncControlUnit x激活寄存器) 0: 任何SyncControlUnit中均无变化 1: 至少一个SyncControlUnit发生变化 注: 该位的清零方式是通过PDI读取相应的SyncControlUnit x 激活寄存器。	RO	RO	0b
3	DC SYNC1 的状态 (如果SYNC/LATCH PDI配置寄存器的bit 7 = 1) 注: 该位的清零方式是读取SYNC1状态0x098F。	RO	RO	0b
2	DC SYNC0 的状态 (如果SYNC/LATCH PDI配置寄存器的bit 3 = 1) 注: 该位的清零方式是读取SYNC0状态0x098E。	RO	RO	0b
1	DC锁存事件 0: DC 锁存输入无变化 1: 至少有一个DC 锁存输入变化 注: 该位的清零方式是通过 PDI 读取 PDI 控制的锁存单元的 DC锁存事件的时间, 以使LATCH0状态寄存器/LATCH1 状态寄存器指示无事件。	RO	RO	0b
0	AL控制事件 0: AL控制寄存器无变化 1: 已写入AL控制寄存器 (只有PDI仿真关闭(实时工业以太网从站控制器配置寄存器的bit 8 = 0)时, 才会产生AL控制事件)。 注: 该位的清零方式是通过PDI读取AL控制寄存器。	RO	RO	0b

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.35. 接收错误计数器寄存器

偏移量: 0300h-0307h 大小: 16位
 端口0: 0300h-0301h
 端口1: 0302h-0303h
 端口2: 0304h-0305h
 端口3: 0306h-0307h

共有4个16位接收错误计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“x”表示端口0-3。

位	说明	实时工业以太网类型	PDI类型	默认值
15:8	端口x接收错误计数器 当达到FFh时，计数停止。这直接耦合到MII/EBUS接口的RX ERR。	R/WC	RO	00h
7:0	端口x无效帧计数器 当达到FFh时，计数停止。	R/WC	RO	

注：写入接收错误计数器寄存器中的任意一个都会清零该寄存器。

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

注：端口3未使用。

13.14.36. 转发的接收错误计数器寄存器

偏移量: 0308h-030Bh 大小: 8位
 端口0: 0308h
 端口1: 0309h
 端口2: 030ah
 端口3: 030bh

共有4个8位转发的接收错误计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“x”表示端口0-3。

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	端口x转发的接收错误计数器 当达到FFh时，计数停止。这直接耦合到MII/EBUS接口的RX ERR。	R/WC	RO	00h

注：写入接收错误计数器寄存器中的任意一个都会清零该寄存器。

注：端口3未使用。

13.14.37. 实时工业以太网 处理单元错误计数器寄存器

偏移量: 030Ch 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	实时工业以太网处理单元错误计数器 当达到FFh时，计数停止。该字段对传送到处理单元的帧错误（例如，FCS错误或数据报结构错误）进行计数。	R/WC	RO	00h

13.14.38. PDI错误计数器寄存器

偏移量: 030Dh 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	PDI错误计数器 当达到FFh时，计数停止。如果PDI访问具有接口错误，该字段将计数。	R/WC	RO	00h

13.14.39. PDI错误代码寄存器

偏移量: 030Eh 大小: 8位

该寄存器的位定义取决于所选的PDI模式（PDI控制寄存器中的过程数据接口字段）：
SPI模式或HBI模式。

注：当写入PDI错误计数器寄存器时，该寄存器将清零。

PDI 错误代码：SPI 模式

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	保留	RO	RO	00h

PDI 错误代码：HBI 模式

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	保留	RO	RO	00h

13.14.40. 丢失链路计数器寄存器

偏移量: 0310h-0313h 大小: 8位
 端口0: 0310h
 端口1: 0311h
 端口2: 0312h
 端口3: 0313h

共有4个8位丢失链路计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“x”表示端口0-3。

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	端口x丢失链路计数器 当达到FFh时，计数停止。仅当端口环路处于自动模式或自动关闭模式时，该计数器才会计数。 注：仅对开启端口上丢失的链路进行计数。	R/WC	RO	00h

注：写入丢失链路计数器寄存器中的任意一个都会清零该寄存器。

注：端口3未使用。

13.14.41. 看门狗分频器寄存器

偏移量: 0400h-0401h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	看门狗分频器 25 MHz 计时周期数（减2），表示基本看门狗递增次数。（默认值为100 μ s = 2498）	R/W	RO	09C2h

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.42. 看门狗时间PDI寄存器

偏移量: 0410h-0411h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	看门狗时间PDI 基本看门狗递增次数。 （100 μ s看门狗分频器默认值对应于100 ms看门狗。）	R/W	RO	03E8h

注：如果看门狗时间PDI设置为0000h，则将禁止看门狗。每次访问PDI时，都将重启看门狗。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.43. 看门狗时间过程数据寄存器

偏移量: 0420h-0421h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	看门狗时间过程数据 基本看门狗递增次数。 (100 μs看门狗分频器默认值对应于100 ms看门狗。)	R/W	RO	03E8h

注: 存在一个适用于所有 SyncControlUnit 的看门狗。如果看门狗时间 PDI 设置为 0000h, 则将禁止看门狗。每次通过看门狗触发信号使能位置1对SyncControlUnit执行写访问时, 将重启看门狗。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.44. 看门狗状态过程数据寄存器

偏移量: 0440h-0441h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:1	保留	RO	RO	0000h
0	看门狗过程数据的状态 (由SyncControlUnit触发) 0: 看门狗过程数据超时 1: 看门狗过程数据激活或禁止	RO	RO	0b

注: 读取该寄存器会将AL事件请求寄存器中的看门狗过程数据位清零。

注: PDI的看门狗状态可在实时工业以太网从站控制器 DL 状态寄存器的PDI看门狗状态位中读取。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.45. 看门狗计数器过程数据寄存器

偏移量: 0442h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	看门狗计数器过程数据 当达到FFh 时, 计数停止。计数以确定过程数据看门狗是否超 时。 如果写入其中一个看门狗计数器 (0442h-0443h), 则该字 段清 零。	R/WC	RO	00h

13.14.46. 看门狗计数器PDI寄存器

偏移量: 0443h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:0	看门狗PDI计数器 当达到FFh时，计数停止。计数以确定PDI看门狗是否超时。如果写入其中一个看门狗计数器（0442h-0443h），则该字段清零。	R/WC	RO	00h

13.14.47. EEPROM配置寄存器

偏移量: 0500h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	强制实时工业以太网访问 0: 不改变 1: 复位	R/W	RO	0b
0	PDI EEPROM控制 0: 无 1: 有（PDI具有EEPROM控制）	R/W	RO	0b

注：如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0，则实时工业以太网控制SII EEPROM接口。否则，PDI控制EEPROM接口。

13.14.48. EEPROM PDI 访问状态寄存器

偏移量: 0501h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	EEPROM访问 0: 不改变 1: 复位	RO	R/W 注19	0b

注19：仅当EEPROM配置寄存器的PDI EEPROM控制位为1且强制实时工业以太网访问位为0时，才可执行写访问。

注：如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0，则实时工业以太网控制SII EEPROM接口。否则，PDI控制EEPROM接口。

13.14.49. EEPROM控制/状态寄存器

偏移量: 0502h-0503h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15	繁忙 0: EEPROM接口空闲 1: EEPROM接口繁忙	RO	RO	0b
14	错误写使能 0: 无错误 1: 未进行写使能的写命令 (见注20)	RO	RO	0b
13	错误应答/命令 0: 无错误 1: 丢失EEPROM应答或无效命令 (见注20) 注: 仅EEPROM仿真: 如果发生临时故障, 则PDI写为1。	RO	R[W] 注21	0b
12	EEPROM装载状态 0: EEPROM已装载, 器件信息可用 1: EEPROM未装载, 器件信息不可用 (正在装载EEPROM或者EEPROM装载失败)	RO	RO	0b
11	实时工业以太网从站控制器配置区域中的校验和错误 0: 校验和正确 1: 校验和错误	RO	R[W] 注21	0b
10:8	命令寄存器 写: 启动命令 读: 当前执行的命令 000: 无命令/EEPROM空闲 (清零错误位) 001: 读 010: 写 100: 重载 其他: 保留/无效命令 (不发出) (见注22)	R/W	R[W] 注21	000b
7	选择的EEPROM算法 0: 1个地址字节 (1 Kb - 16 Kb EEPROM) 1: 2个地址字节 (32 Kb - 4 Mb EEPROM)	RO	RO	注23
6	支持的EEPROM字节数 0: 4字节 1: 8字节	RO	RO	0b
5	EEPROM仿真 0: 正常工作 (使用I2C接口) 1: PDI仿真EEPROM (未使用I2C) 注: 必须写为0。	RO	RO	0b

位	说明	实时工业以太网类型	PDI类型	默认值
4:1	保留	RO	RO	0b
0	实时工业以太网写使能 0: 禁止写请求 1: 使能写请求 (见注24)	R/W	RO	0b

注20: 通过向命令寄存器位写入“000”(或任何有效命令)来将错误位清零。

注21: EEPROM接口繁忙时(繁忙位=1), 可执行写访问。PDI通过向相应的命令寄存器位bit 10:8 写入1来应答待处理命令。可通过向错误位(bit 11和bit 13)写入1来指示错误。应答会将AL事件请求寄存器的bit 5清零。

注22: 执行命令后(EEPROM 繁忙结束), 命令寄存器位将自清零。向命令寄存器位写入“000”还会将错误位 bit 14:13 清零。如果错误应答/命令待处理, 则命令寄存器位将被忽略。

注23: 该位的默认值取决于`eeeprom_size_strap`。

注24: 实时工业以太网写使能位在下一个帧的SOF处自清零。

注: 如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0, 则实时工业以太网控制SII EEPROM接口。否则, PDI控制EEPROM接口。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.50. EEPROM地址寄存器

偏移量: 0504h-0507h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	EEPROM地址 Bit 0: 第一个字(16位) Bit 1: 第二个字 注: 实际使用的EEPROM地址位: [9:0]: EEPROM大小最大为16 Kb [17:0]: EEPROM大小为32 Kb - 4 Mb [31:0]: EEPROM仿真	R/W	R/W	00000000h

注: 写访问取决于EEPROM 接口(实时工业以太网/PDI)的分配。EEPROM接口繁忙时(EEPROM控制/状态寄存器的繁忙位=1), 通常会阻止写访问。

注: 如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0, 则实时工业以太网控制SII EEPROM接口。否则, PDI控制EEPROM接口。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.51. EEPROM数据寄存器

偏移量: 0508h-050Bh 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:16	EEPROM读数据 要从EEPROM读取的数据的高字节	RO	RO	0000h
15:0	EEPROM读/写数据 要从EEPROM读取的数据的低字节或者要写入EEPROM的数据	R/W	R/W	0000h

注：写访问取决于EEPROM 接口（实时工业以太网/PDI）的分配。EEPROM接口繁忙时（EEPROM控制/状态寄存器的繁忙位=1），通常会阻止写访问。

注：如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0，则实时工业以太网控制SII EEPROM接口。否则，PDI控制EEPROM接口。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.52. MII管理控制/状态寄存器

偏移量: 0510h-0511h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15	繁忙 0: MI控制状态机空闲 1: MI控制状态机工作	RO	RO	0b
14	命令错误 0: 最后一条命令成功 1: 无效命令或未进行写使能的写命令 注：通过无效命令或通过向命令寄存器写入“00”来清零。	RO	RO	0b
13	读错误 0: 无读错误 1: 出现读错误（PHY或寄存器不可用） 注：通过写入该寄存器清零。	R/W 注25	R/W 注25	0b
12:10	保留	RO	RO	0b
9:8	命令寄存器 写：启动命令 读：当前执行的命令 请参见注26。 命令： 00: 无命令/MI空闲（清零错误位） 01: 读 10: 写 11: 保留（不发出）	R/W 注25	R/W 注25	00b
7:3	PHY地址偏移量	RO	RO	00000b

位	说明	实时工业以太网类型	PDI类型	默认值
2	MI链路检测 (链路配置, 链路检测, 寄存器PHY端口状态寄存器) 0: 不可用 1: MI链路检测有效	RO	RO	0b 注27
1	管理接口控制 0: 仅实时工业以太网控制 1: 可进行MPDI控制 (MII管理实时工业以太网访问状态寄存器和MII管理 PDI访问状态寄存器)	RO	RO	1b
0	写使能 0: 禁止写操作 1: 使能写操作 注: 如果PDI具有MI控制, 该位始终为1。(见注28)	R/W 注25	RO	0b

注25: 写访问取决于MI接口 (实时工业以太网/PDI) 的分配。MII接口繁忙时 (MII管理控制/状态寄存器的繁忙位 = 1), 通常会阻止写访问。

注26: 执行命令后 (繁忙结束), 命令寄存器位 (bit 9:8) 将自清零。向命令寄存器位写入“00”还会将该寄存器的 错误位bit 14:13清零。执行命令后, 命令寄存器位 (bit 9:8) 将清零。

注27: 该字段的默认值可通过EEPROM配置。在通过EEPROM成功配置器件前, 该位为0且MI链路检测为禁止状态。仅当上电复位之后第一次装载EEPROM时, MI链路检测的EEPROM设置才生效。即使最初无法读取EEPROM, 更改及手动重载EEPROM也不会影响MI链路检测的使能状态。更多信息, 请参见EEPROM可配置寄存器。

注28: 写使能位bit 0在下一个帧的SOF处 (或PDI访问结束时) 自清零。

注: 对于超过一个字节的实时工业以太网内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.53. PHY地址寄存器

偏移量: 0512h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:5	保留 写为0。	RO	RO	000b
4:0	PHY地址	R/W 注29	R/W 注29	00000b

注29: 写访问取决于MI接口 (实时工业以太网/PDI) 的分配。MII接口繁忙时 (MII管理控制/状态寄存器的繁忙位 = 1), 通常会阻止写访问。

13.14.54. PHY寄存器地址寄存器

偏移量: 0513h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:5	保留 写为0。	RO	RO	000b

位	说明	实时工业以太网类型	PDI类型	默认值
4:0	要读取/写入的PHY寄存器的地址	R/W 注30	R/W 注30	00000b

注30：写访问取决于MI接口（实时工业以太网/PDI）的分配。MII接口繁忙时（MII管理控制/状态寄存器的繁忙位 = 1），通常会阻止写访问。

13.14.55. PHY数据寄存器

偏移量： 0514h-0515h 大小： 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	PHY读/写数据	R/W 注31	R/W 注31	0000h

注31：写访问取决于MI接口（实时工业以太网/PDI）的分配。MII接口繁忙时（MII管理控制/状态寄存器的繁忙位 = 1），通常会阻止写访问。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.56. MII管理实时以太网访问状态寄存器

偏移量： 0516h 大小： 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	MII管理访问（实时工业以太网） 0：实时工业以太网允许PDI接管MII管理控制 1：实时工业以太网声明对MII管理的独占访问	R/W 注32	RO	0b

注32：仅当MII管理PDI访问状态寄存器的MII管理访问（PDI）位为0时，才可执行写访问。

13.14.57. MII管理PDI访问状态寄存器

偏移量： 0517h 大小： 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	强制PDI访问状态 0：不更改MII管理访问（PDI）位 1：复位MII管理访问（PDI）位	R/W	RO	0b

位	说明	实时工业以太网类型	PDI类型	默认值
0	MII管理访问（PDI） 0: 实时工业以太网可以进行MII管理访问 1: PDI可以进行MII管理访问	RO	R/W 注33	0b

注33: 仅当该寄存器的强制 PDI 访问状态位为0 且MII 管理 实时工业以太网 访问状态寄存器的MII 管理访问（实时工业以太网）位也为0 时，才可对该寄存器的MII管理访问（PDI）位执行写访问。

13.14.58. PHY端口状态寄存器

偏移量: 0518h-051Bh 大小: 8位
 端口0: 0518h
 端口1: 0519h
 端口2: 051ah
 端口3: 051Bh

共有4个8位PHY端口状态寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“x”表示端口0-3。

位	说明	实时工业以太网类型	PDI类型	默认值
7:6	保留 写为0。	RO	RO	00b
5	端口x丢失链路计数器 0: 无更新 1: 更新了PHY配置 注: 通过向至少一个PHY端口状态寄存器写入任意值来清零。	R/WC 注34	R/WC 注34	0b
4	端口x链路伙伴错误 0: 未检测到错误 1: 链路伙伴错误	RO	RO	0b
3	端口x读错误 0: 未检测到读错误 1: 发生了读错误 注: 通过向至少一个PHY端口状态寄存器写入任意值来清零。	R/WC 注34	R/WC 注34	0b
2	端口x链路状态错误 0: 无错误 1: 链路错误，链路被禁止	RO	RO	0b
1	端口x链路状态 (100 Mbps, 全双工, 自动协商) 0: 无链路 1: 检测到链路	RO	RO	0b

位	说明	实时工业以太网类型	PDI类型	默认值
0	端口x物理链路 (PHY状态寄存器1.2) 0: 无物理链路 1: 检测到物理链路	RO	RO	0b

注34: 写访问取决于MI接口(实时工业以太网/PDI)的分配。
注: 端口3未使用。

13.14.59. FMMU寄存器

该器件包含8个FMMU。从0600h开始, 每个FMMU用16个字节描述。下表详细给出了每个FMMU的基址。后续FMMU 寄存器将以相对于这些不同基址的偏移量的形式进行引用。以下位说明中使用变量“x”表示FMMU 0至FMMU 7。

表13-16: FMMU x基址

FMMU	基址
0	0600h
1	0610h
2	0620h
3	0630h
4	0640h
5	0650h
6	0660h
7	0670h

13.14.59.1. FMMUx逻辑起始地址寄存器

偏移量: FMMUx 基址+0h-3h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	逻辑起始地址 实时工业以太网® 地址空间内的逻辑起始地址。	R/W	RO	00000000h

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.59.2. FMMUx长度寄存器

偏移量: FMMUx 基址+4h-5h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	长度 最后一个FMMU 字节相对于第一个逻辑FMMU 字节的偏移量+1 (例如, 如果使用两个字节, 则该参数将包含2)。	R/W	RO	0000h

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.59.3. FMMU_x逻辑起始位寄存器偏移量: FMMU_x 基址+6h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2:0	逻辑起始位 将进行映射的逻辑起始位（位的计数范围为最低有效位（0）到最高有效位（7））。	R/W	RO	000b

13.14.59.4. FMMU_x逻辑停止位寄存器偏移量: FMMU_x 基址+7h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2:0	逻辑停止位 将进行映射的最后一个逻辑位（位的计数范围为最低有效位（0）到最高有效位（7））。	R/W	RO	000b

13.14.59.5. FMMU_x物理起始地址寄存器偏移量: FMMU_x 基址+8h-9h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	物理起始地址 （映射到逻辑起始地址）	R/W	RO	0000h

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.59.6. FMMU_x物理起始位寄存器偏移量: FMMU_x 基址+Ah 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2:0	物理起始位 作为逻辑起始位映射目标的物理起始位（位的计数范围为最低有效位（0）到最高有效位（7））。	R/W	RO	000b

13.14.59.7. FMMU_x类型寄存器

偏移量: FMMU_x 基址+Bh 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	写访问映射 0: 忽略写访问映射 1: 使用写访问映射	R/W	RO	0b
0	读访问映射 0: 忽略读访问映射 1: 使用读访问映射	R/W	RO	0b

13.14.59.8. FMMU_x激活寄存器

偏移量: FMMU_x 基址+Ch 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	FMMU激活 0: 禁止FMMU _x 1: 激活FMMU _x 。FMMU _x 根据配置的映射来校验要进行映射的逻辑寻址块。	R/W	RO	0b

13.14.59.9. FMMU_x保留寄存器

偏移量: FMMU_x 基址+Dh-Fh 大小: 24位

位	说明	实时工业以太网类型	PDI类型	默认值
23:0	保留 写为0。	RO	RO	000000h

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.60. SYNCCONTROLUNIT寄存器

该器件包含8个SyncControlUnit。从0800h开始，每个SyncControlUnit用8个字节描述。下表详细给出了每个SyncControlUnit的基址。后续SyncControlUnit寄存器将以相对于这些不同基址的偏移量的形式进行引用。以下说明中使用变量“x”表示 SyncControlUnit 0至 SyncControlUnit 7。

表13-17: SYNCCONTROLUNIT X基址

SyncControlUnit	基址
0	0800h
1	0808h
2	0810h
3	0818h
4	0820h
5	0828h
6	0830h
7	0838h

13.14.60.1. SyncControlUnit x物理起始地址寄存器

偏移量: SyncControlUnit x 基址+0h-1h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	物理起始地址 指定将通过SyncControlUnit x 处理的第一个字节。	R/W 注35	RO	0000h

注35: 只有通过SyncControlUnit x激活寄存器的SyncControlUnit使能/禁止位禁止相应的SyncControlUnit时，才能写入该寄存器。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.60.2. SyncControlUnit x 长度寄存器

偏移量: SyncControlUnit x 基址+2h-3h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	长度 分配给SyncControlUnit x 的字节数。（该字段应大于1，否则不会激活SyncControlUnit。如果设置为1，则仅产生看门狗触发信号（如已配置）。）	R/W 注36	RO	0000h

注36: 只有通过SyncControlUnit x激活寄存器的SyncControlUnit使能/禁止位禁止SyncControlUnit x时，才能写入该寄存器。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.60.3. SyncControlUnit x控制寄存器

偏移量: SyncControlUnit x 基址+4h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7	保留 写为0。	RO	RO	0b
6	看门狗触发信号使能 0: 禁止 1: 使能	R/W 注37	RO	0b
5	PDI事件请求寄存器中的中断 0: 禁止 1: 允许	R/W 注37	RO	0b
4	实时工业以太网事件请求寄存器中的中断 0: 禁止 1: 允许	R/W 注37	RO	0b
3:2	方向 00: 读: 实时工业以太网读访问, PDI写访问 01: 写: 实时工业以太网写访问, PDI读访问 10: 保留 11: 保留	R/W 注37	RO	00b
1:0	工作模式 00: 缓冲 (三缓冲区模式) 01: 保留 10: 邮箱 (单缓冲区模式) 11: 保留	R/W 注37	RO	00b

注37: 只有通过SyncControlUnit x激活寄存器的SyncControlUnit使能/禁止位禁止SyncControlUnit x时, 才能写入该寄存器。

13.14.60.4. SyncControlUnit x状态寄存器

偏移量: SyncControlUnit x 基址+5h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7	正在使用的写缓冲区 (已开启)	RO	RO	0b
6	正在使用的读缓冲区 (已开启)	RO	RO	0b
5:4	缓冲区状态 (最后写入的缓冲区) 缓冲模式: 00: 第1个缓冲区 01: 第2个缓冲区 10: 第3个缓冲区 11: 未写入缓冲区 邮箱模式: 保留	RO	RO	11b

位	说明	实时工业以太网类型	PDI类型	默认值
3	邮箱状态 邮箱模式： 0：邮箱为空 1：邮箱已满 缓冲模式：保留	RO	RO	0b
2	保留 写为0。	RO	RO	0b
1	读中断 0：在写入缓冲区的第一个字节后清除中断 1：在完全成功读取缓冲区后产生中断	RO	RO	0b
0	写中断 0：在读取缓冲区的第一个字节后清除中断 1：在完全成功写入缓冲区后产生中断	RO	RO	0b

13.14.60.5. SyncControlUnit x激活寄存器

偏移量： SyncControlUnit x 基址+6h 大小： 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7	锁存事件PDI 0：无 1：如果PDI发起缓冲区交换或者PDI访问缓冲区起始地址，则会产生锁存事件。	R/W	RO	0b
6	锁存事件实时工业以太网 0：无 1：如果实时工业以太网®主器件发起缓冲区交换，则会产生锁存事件。	R/W	RO	0b
5:2	保留 写为0。	RO	RO	0000b
1	重复请求 重复请求翻转表示需要邮箱重试（主要与实时工业以太网读邮箱配合使用）	R/W	RO	0b
0	SyncControlUnit使能/禁止 0：禁止：在没有SyncControlUnit控制的情况下访问存储器 1：使能： SyncControlUnit工作并控制配置中设置的存储区。	R/W	RO	0b

注：在已更改激活状态的所有SyncControlUnit中通过PDI读取该寄存器会将AL事件请求寄存器中的“SyncControlUnit x 激活寄存器变化”位清零。

13.14.60.6. SyncControlUnit x PDI 控制寄存器

偏移量: SyncControlUnit x 基址+7h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	重复应答 如果将该位设置为与重复请求相同的值, 则PDI将对上一次设置的重复请求的执行做出应答。	RO	R/W	0b
0	禁止SyncControlUnit x 读: 0: 正常工作, 激活SyncControlUnit x 1: 禁止SyncControlUnit x 并复位SyncControlUnit x 对存储区的访问 锁定 写: 0: 激活SyncControlUnit 1: 禁止请求SyncControlUnit	RO	R/W	0b

13.14.61. 接收时间端口0寄存器

偏移量: 0900h-0903h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	写: 通过BWR、APWR (任何地址) 或FPWR (配置地址) 对寄存器0900h 执行写访问将锁存每个端口上的接收帧开始时 (前导码的第一位开始时) 的本地时间。 读: 包含对该寄存器的写访问的最后一个接收帧开始时的本地时间。 注: 无法在写入该寄存器的同一个帧中读取时间戳。	R/W	RO	未定义

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.62. 接收时间端口1寄存器

偏移量: 0904h-0907h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	包含用于接收时间端口0寄存器的BWR/APWR或FPWR的端口1上接收的帧开始时 (前导码的第一位开始时) 的本地时间。	RO	RO	未定义

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.63. 接收时间端口2寄存器

偏移量: 0908h-090Bh 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	包含用于接收时间端口0寄存器的BWR/APWR或FPWR的端口2上接收的帧开始时（前导码的第一位开始时）的本地时间。	RO	RO	未定义

注：对于超过一个字节的实时以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.64. 系统时间寄存器

偏移量: 0910h-0917h 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	实时工业以太网 读访问： 帧通过参考时钟（即，包含系统时间延时）时系统时间的本地副本。在帧起始时（以太网SOF分隔符）锁存的时间。 PDI 读访问： 系统时间的本地副本。读取第一个字节（0910h）时锁存的时间。	RO	RO	00000000h0000000h
31:0	写访问： 写入的值将与系统时间的本地副本进行比较。结果为时间控制环的输入。 注：如果至少写入了第一个字节（0910h），则写入的值将在帧结束时与锁存的（SOF）系统时间本地副本进行比较。	W 注38	RO	00000000h

注38：当通过实时工业以太网执行写操作时，将触发控制环以处理新值。

注：对于超过一个字节的实时以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.65. 接收时间实时工业以太网处理单元寄存器

偏移量: 0918h-091Fh 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	包含对接收时间端口0 寄存器（0900h）的写访问的实时工业以太网 处理单元上接收的帧起始时（前导码的第一位开始时）的本地时间。 注：如果端口0开启，该寄存器将以64位值反映接收时间端口0寄存器。	RO	RO	00000000h 00000000h

注：对于超过一个字节的实时以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.66. 系统时间偏移寄存器

偏移量: 0920h-0927h 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	本地时间与系统时间的时间差。偏移添加到本地时间。包含对接收时间端口0寄存器（0900h）的写访问的实时工业以太网处理单元上接收的帧起始时（前导码的第一位开始时）的本地时间。 注：如果端口0开启，该寄存器将以64位值反映接收时间端口0寄存器。	R/W	RO	00000000h 00000000h

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.67. 系统时间延时寄存器

偏移量: 0928h-092Bh 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	参考时钟和实时工业以太网从站控制器之间的延时	R/W	RO	00000000h

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.68. 系统时间差值寄存器

偏移量: 092Ch-092Fh 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31	0: 系统时间本地副本大于或等于所接收系统时间 1: 系统时间本地副本小于所接收系统时间	RO	RO	0b
30:0	系统时间本地副本与所接收系统时间值的平均差值。	RO	RO	00000000h

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.69. 速度计数器起始值寄存器

偏移量: 0930h-0931h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15	保留 写为0。	RO	RO	0b
14:0	用于调节系统时间本地副本的带宽（较大值 -> 较小带宽和较平滑的调节）。写访问将复位系统时间差值寄存器和速度计数器差值寄存器。 有效范围: 0080h-3FFFh。	R/W	RO	1000h

注：对于超过一个字节的实时工业以太网内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.70. 速度计数器差值寄存器

偏移量: 0932h-0933h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	本地时钟周期与参考时钟的时钟周期之间偏差表示法（表示法：二进制补码）。 有效范围：+/-（速度计数器起始值寄存器-7Fh）。	RO	RO	0000h

注：系统时间差值稳定到低值后的时钟偏差可按如下公式计算：

$$\text{偏差} = \text{速度计数器差值} / 5(\text{速度计数器起始值} + \text{速度计数器差值} + 2)(\text{速度计数器起始值} - \text{速度计数器差值} + 2)$$

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.71. 系统时间差值滤波器深度寄存器

偏移量: 0934h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:4	保留	RO	RO	0h
3:0	用于对所接收系统时间的偏差求平均值的滤波器深度。注：写访问将复位系统时间差值寄存器。	R/W	RO	4h

13.14.72. 速度计数器滤波器深度寄存器

偏移量: 0935h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:4	保留	RO	RO	0h
3:0	用于对时钟周期偏差求平均值的滤波器深度。 注：写访问将复位内部速度计数器滤波器。	R/W	RO	Ch

13.14.73. 循环单元控制寄存器

偏移量: 0980h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:6	保留 写为0。	RO	RO	00b

位	说明	实时工业以太网类型	PDI类型	默认值
5	锁存输入单元1 0: 实时以太网控制 1: PDI控制 注: 锁存中断传递到实时以太网/PDI, 具体取决于该设置。	R/W	RO	0b
4	锁存输入单元0 0: 实时以太网控制 1: PDI控制 注: 始终为 1 (PDI 控制) 表示系统时钟由 PDI 控制。锁存中断传递到实时以太网/PDI, 具体取决于该设置。	R/W	RO	0b
3:1	保留 写为0。	RO	RO	000b
0	同步输出单元控制 0: 实时以太网控制 1: PDI控制	R/W	RO	0b

13.14.74. 激活寄存器

偏移量: 0981h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7	同步信号调试脉冲 (Vasili位) 0: 禁止 1: 根据该寄存器的bit 2和bit 1, 立即在SYNC0和SYNC1上产生单个调试ping。	R/W	R/W	0b
6	近期范围配置 (近似值) 0: 1/2 DC宽度 (231 ns或263 ns) 1: 2.1s (231 ns)	R/W	R/W	0b
5	起始时间似真校验 0: 禁止。如果到达起始时间, 则产生同步信号。 1: 如果起始时间超出近期范围配置 (近似值), 则立即产生同步信号。	R/W	R/W	0b
4	起始时间循环操作扩展 (起始时间循环操作寄存器) 0: 无扩展 1: 将写入的32位起始时间扩展为64位	R/W	R/W	0b
3	自动激活 (通过写入起始时间循环操作寄存器) 0: 禁止 1: 使能自动激活。同步输出单元激活在写入起始时间后自动置1。	R/W	R/W	0b

位	说明	实时工业以太网类型	PDI类型	默认值
2	SYNC1产生 0: 禁止 1: 产生SYNC1 脉冲	R/W	R/W	0b
1	SYNC0产生 0: 禁止 1: 产生SYNC0 脉冲	R/W	R/W	0b
0	同步输出单元激活 0: 禁止 1: 激活 注：在写入起始时间后写1。	R/W	R/W	0b

注：根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。

13.14.75. 同步信号寄存器的脉冲长度

偏移量： 0982h-0983h 大小： 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	同步信号的脉冲长度 (单位为10 ns) 值0用于应答模式：同步信号的清零方式是读取SYNC0 状态寄存器/SYNC1状态寄存器。	RO	RO	0000h 注39

注39：该字段的默认值可通过EEPROM配置。更多信息，请参见EEPROM可配置寄存器。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.76. 激活状态寄存器

偏移量： 0984h 大小： 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:3	保留	RO	RO	00000b
2	激活同步输出单元时的起始时间循环操作（起始时间循环操作寄存器）似真校验结果。 0: 起始时间在近期范围内 1: 起始时间超出近期范围	RO	RO	0b
1	SYNC1激活状态 0: 第一个SYNC1 脉冲未处于待处理状态 1: 第一个SYNC1 脉冲处于待处理状态	RO	RO	0b
0	SYNC0激活状态 0: 第一个SYNC0 脉冲未处于待处理状态 1: 第一个SYNC0 脉冲处于待处理状态	RO	RO	0b

13.14.77. SYNC0状态寄存器

偏移量: 098Eh 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留	RO	RO	0000000b
0	应答模式下的SYNC0状态 在应答模式下，SYNC0的清零方式是通过PDI读取该寄存器。仅在应答模式下使用。	RO	RO	0b

13.14.78. SYNC1状态寄存器

偏移量: 098Fh 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:1	保留	RO	RO	0000000b
0	应答模式下的SYNC1状态 在应答模式下，SYNC1的清零方式是通过PDI读取该寄存器。仅在应答模式下使用。	RO	RO	0b

13.14.79. 起始时间循环操作寄存器

偏移量: 0990h-0997h 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	写: 循环操作的起始时间（系统时间）（单位为ns）。 读: 下一个SYNC0脉冲的系统时间（单位为ns）。	R/W	R/W	00000000h 00000000h

注：根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。仅当同步输出单元控制为0时才写入。

注：当激活寄存器的自动激活位为1时：如果一个帧中仅写入低32位，则将自动扩展高32位。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.80. 下一个SYNC1脉冲寄存器

偏移量: 0998h-099Fh 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	下一个SYNC1脉冲的系统时间（单位为ns）。	RO	RO	00000000h 00000000h

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.81. SYNC0周期时间寄存器

偏移量: 09A0h-09A3h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	相邻两个连续SYNC0脉冲的时间间隔（单位为ns）。值0表示单脉冲模式——仅产生一个SYNC0脉冲。	R/W	R/W	00000000h

注：根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.82. SYNC1周期时间寄存器

偏移量: 09A4h-09A7h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	SYNC1脉冲与SYNC0 脉冲的时间间隔（单位为ns）。	R/W	R/W	00000000h

注：根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.83. LATCH0控制寄存器

偏移量: 09A8h 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	LATCH0 下降沿 0: 连续锁存有效 1: 单个事件（仅第一个事件有效）	R/W	R/W	0b

位	说明	实时工业以太网类型	PDI类型	默认值
0	LATCH0 上升沿 0: 连续锁存有效 1: 单个事件（仅第一个事件有效）	R/W	R/W	0b

注：根据循环单元控制寄存器的锁存输入单元0位写入该寄存器。

13.14.84. LATCH1控制寄存器

偏移量： 09A9h 大小： 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	LATCH1 下降沿 0: 连续锁存有效 1: 单个事件（仅第一个事件有效）	R/W	R/W	0b
0	LATCH1 上升沿 0: 连续锁存有效 1: 单个事件（仅第一个事件有效）	R/W	R/W	0b

注：根据循环单元控制寄存器的锁存输入单元1位写入该寄存器。

13.14.85. LATCH0状态寄存器

偏移量： 09AEh 大小： 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2	LATCH0 引脚状态	RO	RO	0b
1	事件LATCH0 下降沿 0: 未检测到下降沿或连续模式。 1: 仅在单个事件模式下检测到下降沿。 注：通过读取LATCH0时间下降沿寄存器将标志清零。	RO	RO	0b
0	事件LATCH0 上升沿 0: 未检测到上升沿或连续模式。 1: 仅在单个事件模式下检测到上升沿。 注：通过读取LATCH0时间上升沿寄存器将标志清零。	RO	RO	0b

13.14.86. LATCH1状态寄存器

偏移量: 09AFh 大小: 8位

位	说明	实时工业以太网类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2	LATCH1 引脚状态	RO	RO	0b
1	事件LATCH1 下降沿 0: 未检测到下降沿或连续模式。 1: 仅在单个事件模式下检测到下降沿。 注: 通过读取LATCH1时间下降沿寄存器将标志清零。	RO	RO	0b
0	事件LATCH1 上升沿 0: 未检测到上升沿或连续模式。 1: 仅在单个事件模式下检测到上升沿。 注: 通过读取LATCH1时间上升沿寄存器将标志清零。	RO	RO	0b

13.14.87. LATCH0时间上升沿寄存器

偏移量: 09B0h-09B7h 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	该寄存器在LATCH0信号的上升沿捕捉系统时间。 注: 读取该寄存器会将LATCH0 状态寄存器的事件LATCH0 上升沿位清零	RO	RO	00000000h 0D273E59h

注: 当读取 bit [7:0] 时, 寄存器的 bit [63:8] 在内部锁存 (实时工业以太网/PDI 独立), 从而保证读取值的一致性。根据循环单元控制寄存器的锁存输入单元0位的设置将LATCH0 状态寄存器的事件 LATCH0上升沿位清零。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.88. LATCH0时间下降沿寄存器

偏移量: 09B8h-09BFh 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	该寄存器在LATCH0信号的下降沿捕捉系统时间。 注: 读取该寄存器会将LATCH0 状态寄存器的事件LATCH0 下降沿位清零	RO	RO	00000000h 0d281953h

注: 当读取 bit [7:0] 时, 寄存器的 bit [63:8] 在内部锁存 (实时工业以太网/PDI 独立), 从而保证读取值的一致性。根据循环单元控制寄存器的锁存输入单元0位的设置将LATCH0 状态寄存器的事件 LATCH0下降沿位清零。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.89. LATCH1时间上升沿寄存器

偏移量: 09C0h-09C7h 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	该寄存器在LATCH1信号的上升沿捕捉系统时间。 注: 读取该寄存器会将LATCH1 状态寄存器的事件LATCH1 上升沿位清零	RO	RO	00000000h 0e9559e0h

注: 当读取bit [7:0] 时, 寄存器的bit [63:8] 在内部锁存 (实时工业以太网/PDI 独立), 从而保证读取值的一致性。根据

循环单元控制寄存器的锁存输入单元1位的设置将LATCH1 状态寄存器的事件LATCH1上升沿位清零。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.90. LATCH1时间下降沿寄存器

偏移量: 09C8h-09CFh 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	该寄存器在LATCH1信号的下降沿捕捉系统时间。 注: 读取该寄存器会将LATCH1 状态寄存器的事件LATCH1 下降沿位清零	RO	RO	00000000h 0e95bb1ah

注: 当读取bit [7:0]时, 寄存器的bit [63:8]在内部锁存 (实时工业以太网/PDI独立), 从而保证读取值的一致性。根据循环单元控制寄存器的锁存输入单元1位的设置将LATCH1 状态寄存器的事件

LATCH1下降沿位清零。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.91. 实时工业以太网缓冲区变化事件时间寄存器

偏移量: 09F0h-09F3h 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	该寄存器捕捉导致至少一个SyncControlUnit触发实时工业以太网事件的帧起始时的本地时间。	RO	RO	00000000h

注: 当读取bit [7:0]时, 寄存器的bit [31:8] 在内部锁存 (实时工业以太网/PDI独立), 从而保证读取值的一致性。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.92. PDI缓冲区起始时间事件寄存器

偏移量: 09F8h-09FBh 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	该寄存器捕捉至少一个SyncControlUnit 触发PDI 缓冲区起始事件时的本地时间。	RO	RO	0b2f2e3eh

注：当读取bit [7:0]时，寄存器的bit [31:8] 在内部锁存（实时以太网/PDI独立），从而保证读取值的一致性。

注：对于超过一个字节的实时以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.93. PDI缓冲区变化事件时间寄存器

偏移量: 09FCh-09FFh 大小: 32位

位	说明	实时工业以太网类型	PDI类型	默认值
31:0	该寄存器捕捉至少一个SyncControlUnit 触发PDI缓冲区变化事件时的本地时间。	RO	RO	00000000h

注：当读取bit [7:0]时，寄存器的bit [31:8] 在内部锁存（实时以太网/PDI独立），从而保证读取值的一致性。

注：对于超过一个字节的实时以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.94. 产品ID寄存器

偏移量: 0E00h-0E07h 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:0	产品ID	RO	RO	0000h 00ssh 9252h rrrh 注40

注40：“ss”的值为0, 0, link_pol_strap_mii, tx_shift_strap[1:0], eeprom_size_strap, chip_mode_strap[1:0]。

“rrrr”的值为最新硅片版本。

注：对于超过一个字节的实时以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.95. 供应商ID寄存器

偏移量: 0E08h-0E0Fh 大小: 64位

位	说明	实时工业以太网类型	PDI类型	默认值
63:32	保留	RO	RO	00000000h
31:0	供应商ID	RO	RO	00000e44h

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.96. 数字I/O输出数据寄存器

偏移量: 0F00h-0F01h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	输出数据	R/W	RO	0000h

注: 该寄存器可按位写入(使用逻辑寻址)。

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.97. 通用输出寄存器

偏移量: 0F10h-0F11h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	通用输出数据	R/W	R/W	0000h

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.98. 通用输入寄存器

偏移量: 0F18h-0F19h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	通用输入数据	RO	RO	0000h

注: 对于超过一个字节的实时工业以太网内核CSR 寄存器, LSB具有最低地址, MSB具有最高地址。

13.14.99. 用户RAM

偏移量: 0F80h-0FFFh 大小: 128字节

位	说明	实时工业以太网类型	PDI类型	默认值
-	用户RAM (128 字节)	R/W	R/W	未定义

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.100. 数字I/O输入数据寄存器

偏移量: 1000h-1001h 大小: 16位

位	说明	实时工业以太网类型	PDI类型	默认值
15:0	输入数据	R/W	R/W	未定义

注：该寄存器是过程RAM地址空间的一部分。过程RAM还可通过实时工业以太网过程RAM读数据FIFO (PRAM_RD_DATA) 和实时工业以太网过程RAM写数据FIFO (PRAM_WR_DATA) 直接寻址。

注：仅当EEPROM正确装载时（实时工业以太网从站控制器 DL状态寄存器的PDI工作/EEPROM正确装载位 = 1），才可访问过程数据 RAM。

注：如果配置为数字I/O PDI（输入），则数字I/O输入数据会写入过程数据RAM的这些地址。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

13.14.101. 过程数据RAM

偏移量: 1000h-1FFFh 大小: 4 KB

位	说明	实时工业以太网类型	默认值
-	过程数据RAM (4 KB)	R/W	未定义

注：仅当EEPROM正确装载时（实时工业以太网从站控制器 DL状态寄存器的PDI工作/EEPROM正确装载位 = 1），才可访问过程数据RAM。

注：对于超过一个字节的实时工业以太网内核CSR 寄存器，LSB具有最低地址，MSB具有最高地址。

14. EEPROM接口

器件包含I2C主控制器，该主控制器使用EESCL和EESDA引脚。EESCL和EESDA需要外部上拉电阻。支持通过1字节和2字节寻址的EEPROM。具体大小由eeprom_size_strap确定。

14.1. I2C接口时序要求

本节规定I2C主接口的输入和输出时序。I2C主接口在快速模式下以148.8 kHz的速率运行。

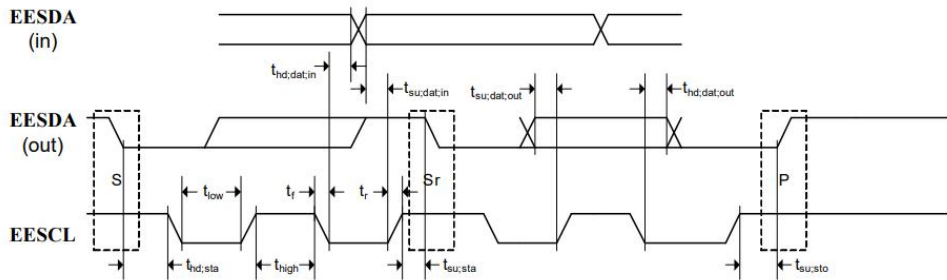


图 14-1 I2C主器件时序图

表 14-1 I2C主器件时序值

符号	说明	最小值	典型值	最大值	单位
fsc1	EESCL时钟频率	-	148.8	-	kHz
t _{high}	EESCL高电平时间	3.0	-	-	s
t _{low}	EESCL低电平时间	3.0	-	-	s
t _r	EESDA和EESCL的上升时间		-	300	ns
t _f	EESDA和EESCL的下降时间		-	300	ns
t _{su;sta}	重复启动条件下EESDA输出下降前EESCL高电平的建立时间（提供给从器件）	1000 注41	-	-	ns
t _{hd;sta}	启动或重复启动条件下EESDA输出下降后EESCL的保持时间（提供给从器件）	1000 注41	-	-	ns
t _{su;dat,in}	EESCL上升前EESDA输入的建立时间（来自从器件）	200 注42	-	-	ns
t _{hd;dat,in}	EESCL下降后EESDA输入的保持时间（来自从器件）	0	-	-	ns
t _{su;dat,out}	EESCL上升前EESDA输出的建立时间（提供给从器件）	400 注42	-	-	ns
t _{hd;dat,out}	EESCL下降后EESDA输出的保持时间（提供给从器件）	400 注42	-	-	ns
t _{su;sto}	停止条件下EESDA输出上升前EESCL高电平的建立时间（提供给从器件）	1000 注41	-	-	ns

注41：与I2C快速模式规范相比，这些值提供400 ns的裕量。

注42：与I2C快速模式规范相比，这些值提供大约2100 ns的裕量。

注43：与I2C快速模式规范相比，这些值提供300 ns的建立裕量和400 ns的保持裕量

15. 芯片模式配置

芯片模式通过chip_mode_strap[1:0]（CHIP_MODE1/CHIP_MODE0）硬件配置脚控制，具体如下：

表15-1：芯片模式选择

CHIP_MODE[1:0]	模式
00	双端口模式。端口0 = PHY A，端口1 = PHY B
01	保留
10	三端口下行模式。端口0 = PHY A，端口1 = PHY B，端口2 = MII
11	三端口上行模式。端口0 = MII，端口1 = PHY B，端口2 = PHY A

选择芯片模式后，便会通过PDI控制寄存器（0x0140）选择使用的过程数据接口（PDI）。有效选择如下：

表15-2：PDI模式选择

PDI_SELECT	PDI模式
0x04	DIG I/O
0x80	SPI
0x88	HBI 复用1 阶段 8 位
0x89	HBI 复用1 阶段 16 位
0x8A	HBI 复用2 阶段 8 位
0x8B	HBI 复用2 阶段 16 位
0x8C	HBI 变址 8 位
0x8D	HBI 变址16位
其他	保留

注：通过chip_mode_strap[1:0]硬件配置脚选择的芯片模式不受PDI选择的影响。

注：由于引脚共用，当器件处于三端口模式时，惟一可用的接口是SPI。

15.1. HBI子配置

PDI配置寄存器（0x0150）用于实时工业以太网内核EEPROM可配置寄存器所示的HBI配置脚，请参见实时工业以太网内核EEPROM可配置寄存器。

PDI配置寄存器（0x0150）根据EEPROM的内容进行初始化。

16. 通用定时器和自由运行时钟

本章详细介绍了通用定时器（General Purpose Timer，GPT）和自由运行时钟。

16.1. 通用定时器

该器件提供了一个16位可编程通用定时器，可用于产生周期性系统中断。该定时器的分辨率为100 μ s。

当通用定时器配置寄存器（GPT_CFG）的通用定时器使能（TIMER_EN）位置为有效（1）时，GPT 会将通用定时器配置寄存器（GPT_CFG）的通用定时器预载（GPT_LOAD）字段中的值装载到通用定时器计数寄存器（GPT_CNT）中。在芯片级复位时或者当通用定时器使能（TIMER_EN）位从有效状态（1）切换为无效状态（0）时，通用定时器预载（GPT_LOAD）字段将初始化为FFFFh。复位时，通用定时器计数寄存器（GPT_CNT）也将初始化为FFFFh。

使能后，GPT 将递减计数至0000h。到达0000h时，计数器将回绕到FFFFh、将中断状态寄存器（INT_STS）中的GP 定时器（GPT_INT）中断状态位置为有效并将IRQ中断置为有效（如果中断允许寄存器（INT_EN）中GP定时器中断允许（GPT_INT_EN）位置1），然后继续计数。GP 定时器（GPT_INT）中断状态位是粘住位。该位置为有效后，只能通过写1将其清零。有关GPT中断的更多信息，请参见通用定时器中断。

软件可随时向通用定时器预载（GPT_LOAD）字段写入预载值（例如，通用定时器使能（TIMER_EN）位置为有效之前或之后）。通用定时器计数寄存器（GPT_CNT）将立即设置为新值并从该值继续递减计数（如果使能）。

16.2. 自由运行时钟

自由运行时钟（Free-Running Clock，FRC）是一个以25 MHz固定时钟工作的简单32位递增计数器。当前FRC值可通过自由运行25 MHz计数器寄存器（FREE_RUN）读取。芯片级复位置为有效时，该计数器将清零。复位置为无效时，计数器将每隔一个25 MHz时钟周期递增1次。当到达最大计数时，计数器将计满返回至0。FRC 不会产生中断。

注：复位事件后，自由运行计数器会花费160 ns清零。

16.3. 通用定时器和自由运行时钟寄存器

本节详细介绍了与可直接寻址的通用定时器和自由运行时钟相关的系统CSR。有关整个可直接寻址寄存器映射的概述，请参见寄存器映射。

表16-1：其他寄存器

地址	寄存器名称（符号）
08Ch	通用定时器配置寄存器（GPT_CFG）
090h	通用定时器计数寄存器（GPT_CNT）
09Ch	自由运行25 MHz计数器寄存器（FREE_RUN）

16.3.1. 通用定时器配置寄存器 (GPT_CFG)

偏移量: 08Ch 大小: 32位

该读/写寄存器用于配置器件的通用定时器 (GPT)。GPT可配置为以该寄存器中定义的时间间隔产生主机中断。GPT的当前值可通过通用定时器计数寄存器 (GPT_CNT) 监视。更多信息, 请参见通用定时器。

位	说明	类型	默认值
31:30	保留	RO	-
29	通用定时器使能 (TIMER_EN) 该位用于使能GPT。置1时, GPT将进入运行状态。清零时, GPT将暂停。当该位从1跳变为0时, 该寄存器的GPT_LOAD字段将预设为FFFFh。 0: 禁止GPT 1: 使能GPT	R/W	0b
28:16	保留	RO	-
15:0	通用定时器预载 (GPT_LOAD) 该值预载到GPT中。这是GPT的起始值。使能时, 定时器将从该值开始递减。	R/W	FFFFh

16.3.2. 通用定时器计数寄存器 (GPT_CNT)

偏移量: 090h 大小: 32位

该只读寄存器反映通用定时器 (GPT) 的当前值。该寄存器应与通用定时器配置寄存器 (GPT_CFG) 配合使用, 以配置和监视GPT。更多信息, 请参见通用定时器。

位	说明	类型	默认值
31:16	保留	RO	-
15:0	通用定时器当前计数 (GPT_CNT) 该16位字段表示GPT的当前值。	RO	FFFFh

16.3.3. 自由运行25 MHz计数器寄存器 (FREE_RUN)

偏移量: 09Ch 大小: 32位

该只读寄存器反映自由运行25 MHz计数器的当前值。更多信息，请参见自由运行时钟。

位	说明	类型	默认值
31:0	自由运行计数器 (FR_CNT) 该字段反映自由运行32位计数器的当前值。复位时，计数器从0开始计数，每个25 MHz周期递增1。当到达最大计数时，计数器将计满返回至0并继续计数。 注：复位事件后，自由运行计数器会花费160 ns清零。	RO	00000000h

17. 其他

本章介绍了器件中的其他功能和寄存器。

17.1. 其他系统配置和状态寄存器

本节详细介绍了其余可直接寻址的系统CSR。凭借这些寄存器，可监视和配置芯片ID/版本、字节顺序测试和硬件配置等各种器件功能。

有关整个可直接寻址寄存器映射的概述，请参见寄存器映射。

表17-1: 其他寄存器

地址	寄存器名称 (符号)
050h	芯片ID和版本 (ID_REV)
064h	字节顺序测试寄存器 (BYTE_TEST)
074h	硬件配置寄存器 (HW_CFG)

17.1.1. 芯片ID和版本 (ID_REV)

偏移量: 050h 大小: 32位

该只读寄存器包含器件的ID和版本字段。

位	说明	类型	默认值
31:16	芯片ID 该字段用于指示芯片ID。	RO	9252
15:0	芯片版本 该字段用于指示设计版本。	RO	注1

注1: 默认值取决于器件版本。

17.1.2. 字节顺序测试寄存器 (BYTE_TEST)

偏移量: 064h 大小: 32位

该只读寄存器可用于确定当前配置的字节排序。字节排序取决于主机数据总线宽度和字节顺序。有关字节排序的更多信息，请参见主机总线接口。

可选择使用 BYTE_TEST 寄存器作为假读寄存器，从而确保最小写-读或读-读时序。更多信息，请参见主机总线接口。

对于复位状态期间禁止的主机接口，BYTE_TEST寄存器可用于确定器件何时退出复位状态。

注：当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，则返回的数据可能无效。但是，在复位期间，返回的数据将与正常有效数据模式不匹配。

注：不必读取该寄存器的全部四个字节。双字访问规则不适用于该寄存器。

位	说明	类型	默认值
31:0	字节测试 (BYTE_TEST) 该字段反映当前字节排序。	RO	87654321h

17.1.3. 置寄存器 (HW_CFG)

偏移量: 074h 大小: 32位

凭借该寄存器，可配置各种硬件功能。

注：当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，则返回的数据可能无效。

注：不必读取该寄存器的全部四个字节。双字访问规则不适用于该寄存器。

位	说明	类型	默认值
31:28	保留	RO	-
27	<p>器件就绪 (READY)</p> <p>置1时，该位指示器件已准备好接受访问。上电复位、RST# 复位、退出节能状态、实时以太网® 芯片级/模块级复位或数字复位后，主机处理器可询问该字段以指示器件是否已稳定且完全激活。</p> <p>该位的上升沿会将中断状态寄存器 (INT_STS) 中的器件就绪 (READY) 位置为有效，并且可引起中断（如果允许）。</p> <p>注：当 READY 位清零时，将禁止对除了 HW_CFG、PMT_CTRL、BYTE_TEST和RESET_CTL 寄存器以外的任何内部资源进行读访问。该位置1之前，对任何地址的写访问都是无效的。</p> <p>注：该位与功耗管理控制寄存器 (PMT_CTRL) 的bit 0相同。</p>	RO	0b

位	说明	类型	默认值
26	保留	RO	-
25	保留	RO	-
24:22	保留	RO	-
21:16	保留	RO	-
15:14	保留	RO	-
13:12	保留	RO	-
11:0	保留	RO	-

18. 封装尺寸

QFN封装

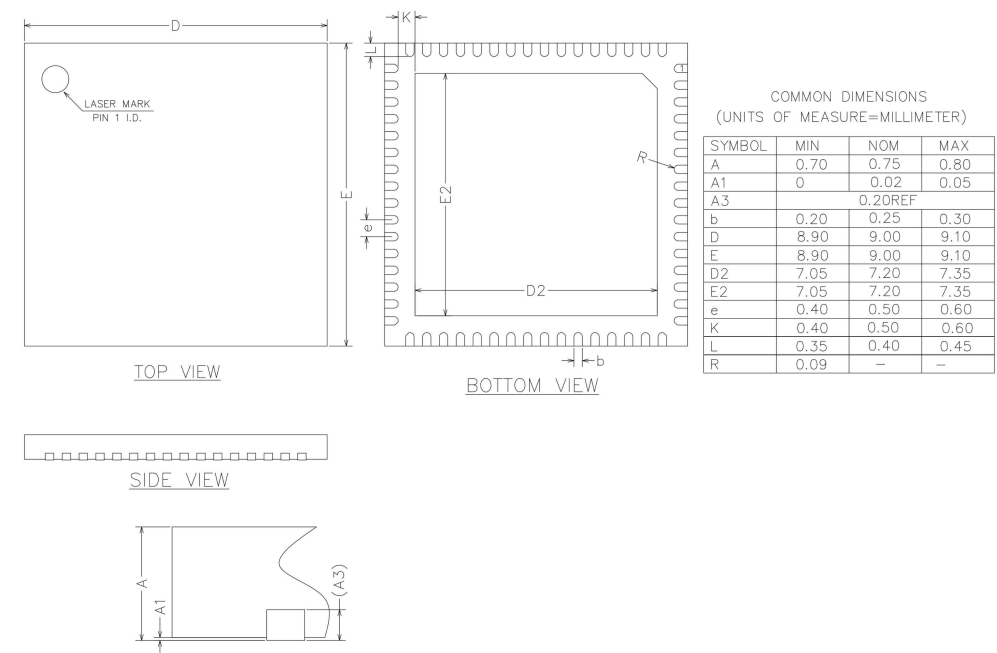


图 18-1 E252 QFN封装

TQFP封装

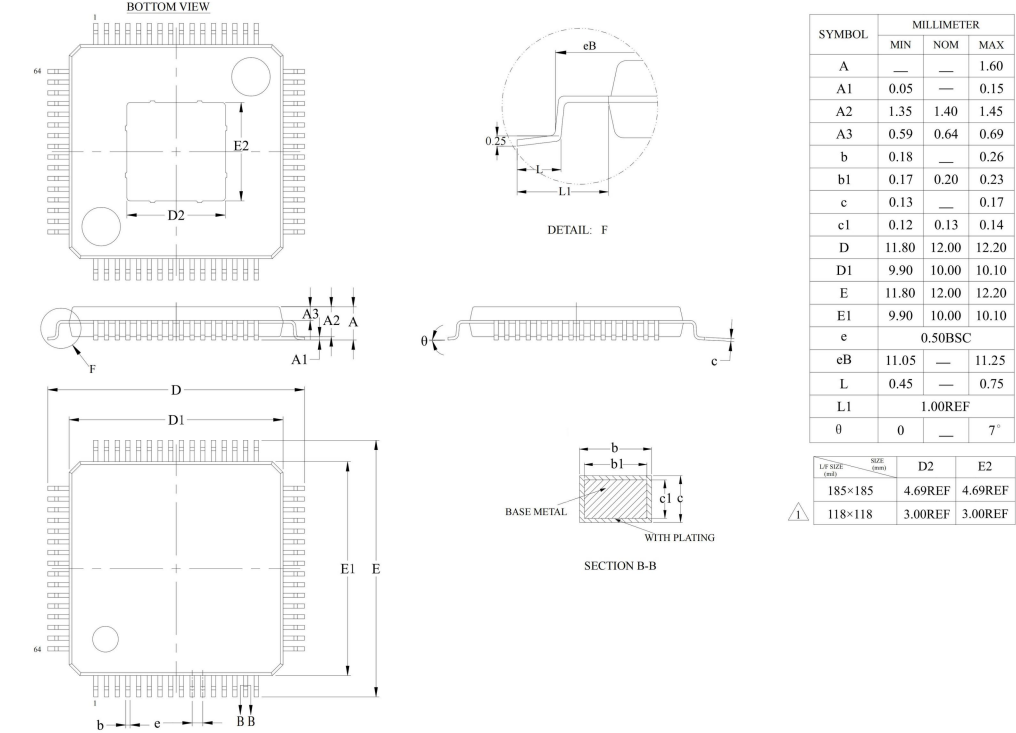


图 18-2 E252 TQFP封装

19. 选型规则

命名规则

SYS	-	E	252	QN	64	A
品牌 六岳微	分隔符	产品系列 E: 实时工业以太网系列	型号名 252	封装 QN: QFN QP: TQFP	Pin脚 64pin	温度和质量等级 A级（工业级）：-40℃~85℃ E级（工业增强级）：-40℃~125℃

选型推荐

产品型号	封装	工作温度	封装尺寸	包装类型
SYS-E252QN64A (工业级)	高可靠塑料 QFN	-40℃~85℃	9 x 9 mm	C级
SYS-E252QN64E (工业增强级)	高可靠塑料 QFN	-40℃~125℃	9 x 9 mm	C级
SYS-E252QP64A (工业级)	高可靠塑料 TQFP	-40℃~85℃	10 x 10 mm	C级
SYS-E252QP64E (工业增强级)	高可靠塑料 TQFP	-40℃~125℃	10 x 10 mm	C级

20. 联系方式

总部地址：

- 湖南省长沙市开福区双河路98号金辉商务中心

技术支持：

- 湖南省长沙市开福区双河路98号金辉商务中心 18163717051（欧阳先生）

销售联系：

- 长沙市开福区双河路98号金辉商务中心 15575179977（祁女士）
- 深圳市龙华区盛龙时代A座-1206A 18670701688（冯先生）
- 广州市高新技术创业服务中心天河东路242号705室 18890093999（余先生）